

SoC complessi, ecco le risposte del mondo EDA

Giorgio Fusari

Le difficoltà d'integrazione dell'IP e di verifica dei super sofisticati system-on-chip accrescono l'interoperabilità fra gli strumenti e le metodologie di electronic design

La continua crescita della complessità nei circuiti elettronici sta facendo sì che il successo di mercato nella commercializzazione dei nuovi prodotti e gadget tecnologici sia sempre più dipendente dal completo e perfetto funzionamento di chip molto sofisticati, come i SoC (System-on-Chip). Molti di questi sistemi, costituiti da hardware e software embedded, sono infatti alla base di una crescente quantità di progetti per prodotti finali di vario tipo, come ad esempio gli smartphone. In questo scenario evolutivo il principale fattore da considerare come elemento in grado di influenzare il costo di sviluppo dei sistemi non è tanto la componente hardware, quanto quella software. E la miniaturizzazione dei chip procede a un ritmo che accentua il problema in modo esponenziale. Lo spiega con chiarezza Wally Rhines, amministratore delegato e chairman di Mentor Graphics, parlando in un recente intervento al Globalpress Electronics Summit 2013. Man mano che i processi produttivi di realizzazione dei semiconduttori migrano verso i successivi nodi tecnologici (90, 65, 45, 28, 20 nanometri e oltre), l'impatto del software embedded diventa sempre più rilevante in termini di sforzi e costi di sviluppo, generando ritardi e sfide difficili per i progettisti, già sottoposti a notevoli pressioni e stringenti vincoli di design, necessari per rispettare i requisiti di time-to-market. In particolare, secondo alcuni dati, passando dai 90 nm ai 16-14 nm, l'incremento in termini di risorse di sviluppo sale di 17 volte. Nel processo di sviluppo hardware e software che porta al prodotto finale entrano in gioco e interagiscono fra loro numerosi componenti: sul versante hardware, gli ingegneri hanno a che fare con IP core, fornitori di SoC, sottosistemi e sistemi (processori, schede di valutazione, reference platform e così via), mentre lato software occorre gestire gli stack di sistemi operativi, i driver e i bootloader; i tool IDE (Integrated

Development Environment), i debugger e i compiler; e poi il codice applicativo e il middleware d'integrazione.

Tutta questa complessità conduce a rallentamenti. Solo per fare un esempio, il percorso di sviluppo necessario per arrivare a uno smartphone come il Samsung Galaxy S3 ha richiesto oltre 17 mesi di tempo, a partire dall'annuncio della versione ottimizzata del processore ARM Cortex-A9, per poi arrivare all'annuncio della disponibilità del processore Samsung Exynos 4412 e al rilascio sul mercato dello smartphone nel giugno dell'anno scorso. Il grado di complessità degli odierni sistemi e, in questi ultimi anni, anche l'adozione sempre più diffusa, accanto al software proprietario, del codice open source e del sistema operativo Linux, pongono l'accento sull'importanza per gli sviluppatori di poter fare affidamento su un ecosistema organico di componenti hardware e software, pena un cattivo risultato delle attività di design. L'anno scorso, in una ricerca sul settore pubblicata dalla rivista ESD (Embedded Systems Design) è emerso che quasi il 60% dei progetti nell'area del software embedded viene portato a termine con ritardi o cancellato.

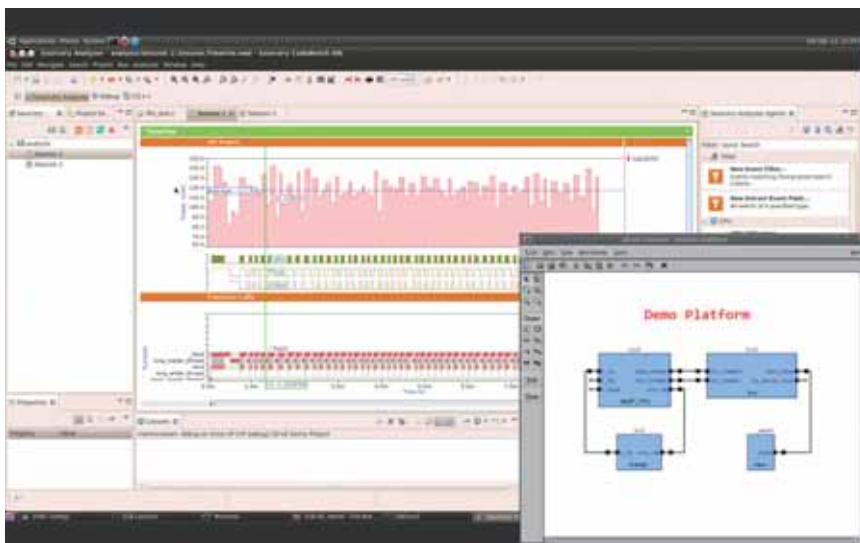


Fig. 1-2 - Due schermate dell'ambiente di sviluppo

INTEGRATORE DI IP

Co-design, la soluzione

Per far fronte ai molteplici problemi da superare nelle varie fasi di creazione di un sistema, nella realizzazione dei SoC l'uso di piattaforme e metodologie orientate al continuo e simultaneo sviluppo e verifica dell'hardware e del software lungo tutto il processo di progettazione diventa oggi un requisito indispensabile. Come lo diventano anche l'apertura delle piattaforme in termini di supporto per gli standard e i tool di terze parti; la possibilità di rapida migrazione fra le piattaforme, e la capacità di fornire prestazioni di elaborazione dei dati in grado di velocizzare le attività di design. In questo quadro sono nate iniziative come la Accellera Systems

Initiative. Quest'ultima si definisce come un'organizzazione no-profit, dedicata a creare, supportare, promuovere e far progredire gli standard di progettazione a livello di sistema, di modellazione e verifica, per l'uso da parte degli operatori del settore elettronico a livello mondiale. Come precisa la stessa organizzazione, gli standard definiti dalla Accellera System Initiative, in termini di strumenti EDA (Electronic Design Automation) e gestione della proprietà intellettuale (IP - Intellectual Property), nel mondo vengono adottati da varie aziende e produttori di semiconduttori in un'ampia gamma di progetti e aree applicative, che spaziano dai dispositivi consumer, mobile e wireless ai device del settore automotive. Attraverso la

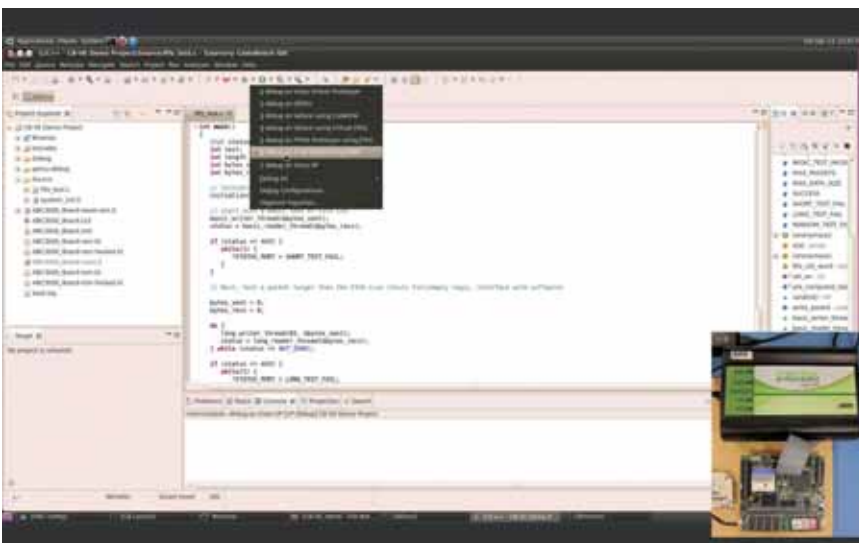
Sempre nell'ottica di fornire strumenti in grado di introdurre automazione e aumentare la rapidità di progettazione per i chip a 28 nanometri e oltre, Xilinx, nel corso del Globalpress Summit, ha ricordato l'introduzione all'inizio di aprile della release 2013.1 della Vivado Design Suite, indirizzata alla gestione dei SoC. Quest'ultima include un ambiente di sviluppo IP-centrico, finalizzato ad accelerare i tempi d'integrazione dei sistemi, e comprende anche un completo set di librerie per velocizzare la progettazione C/C++ ESL (Electronic System Level) e HLS (High-Level Synthesis). In particolare, il prodotto Vivado IP Integrator (IPI) consente di accelerare la creazione di progetti altamente integrati e complessi nella serie di FPGA All Programmable, abbreviando i tempi d'integrazione del codice RTL, dell'IP di Xilinx, dell'IP di terze parti e dell'IP sintetizzata in C++. In aggiunta, Vivado IP Integrator è target platform-aware e ottimizzato per il supporto dei SoC All Programmable Zynq-7000. Quando indirizzato al design per questo tipo di dispositivi, lo strumento consente ai team di progettazione embedded di identificare, riutilizzare e integrare più rapidamente l'IP hardware e software per i sistemi di elaborazione ARM dual-core e gli FPGA fabric ad alte prestazioni.

collaborazione con l'istituto IEEE (Institute of Electrical and Electronics Engineers), gli standard e le implementazioni tecniche sviluppati dalla Accellera System Initiative ricevono un contributo di governance e riconoscimento formale. Fra questi standard si colloca la Universal Verification Methodology (UVM), sviluppato con l'obiettivo di rafforzare l'interoperabilità della VIP (Verification IP). Quest'ultima è in sostanza una tipologia di IP riutilizzabile, in grado di accorciare i processi di verifica dei SoC e dei circuiti integrati complessi. Lo standard UVM è quindi una metodologia che punta ad abilitare un efficiente sviluppo e riuso degli ambienti di verifica e della VIP nel settore elettronico. Per la UVM, Accellera fornisce sia uno

standard API (Application Programming Interface) sia un'implementazione di riferimento. All'ecosistema UVM partecipano numerose fra le principali società del settore (fra cui figurano Aldec, Cadence, Doulous, Duolog, Mentor Graphics, Paradigm Works, Semifore, Synopsys, Verilab)) che supportano questa metodologia attraverso una ricca selezione di tool, VIP, servizi e attività di formazione.

Hardware e software, mondi ancora troppo distanti

Spesso gli errori e i ritardi nella chiusura dei progetti dei sistemi embedded sono causati da una sostanziale incomunicabilità fra i team, gli ambienti e gli strumenti di progettazione di due reparti e domini di



Sourcery CodeBench

SAMSUNG ACCELERA LA VERIFICA DEI SOC EXYNOS

L'introduzione della famiglia di system-on-chip Exynos ad alte prestazioni ha comportato per i team di progettazione di Samsung una grossa sfida tecnologica, legata alla difficoltà di velocizzare i processi di verifica di questa tipologia di SoC estremamente complessi e con oltre 150 milioni di gate. A questi livelli, le attività di simulazione della logica richiedono tempi lunghi ed elevato consumo di memoria. Inconvenienti che crescono ulteriormente a ogni successiva generazione della tecnologia. In particolare il problema più arduo per gli ingegneri di Samsung era ridurre il tempo necessario (TAT – Turnaround Time) per elaborare la simulazione di verifica del SoC, rispettando i ritmi di progetto programmati e ottimizzando l'utilizzo della memoria del sistema di simulazione della computer farm, in modo da incrementare la produttività.

Dal punto di vista della metodologia, il livello di complessità dei SoC Exynos richiedeva anche più capacità di fare affidamento sul lavoro di molteplici team in grado di fornire IP e verification IP (VIP) sia internamente, sia da fonti di terze parti. L'esigenza era dunque avere una metodologia efficace e in grado di far leva su soluzioni interoperabili. La soluzione è stata trovata da Samsung attraverso una collaborazione con Cadence design Systems, per lo sviluppo di tool e metodologie finalizzati a permettere un'efficace verifica dei SoC. Insieme, le due società hanno messo a punto un approccio strutturato alla verifica dei mobile application processor Exynos. Nell'applicazione sono state utilizzate diverse soluzioni di Cadence (Incisive Enterprise Simulator, Incisive Simulation, Incisive Enterprise Manager, Incisive Verification IP (VIP), Universal Verification Methodology). I risultati, come ha spiegato Byeong Min, master of Infrastructure Design Center nella divisione System LSI Business di Samsung, sono stati positivi. La collaborazione con Cadence ha permesso a Samsung di ridurre i tempi dei test di regressione RTL (Register-Transfer Level) dell'80% e i tempi di simulazione a livello di gate (GLS – Gate-Level Simulation) del 60%, consentendo alla casa coreana di raggiungere i propri obiettivi di time-to-market.

design che dovrebbero cooperare maggiormente, ma che restano in realtà due mondi a sé stanti: il reparto hardware e quello software. Uno scenario che, ad esempio, Mentor Graphics sta puntando a migliorare in maniera progressiva: proprio durante il recente Globalpress Electronics Summit 2013, la società ha annunciato in anteprima un ambiente software nativo per lo sviluppo dei sistemi embedded in entrambe le fasi 'pre-silicon' e 'post-silicon', ossia, rispettivamente, quella di creazione del prototipo virtuale ed emulazione del SoC, e quella della sua implementazione vera e propria.

La nuova piattaforma di progettazione di Mentor si chiama Sourcery CodeBench Virtual Edition, ed è studiata per consentire ai team di design software, in continua espansione, di lavorare rimanendo sempre nel proprio familiare ambiente di sviluppo, e di programmare, eseguire il debug e ottimizzare i propri stack software su prototipi virtuali e piattaforme di emulazione (FPGA e così via), sia prima della disponibilità dell'hardware, sia dopo la produzione del 'first silicon', cioè dei primi campioni dei chip.

Lo sviluppo del software e dell'hardware sono profondamente intrecciati, ha spiegato Glenn Perry, general manager della Embedded Software Division, ma al tempo stesso sono ancora discipline fortemente separate. E, di norma, per un ingegnere del software non è una cosa semplice dover usare degli strumenti di progettazione hardware.

La nuova soluzione di Mentor permette invece di controllare questi ultimi attraverso un insieme di tool e un ambiente IDE per lo sviluppo di Linux embedded, che oggi è di fatto il sistema operativo standard di riferimento per

Vivado: Accelerating Productivity up to 4X

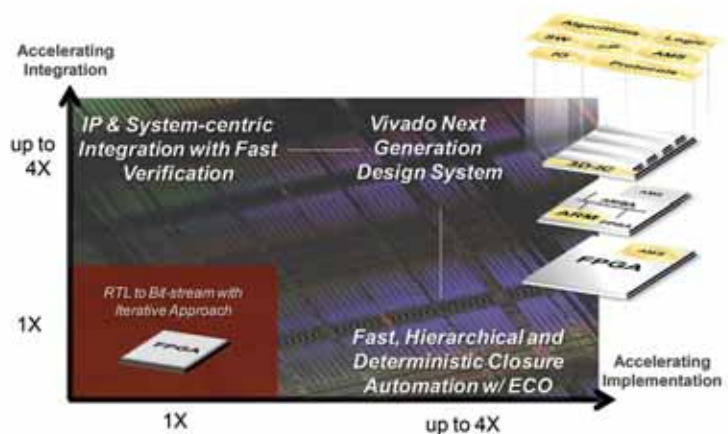


Fig. 3 - Le caratteristiche di produttività della Vivado Design Suite

tutti i SoC. In particolare, il prodotto Sourcery CodeBench Virtual Edition, spiega Mentor, riesce a integrare la più evoluta tecnologia, gli strumenti e l'intelligence di progettazione dell'hardware in maniera nativa all'interno di un ambiente software. In tal modo, i team di design possono acquisire un vantaggio notevole di time-to-market, grazie all'eliminazione degli sprechi di tempo necessari agli ingegneri per apprendere l'uso dei tradizionali e non familiari strumenti di progettazione hardware. Portando l'integrazione software già nelle fasi di progettazione pre-silicon, la soluzione velocizza il rilascio dei prodotti finali, e aiuta ad assicurare che l'hardware sia ottimizzato per l'applicazione specifica, e che il software sia integrato con efficienza. ■