

Come leggere le prestazioni specificate nei datasheet dei convertitori A/D

Michael Steffes
Sr. Apps. Manager
High speed signal path
Intersil

Un'analisi sulle ragioni per cui è possibile solo "avvicinarsi" ai dati riportati sui datasheet dei convertitori A/D senza riuscire a eguagliarli

I produttori di convertitori A/D operanti ad alta velocità sono costantemente impegnati a ottenere le migliori prestazioni in termini di SNR (Signal to Noise Ratio) e SFDR (Spurious Free Dynamic Range) in laboratorio e durante i test condotti con sistemi ATE dai loro convertitori. Questo ovviamente per poter riportare sulla scheda tecnica dei loro prodotti i numeri migliori possibili. Nessun sistema reale può probabilmente raggiungere tali prestazioni e il meglio che si possa sperare è non dover sacrificare più banda dinamica di quanto strettamente necessario. Nel corso dell'articolo verranno descritti i vincoli solitamente imposti dall'ambiente di caratterizzazione degli ADC e i principali problemi che si devono affrontare.

Ottenere i migliori valori di SNR / SFDR di un ADC in laboratorio

I produttori di convertitori A/D ad alta velocità adottano metodologie molto simili per la caratterizzazione dei dispositivi. La maggior parte utilizza una FFT singola o multipla per arrivare a determinare pochi ma importantissimi parametri: rapporto segnale/rumore (SNR), distorsione armonica (HD), intervallo dinamico senza errori (SFDR) e numero effettivo di bit (ENOB). Per ottenere il miglior SNR di un ADC saranno necessari:

1. sorgenti e clock a bassissimo rumore di fase;
2. ampiezza di clock elevate per superare la soglia di campionamento il più velocemente possibile;

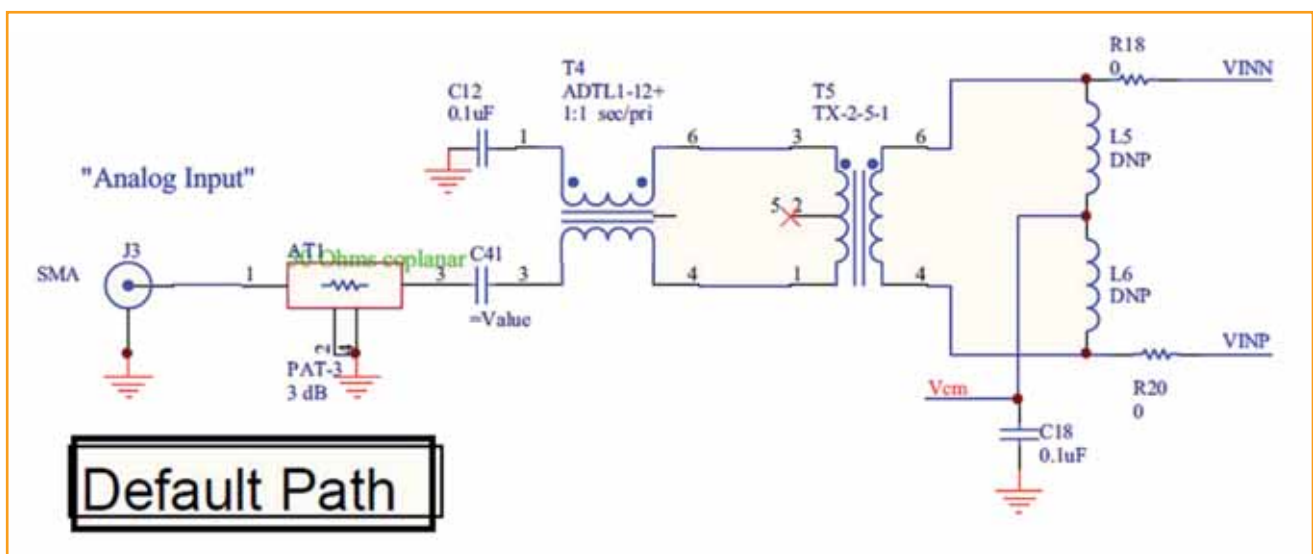


Fig. 1 - Circuito di caratterizzazione per l'ADC 16bit, 250MSPS ISLA216P25



Fig. 2 - Uno dei pezzi più importanti per la caratterizzazione ADC - un filtro passa-banda sintonizzabile

3. spesso, campionamento “coerente”, dove il clock è agganciato in fase alla fonte e a un numero intero di cicli di ingresso digitalizzati - questo elimina la necessità di “windowing” nell’FFT e permette di ridurre ma non eliminare, la dispersione spettrale;

4. sorgente a bassissima impedenza per pilotare il convertitore A/D. Questo aiuta a ridurre il rumore termico (Johnson noise) e spesso contribuisce a migliorare l’SNR negli ADC con ingressi non bufferizzati. Ma in realtà, vi è dell’altro. Se si osserva una tipica scheda di caratterizzazione per convertitori A/D, la maggior parte dei fornitori utilizza una struttura a trasformatore a doppio ingresso. Ad esempio, il circuito d’ingresso analogico di figura 1 implementa un’interfaccia di tipo step-down verso un ADC a 16bit operante a 250 MSPS (Intersil ISLA216P25) sulla scheda di caratterizzazione per questo convertitore. Questa scheda estremamente flessibile usa 2 resistenze da 13,7 Ω , come L5 e L6. Quindi, con il rapporto spire di 1,41:1 (T5) questo ingresso si riferisce alla terminazione con un valore molto vicino ai 50 Ω richiesti quando la resistenza di ingresso del convertitore A/D viene posta in parallelo con l’impedenza totale di shunt di 27,4 Ω . Ciò, se da un lato è molto utile per ottenere una bassa impedenza di pilotaggio ($12,5 \Omega \parallel 13,7 \Omega = 6,5 \Omega$ su ogni lato), richiederà un più alto livello di potenza in ingresso per raggiungere il fondo scala (FS). Per raggiungere il valore di fondo scala di 2 Vpp dell’ADC – tenendo conto dei 3 dB della piazzola, delle perdite di inserzione del trasformatore e dello step down – sono necessari 17 dBm in J3 (o 4.5 Vpp). Tutto questo per ottenere alla frequenza l’ingresso di 105 MHz un SNR di 74.5 dB sull’ISLA216P25. L’interfaccia passiva di figura 1 è a banda molto larga. Se si esaminano le specifiche del trasformatore, a -3 db esso assicura una banda utile da 10 MHz a 1 GHz (e oltre). Ma con una larghezza di banda analogica così ampia, si corre

il rischio di introdurre rumore all’ingresso dell’ADC che ha un effetto negativo sull’ SNR. Questa è un’eventualità che potrebbe verificarsi, ma la totalità dei produttori di convertitori A/D impiega un filtro passa-banda molto stretto durante il test. Facendo riferimento alla figura 1, appena prima di J3 il segnale d’ingresso viene fatto passare attraverso un filtro come quello illustrato nella figura 2. Questo filtro passa-banda sintonizzabile è estremamente efficace (e costoso) e serve a far sì che lo spettro di J3 integri un bassissimo rumore e abbia una distorsione armonica infinitamente bassa per le prove a tono singolo.

In uno scenario di questo tipo, il filtro inferiore viene utilizzato per il percorso del segnale, mentre quello superiore per il clock. Entrambi sono fondamentali per ottenere il miglior valore di SNR per questi ADC ad alte prestazioni, ma non è possibile inserirli in qualsiasi sistema reale. Mentre può essere accettabile per la caratterizzazione una larghezza di banda <5 MHz, nei sistemi reali è necessario utilizzare una parte molto più ampia della banda di Nyquist disponibile ($F_s / 2$). L’impiego di filtri reali con banda passante maggiore implica che il rumore introdotto all’ingresso ADC sia maggiore di quello introdotto in fase di caratterizzazione dell’ADC. L’SNR ottenuto in sistemi reali di produzione risulterà quindi inferiore a quanto ottenuto durante la caratterizzazione per questo motivo.

Considerazioni progettuali per aumentare le prestazioni dell’ADC

Un’altra specifica chiave del sistema è l’SFDR nell’FFT. I termini della distorsione armonica presente all’ingresso dell’ADC si combinerà in fase con i termini generati dal convertitore stesso. Così, per esempio, se la distorsione armonica testata in laboratorio arriva a -85 dBc e il segnale di ingresso è anche a -85 dBc, ci si dovrebbe aspettare di ottenere per l’FFT valore di -79 dBc. Per ottenere una minima degradazione dell’SFDR nei test degli ADC (viene usato un segnale d’ingresso estremamente “pulito” prelevato in uscita dei filtri di Fig. 2), le distorsioni d’ingresso dovrebbero essere ancor più basse dei -20 dBc indicata in specifica. Per ottenere un’elevata linearità (bassa distorsione) è necessario avere una potenza a riposo

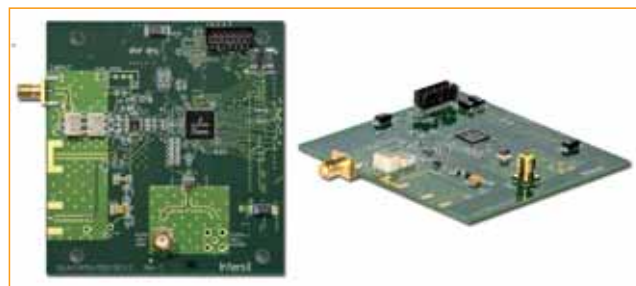


Fig. 3 – La scheda di valutazione ISLA112P50/ISL55210EV1Z

più alta nell'amplificatore dello stadio finale e/o un guadagno d'anello molto elevato in quello stesso stadio per la banda di frequenza d'interesse. Per fornire questi segnali a bassa distorsione armonica, l'amplificatore dell'ultimo stadio dovrà avere un'ampiezza di banda molto superiore rispetto alla banda del segnale desiderato. Ciò richiede quindi un filtro di interstadio che limiti la NPB (Noise Power Bandwidth) per limitare il degrado del SNR che il rumore a banda larga degli amplificatori altrimenti introduce. Le prestazioni del sistema finale sono largamente influenzate da questo filtro passivo.

Di seguito alcune considerazioni relative al progetto:

1. la perdita di inserzione deve essere minima. Mentre il circuito di test della figura 1 aggiunge 7 dB di perdita d'inserzione da J3 all'ADC, di solito è preferibile utilizzare filtri con perdita d'inserzione di 1,5 - 2,5 dB per mantenere l'oscillazione della tensione richiesta dell'amplificatore amplificatore solo leggermente superiore rispetto al range di ingresso del convertitore A/D richiesto;
2. i valori di impedenza devono essere relativamente bassi sia per limitare il rumore aggiunto dai resistori sia per garantire una bassa impedenza all'ingresso dell'ADC;
3. quanto appena esposto è in conflitto con il fatto che l'impedenza di ingresso del filtro dovrebbe essere relativamente elevata per le uscite dell'amplificatore per evitare il degrado di distorsione imputabile all'elevato carico dell'amplificatore;
4. è necessario includere le impedenze d'ingresso dell'ADC nel progetto del filtro. Dal momento che queste spesso non hanno una tolleranza indicata, è meglio includere elementi esterni che permettano di determinare l'esatto valore di impedenza per la progettazione del filtro;
5. le tolleranze degli elementi devono essere ragionevoli. Eventuali disadattamenti dei valori degli elementi serie per filtri differenziali porterà a convertire una parte del segnale differenziale di uscita nel modo comune (e anche se vi è un componente di modo comune per l'uscita, questa verrà convertita in differenziale). Questo adattamento si riferisce agli elementi in serie: buoni risultati sono stati ottenuti con condensatori con tolleranze del 5% e induttori e resistenze con tolleranze rispettivamente dell'1% - 2%.

Ci sono ovviamente alcuni compromessi e la progettazione finale diventa spesso un po' empirica. Un esempio di progettazione dettagliata, che comporti una degradazione dell'SNR di soli 6 dB e dell'SFDR nell'intervallo compreso tra -1 e -6 dB (in funzione della frequenza) per un convertitore A/D a 12 bit operante a 500 MSPS è reperibile nella scheda di valutazione ISLA112P50/ISL55210EV1Z (Fig. 3).

La performance indicata sulle schede tecniche degli ADC veloci deve essere considerata una risposta ideale sotto la migliore di tutte le possibili condizioni di prova. Nella maggior parte dei sistemi non è possibile utilizzare il campionamento coerente, o filtri passa-banda molto stretti, o ancora filtri a basse perdite d'inserzione prima dell'ingresso dell'ADC. Quindi se i numeri riportati nei datasheet dei convertitori A/D non sono ottenibili in sistemi reali, il lavoro dei progettisti è dunque quello di cercare di avvicinarsi il più possibile a tali numeri. ■