

Un flusso di progettazione economico ed efficiente per circuiti ASIC mixed signal

Paul Double
Managing director
EDA Solutions

Esistono sul mercato parecchi tool EDA per il progetto di ASIC a segnali misti che garantiscono livelli di funzionalità e prestazioni confrontabili con quelli di analoghi tool di fascia alta a prezzi nettamente inferiori rispetto a questi ultimi

L mercato per i circuiti ASIC analogici e segnali misti realizzati mediante tecnologie di processo mature è decisamente vasto. Le maggiori fonderie ubicate in Europa e in altre parti del mondo che non devono necessariamente fornire tecnologia di processo allo stato dell'arte producono svariate migliaia di differenti circuiti ASIC in volumi pari a centinaia di migliaia (se non addirittura di milioni) di unità ogni anno. I tipici progetti ASIC potrebbero integrare, per esempio, alcuni milioni di gate realizzati con processi da 0,13 o 0,18 mm che operano a frequenze dell'ordine di alcune centinaia di megahertz. Le società che utilizzando tali fonderie non richiedono necessariamente la disponibilità di tool di progetto ideati per affrontare le problematiche legati ai processi da 32 o 28 nm (o anche inferiori).

Fortunatamente sul mercato sono disponibili numerosi tool EDA esplicitamente ideati per il progetto di ASIC a segnali misti che garantiscono livelli di funzionalità e prestazioni confrontabili con quelli di analoghi tool di fascia alta a prezzi nettamente inferiori rispetto a questi ultimi. In grado di accedere ai PDK delle fonderie, questi tool assicurano un mix ottimale tra produttività ed economicità.

La validità di questi tool è stata sperimentata nel corso degli anni da EDA Solutions, azienda che distribuisce e supporta i tool per la progettazione analogica e a segnali misti di Tanner EDA. Questi mettono a disposizione tutte le funzionalità

richieste dai progettisti, unitamente al supporto necessario in termini di PDK (Process Design Kit – ovvero i kit di progetto ottimizzati per una specifica tecnologia di produzione dei semiconduttori) che consente l'uso di questi tool con la tecnologia di processo prescelta. Aziende come Tanner EDA – nel dominio digitale – e Aldec Inc. e Incentia, Design Systems, specializzate nei tool per la progettazione digitale, hanno sviluppato tool decisamente avanzati per la progettazione dei "mainstream ASIC" – ovvero ASIC utilizzati in applicazioni di larga diffusione e quindi caratterizzati da alti volumi. A questo punto val la pena sottolineare il fatto che i tool di Incentia sono stati utilizzati per il tape out di prodotti realizzati con tecnologie da 28 e 32 nm.

Sono disponibili tool EDA che assicurano un mix ottimale tra produttività ed economicità

Simulazione digitale

In figura 1 viene riportato un flusso di progettazione ASIC implementato utilizzando tool a basso costo. Per quanto concerne la simulazione digitale, una scelta interessante è rappresentata dall'engine di simulazione Riviera PRO di Aldec, un'alternativa a basso costo ad analoghi tool proposti dai principali produttori del mondo EDA rispetto ai quali può vantare le medesime funzionalità. Dotato di supporto nativo a 64 bit per Linux e Windows, Riviera-PRO è compatibile con i principali flussi di progettazione utilizzati in Europa per lo sviluppo di design analogici, digitali e a segnali misti. Tool mul-

tipi piattaforma a elevate prestazioni, Riviera-PRO è in grado di eseguire la simulazione di progetti che utilizzano diversi linguaggi a vari livelli di astrazione (RTL e gate). Questo simulatore integra avanzati tool di debugging e supporta metodologie di verifica avanzate con SystemC e SystemVerilog, quali ABV (Assertion Based Verification), TLM (Transaction Level Modelling) e DRC (Design Rule Checking) VHDL/Verilog.

Sintesi digitale

Una volta completato il progetto e la simulazione digitale, il passo successivo è la sintesi, per la quale sono disponibili tool di costo competitivo. Oltre a fornire le funzionalità base per la sintesi logica, il tool DesignCraft di Incentia Design Systems è corredato da una vasta gamma di add-on grazie ai quali è possibile implementare un flusso di progetto avanzato. DesignCraft supporta i formati delle librerie di gate standard e permette ai progettisti di convertire il codice RTL nei linguaggi Verilog o VHDL a livello di gate, oltre a offrire la possibilità di eseguire ottimizzazioni in termini di area, consumi, temporizzazioni e DFT (Design for Testability) nonché di utilizzare la funzione di inserimento del percorso di scansione (scan path).

I tool per l'analisi e l'ottimizzazione delle temporizzazioni e dei consumi di Incentia, in particolare, sono soluzioni

avanzate che impostano i vincoli di temporizzazione e minimizzano i consumi a livello di sintesi. Ciò può portare a una significativa riduzione nei consumi – tramite l'adozione ad esempio di strategie di clock gating – con una conseguente ottimizzazione della potenza successivamente alla fase di place&route.

A tal proposito si può affermare che il tool ECO-Craft-Power può garantire migliori prestazioni, in termini di consumi, rispetto a quelle conseguibili utilizzando i tool realizzati dai più importanti protagonisti del mondo EDA.

I tool di Incentia sono stati utilizzati per la realizzazione di un gran numero di progetti in tecnologie fino a 28 nm e caratterizzati dalla presenza di oltre 50 milioni di gate, che è molto di più di quanto richiesto dalla maggior parte dei progettisti di circuiti ASIC a segnali misti: questi ultimi infatti solitamente sviluppano ASIC a segnali misti utilizzando processi da 0,35 a 0,15 μm (arrivando fino a 90 nm) che prevedono alcuni milioni di gate.

Place & route digitale

Il "place&route" (piazamento e sbroglio) digitale è una funzionalità che può essere eseguita in modo molto efficiente in autonomia. Una netlist a livello di gate può essere fatta girare su un tool di place & route per ottenere il layout fisico e un

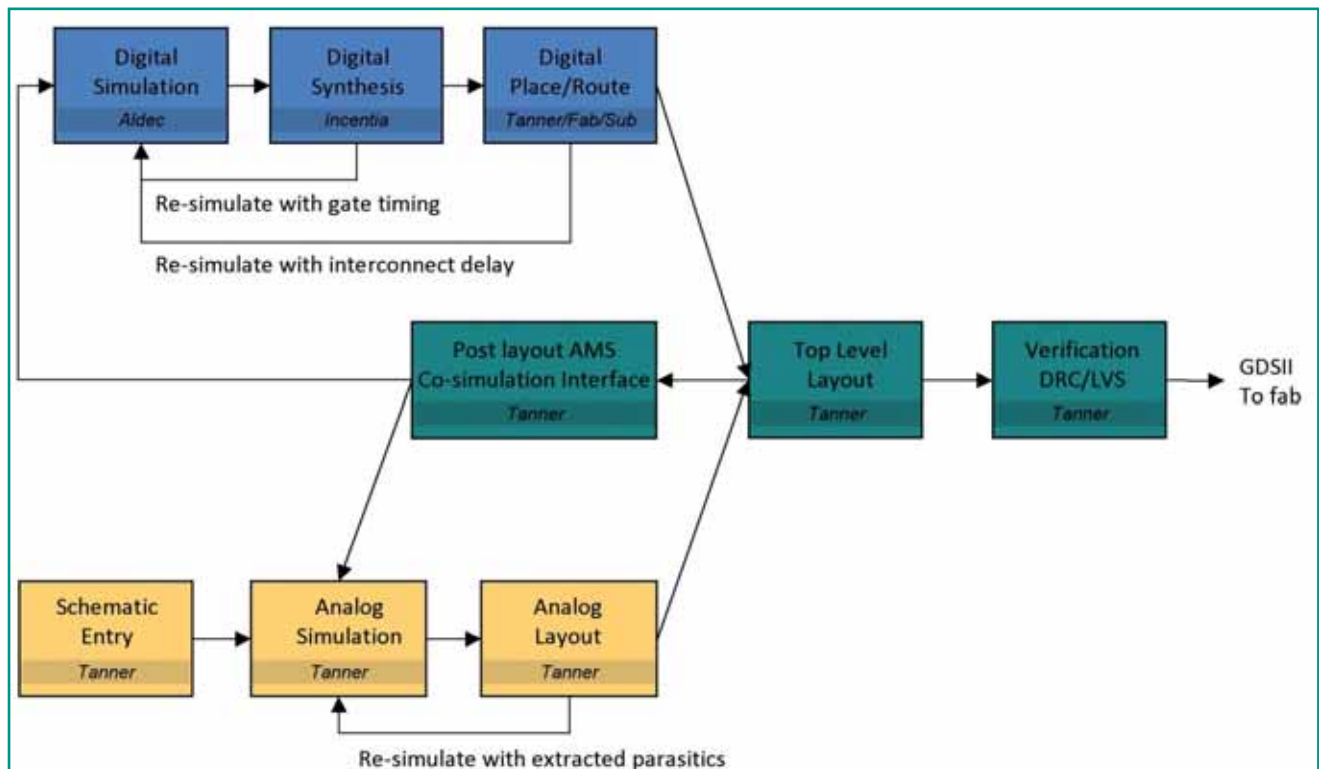


Fig. 1 – Tipico flusso di progettazione di un circuito ASIC

file di temporizzazione per la ri-simulazione, effettuata per verificare la validità delle temporizzazioni dopo la stesura del layout. In considerazione della "portabilità" della funzione, esistono un paio di opzioni a basso costo per i team di progetto.

Nel caso i requisiti non siano particolarmente spinti, Tanner EDA mette a disposizione un tool a basso costo in grado di soddisfare le esigenze base dell'operazione di place&route, da utilizzare in progetti che prevedono un numero di gate inferiore a 100K e per circuiti per i quali il layout pilotato dalle temporizzazioni (timing-driven) non rappresenta un elemento critico. Per esempio, nel caso di un progetto digitale realizzato con processo da 0,18 mm che opera a una frequenza di 5MHz, ritardi a livello di gate e di instradamento dell'ordine di pochi nanosecondi non rappresentano un problema. Nel caso invece la frequenza di funzionamento fosse dell'ordine delle centinaia di Megahertz, questi ritardi assumerebbero una notevole importanza e potrebbero essere causa di errori logici.

La seconda opzione, da prendere in considerazione nel caso i requisiti da soddisfare risultassero più severi, prevede il ricorso a una società che fornisce servizi di progettazione o alla fonderia prescelta per l'erogazione di questo servizio di place&route. Nel caso di sviluppo di due o tre progetti all'anno, il costo si aggira sulle decine di migliaia di euro all'anno, una cifra di gran lunga inferiore rispetto alle centinaia di migliaia di euro necessari per l'acquisto di una licenza annuale dei tool dei più importanti produttori. A questo proposito esistono numerose società qualificate – come ad esempio Europractice e IC Mask Design – che forniscono servizi di place&route a costo competitivo.

Flusso di progettazione analogico

Andando ora a esaminare il flusso di un progetto analogico, appare evidente dalla figura 1 che esso segue l'approccio tradizionale: schematic entry (immissione dello schema circuitale), simulazione tramite Spice, stesura del layout full-custom, anche se questo prevede l'esecuzione di alcune operazioni in maniera semi-automatica. Infatti è necessario reiterare alcune volte le operazioni di schematic entry e di simulazione al fine di assicurare il corretto funzionamento del circuito. Dopo il sign-off, il progetto dello schema circuitale viene trasferito al tool che si occupa del layout analogico, che genera in maniera automatica tutti i componenti base dello schema circuitale, come MOSFET, resistori e condensatori, in modo da lasciare al progettista solamente l'esecuzione dell'operazione

di place&route. In grado di garantire un'elevata produttività, il tool per la stesura del layout Hiper DevGen di Tanner EDA integra un programma di accelerazione che permette di identificare e generare automaticamente gli elementi chiave del circuito, come partitori resistivi, specchi di corrente o coppie differenziali, unitamente a una vasta gamma di informazioni aggiuntive relative ai vincoli - come ad esempio adattamento, posizionamento di componenti fittizi (dummy) o di diodi di protezione per mitigare l'effetto antenna - in modo da garantire che qualsiasi effetto collegato al processo venga preso in considerazione.

L'obiettivo di EDA Solutions è offrire una reale alternativa che abbini elevata produttività a costi ridotti

Layout top-level e co-simulazione

Il layout top-level (ovvero quello complessivo, che prende in considerazione tutti i blocchi interessati) riunisce quindi le funzioni analogiche e digitali in un unico chip, con le informazioni relative alla connettività estratte dal layout al fine di garantire la correttezza delle prestazioni del circuito complessivo. Nella co-simulazione analogica e a segnali misti (AMS) successiva al layout i circuiti analogici sono simulati in Spice mentre quelli digitali sono simulati in un simulatore Verilog o VHDL. Un apposito tool di interfaccia disponibile da Tanner per-

mette il "colloquio" tra i due domini.

La simulazione complessiva, anche se verrà eseguita alla velocità del simulatore più lento, richiederà un tempo ragionevole, ipotizzando di adottare un simulatore digitale veloce per le centinaia di migliaia di gate digitali e un simulatore analogico con buone prestazioni per le poche centinaia di transistor analogici previsti dal progetto.

Verifica

Una volta stabilite le prestazioni del circuito, viene effettuata la verifica dell'intero chip che comprende le fasi di LVS (Layout versus Schematic – ovvero il confronto tra lo schema circuitale e il layout realizzato) per le funzioni sia analogiche sia digitali, di verifica top-level per garantire la correttezza delle connessioni e di DRC (Design Rule Checking) per confermare che il chip sia pronto per andare in produzione nella fonderia prescelta. Una volta verificata la producibilità del chip, il file GDSII può essere inviato alla fabbrica.

Il flusso di progetto diretto, ovviamente, è valido per i tool di qualsiasi produttore. L'obiettivo di EDA Solutions è offrire una reale alternativa che abbini elevata produttività a costi ridotti, oltre a tool di tipo puntuale a elevate prestazioni, alla community di progettisti che si occupano dello sviluppo di design a segnali misti per applicazioni mainstream. ■