

# Chip 3D e SoC complessi 'trasformano' i tool Eda

Giorgio Fusari

**Per riuscire a superare le ultime barriere tecnologiche, la progettazione elettronica richiede una visione olistica dei circuiti**

Con i system-on-chip (SoC) a 28 nanometri la densità dei gate cresce a un nuovo livello, consentendo di creare sistemi a consumo ancora più ridotto e con prestazioni superiori. Qualità oggi richieste per supportare i dispositivi mobile nella gestione della multimedialità, delle comunicazioni e delle attuali applicazioni di computing, e prolungare al contempo la vita delle batterie. Ma questi SoC introducono anche molta nuova complessità nelle attività di progettazione. Una complessità, secondo Cadence Design Systems, indirizzabile unicamente attraverso una visione a 360 gradi del progetto, capace di abbracciare non più soltanto i team focalizzati sulla creazione e ingegnerizzazione del sistema, ma anche quelli di project e business management, concentrati sugli aspetti di profittabilità e time-to-market. Ciò è dettato dal fatto che oggi, con i SoC, non si crea più un solo progetto ma si integrano sistemi, chip e Ip diversi, che devono poi essere verificati e validati secondo un approccio olistico e unificato. Approccio che Cadence chiama Eda360 e del quale il recente annuncio, a gennaio, di un nuovo 'digital end-to-end flow', rappresenta un tassello fondamentale.

## Sfide cruciali

In questo quadro tecnologico e competitivo sono in sostanza tre le sfide chiave da affrontare. Lo spiega Rahul Deokar, in Cadence product management director per la digital Silicon Realization. "La prima - dice - sono i progetti in arrivo, dove sono in gioco frequenze dell'ordine di un gigahertz e oltre". I costruttori realizzano Ip core in house lavorando all'incremento di velocità dei core Arm. Nel mercato dei telefoni cellulari tutti i top manufacturer stanno andando in tale direzione. "E tutte queste aziende guardano alle società di Eda per essere aiutati a far sì che il proprio hardware possa raggiungere queste frequenze".

C'è poi, appunto, il trend definito 'giga-gate': "Gli utenti stan-

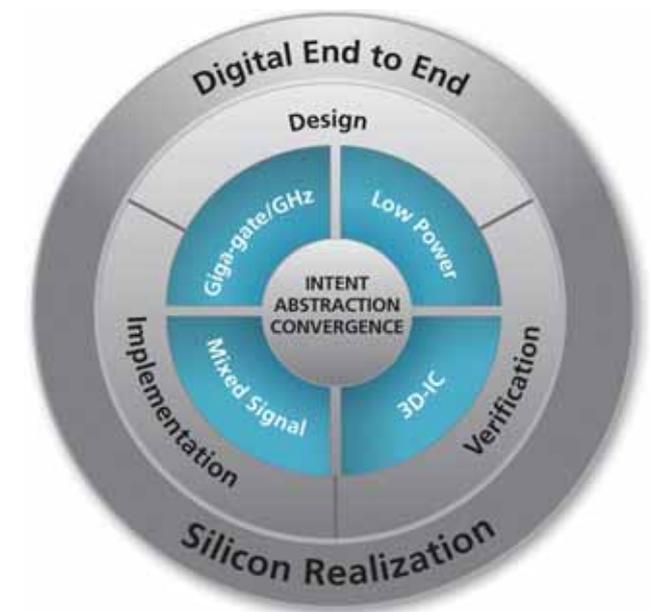


Fig. 1 - L'approccio alla progettazione EDA di Cadence

no facendo sistemi con milioni di gate e decine di migliaia di blocchi ed elementi Ip, e guardano a noi, alla ricerca di tecnologie per elevare il livello di astrazione". Un'altra sfida è costituita dalla diffusione di progetti 'low power' in cui si adottano tecniche evolute di controllo dei consumi di energia (dynamic voltage e frequency scaling) e circuiti a segnale misto che accrescono ulteriormente la complessità di sviluppo dei SoC, creando la necessità di avere tecniche di automazione per questi aspetti. "Infine la terza sfida riguarda le tecnologie evolute d'integrazione: alcuni nostri clienti, società di punta, stanno cominciando a progettare circuiti integrati in 3D (3D IC) usando through-silicon via

## CUORE TECNOLOGICO SU TRE PILASTRI

Le tre pietre miliari su cui si fonda l'approccio unificato alla progettazione dei semiconduttori creato da Cadence si chiamano 'intent', 'abstraction' e 'convergence' e, spiega Deokar, rappresentano fundamentalmente il cuore tecnologico che differenzia questo approccio alla progettazione EDA, rispetto a quello di altri fornitori di tool. La prima, 'intent', e l'obiettivo del progetto, che risulta unificato e chiaro a tutti i membri dei team di design, grazie a una rappresentazione completa delle caratteristiche del chip a ogni livello (funzionale, fisico, elettrico), comprendendo le varie fasi di sviluppo, implementazione e verifica. In questo modo è possibile evitare duplicazioni ed errori di vario genere, riducendo o eliminando del tutto le iterazioni del progetto nel corso del suo ciclo di sviluppo. Ad esempio, per gli aspetti di design che riguardano il basso consumo e i circuiti a segnale misto, la tecnologia Power Intent Architect consente di definire e validare in maniera unitaria i vincoli e le specifiche di alimentazione nei diversi domini del die, digitali e analogici, evitando reiterazioni del progetto fra i

team autori dell'implementazione di back end e quelli che presiedono alle fasi finali di conclusione del prodotto. La condivisione omogenea dei dati è possibile grazie anche all'integrazione di tecnologie industry standard come Cpf (Common power format). A livello di 'abstraction', la soluzione di Cadence include una tecnologia chiamata FlexModels, che consente di modellare interi blocchi di logica in modo semplice e accurato, ottimizzando le netlist del progetto ed eliminando le parti ridondanti. C'è poi la modellazione 'hierarchical low power' che, una volta definita una specifica di alimentazione (ad esempio proveniente da una Ip di terze parti), consente in automatico d'integrarla, dall'alto verso il basso, in tutti i livelli del progetto. In termini di 'convergence', Cadence ha introdotto anche un'automazione del processo di creazione degli Eco (Engineering change order), che spesso richiede lunghi tempi di elaborazione e causa re-spin. Nella soluzione di Cadence questi tempi risulterebbero molto più ridotti, con forti benefici sull'accorciamento del ciclo di design.

(Tsv). I circuiti integrati a tre dimensioni sono attrattivi, perché consentono agli utenti di 'impilare' diversi tipi di die, per la componente logica, la memoria, la parte Rf, la componente analogica, e anche per i MemS". Però, anche in questo caso si va ad aggiungere un altro livello di complessità al progetto, perché i circuiti integrati 3D possono includere pezzi di silicio realizzato con differenti tecnologie di fabbricazione e processi di miniaturizzazione.

### Approccio 'end-to-end'

La soluzione di Cadence punta a risolvere tutti questi grandi problemi di complessità, non però nell'accezione di stravolgere o cambiare i tool di electronic design automation esistenti. "Da un punto di vista degli strumenti EDA – precisa Deokar – la buona notizia è che per i circuiti integrati 3D non è richiesto un ampio retooling. Ciò che invece è richiesto è l'aggiunta ai tool esistenti di alcune nuove funzionalità, per indirizzare le esigenze di design introdotte da questi circuiti". Inoltre gli strumenti tradizionali, spiega, stanno diventando sempre più inadatti a gestire progetti molto grandi in termini di frequenze (gigahertz) e gate

(giga-gate), perché affrontano il problema solo in determinati domini e non in modo unitario. E poi denotano diverse lacune e mancanza d'integrazione fra sintesi logica, implementazione fisica, fase di signoff di analisi e verifica. E

tutto ciò allunga i tempi di progettazione. "Ecco di cosa stanno al momento soffrendo gli utenti" dice Deokar. Dunque, per amministrare tutto questo serve una soluzione end-to-end. Ed è quanto Cadence fornisce, attraverso un flusso di lavoro capace di unificare le fasi di progettazione, implementazione e verifica, facendo leva su tre peculiarità 'collanti' - intent, abstraction e convergence – e includendo un insieme di nuove funzionalità, oltre a miglioramenti significativi dell'architettura e degli algoritmi. "In questo modo – aggiunge Deokar – i progettisti possono virtualmente raggiungere un 'single touch design flow' e ottenere

una miglior convergenza dei progetti". Cadence ha in sostanza esteso il flusso di design oltre la componente digitale, aggiungendo innovazioni per la progettazione dei circuiti a segnale misto e di quelli 3D, legando la soluzione ad altri tool della propria offerta di strumenti EDA. ■

Oggi con i SoC non si crea più solo un progetto ma si integrano sistemi, chip e Ip diversi