

## Catapult-C Synthesis

**Agostino Rolando**  
Technical engineer  
Ingegneria - Design Methodologies  
& Tools - DSP design  
Sede di Genova  
Selex Communications  
(Gruppo Finmeccanica)

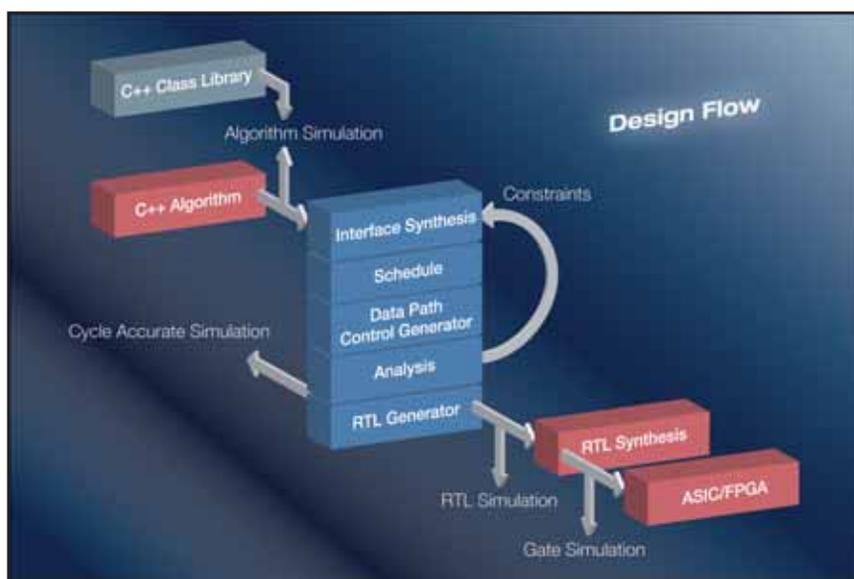
Per quanto attiene il signal processing, risulta evidente che l'incremento massivo della potenza di calcolo richiesta dalle applicazioni di attuale generazione, tra cui le telecomunicazioni wireless, l'immagine processing e il video ad alta definizione, ha portato alla necessità di sempre più elevati livelli prestazionali. Catapult-C Synthesis fa uso del linguaggio standard industriale ANSI C++ e consente di generare codice RTL sintatticamente corretto e di alta qualità impiegando una metodologia più spedita rispetto alle tecniche di progetto tradizionali. Infatti, a differenza di queste, esso dà la possibilità al progettista di scegliere l'architettura più consona in termini di performance, area occupata e consumi.

L'ambiente di sviluppo è orientato alla realizzazione ottimale di un determinato requisito progettuale e permette nel contempo di ridurre l'eventualità di possibili errori di disegno, cosa non infrequente nel caso di una codifica RTL tradizionale realizzata "a mano".

### Caratteristiche principali

Catapult-C, in quanto tool di sintesi, è specificamente orientato per l'utilizzo da parte di progettisti hardware DSP. Come già menzionato, esso trova il suo impiego in campo industriale per l'implementazione di algoritmi su dispositivi ASIC e programmabili, questi ultimi tipicamente rappresentati da FPGA di categoria

*Catapult-C Synthesis è il tool di sintesi di alto livello proposto da Mentor Graphics Corporation per i progettisti hardware che sviluppano ASIC ed FPGA, in particolare per la realizzazione di dispositivi wireless portatili, per il processing video e di immagini*



**Fig. 1 - Schema a blocchi del tipico flusso di progetto per ASIC / FPGA. Fonte: Mentor Graphics Corp.**

high-end. Il tool permette, in buona sostanza, di convertire un algoritmo descritto in linguaggio C++ ANSI standard in una codifica RTL sintetizzabile. Anche altri linguaggi vengono supportati, sia pure parzialmente. Ad esempio, del System C sono supportati solo i tipi per la modellizzazione di tipo bit-accurate. Catapult-C Synthesis rappresenta quindi uno strumento atto a colmare il gap esistente tra la descrizione algoritmica, formulata tipicamente dal system designer (ad esempio in ambiente Matlab / Simulink) e la codifica RTL.

### Ambiti di applicazione e obiettivi

I campi di applicazione di Catapult-C sono quelli classici delle telecomunicazioni wireless, del multimediale, e così via. Tra gli obiettivi principali del tool sono stati individuati i seguenti:

- identificare rapidamente l'architettura ottimale per un algoritmo di processing;
- ridurre il numero di errori tipici di una descrizione RTL manuale, sia nella forma sia nel contenuto;
- permettere di adattare rapidamente il design nell'eventualità di modifiche alle

specifiche di interfaccia o ai requisiti di sistema;

- verificare che la codifica RTL svolga effettivamente e puntualmente quanto specificato dalla descrizione di partenza.

### Benefici

Per quanto riguarda i benefici ottenibili con l'utilizzo del tool, si può innanzitutto osservare che la sintesi di alto livello, in quanto tale, già comporta una significativa riduzione dei tempi di validazione e verifica. Gli ulteriori vantaggi sono elencati di seguito:

- sintesi in standard ANSI C++ con System C Verification;
- creazione di progetti hardware DSP ottimali più rapidamente rispetto alle metodiche di codifica manuale;
- metodologia di raffinamento incremen-

tale, per consentire un controllo completo da parte dell'utilizzatore;

- sintesi automatica dell'hardware di interfaccia tra moduli diversi;
- semplificazione delle fasi di Formal Verification e Power Analysis, attraverso la modellazione automatica System C transaction level model (TLM) e generazione dei relativi testbench.

### Considerazioni particolari

A titolo di raccomandazione base, è importante tener conto che è fondamentale il modo in cui un algoritmo viene descritto. Definito l'algoritmo, il successivo passo consiste nel determinare l'architettura con cui esso verrà realizzato. L'architettura che viene stabilita ad alto livello (in linguaggio C++) è condizionante sul risultato che verrà ottenuto. Il pro-

gettista che utilizza il tool in oggetto dovrebbe quindi possedere una buona conoscenza dell'hardware.

Mentor Graphics mette a disposizione alcuni opportuni tipi di dati, allo scopo di favorire il designer nella descrizione dell'algoritmo in fixed-point. Si tratta di template descritti in C++ standard. Al termine del processo, il codice RTL generato può essere sottoposto a verifica mediante cosimulazione (ad esempio tramite il tool Modelsim), in modo tale da confrontare gli output prodotti con i segnali in uscita inseriti nella descrizione algoritmica ad alto livello. È possibile inoltre inserire vincoli (constraint) per guidare l'implementazione. Tali vincoli hanno lo scopo di condizionare il flusso di generazione RTL verso differenti architetture target. Infine è possibile modificare il set

# Providing Integrated Design Solutions



For more information visit [www.mentor.com/italy](http://www.mentor.com/italy) or contact  
Mentor Graphics in Italia | Piazza Montanelli 20 | 20099 Sesto San Giovanni (MI)  
Tel. (+39) 02 24 98 94.1

[readerservice.it](mailto:readerservice.it) n.23735

Mentor Graphics®, the technology leader in electronic design automation (EDA), provides software and hardware design solutions that enable you to develop better electronic products faster and more cost-effectively. We offer innovative products and solutions that help your designers to overcome the design challenges they face in the increasingly complex worlds of board and chip design. Mentor Graphics® has the broadest industry portfolio of best-in-class products and is the only EDA company with an embedded software solution.

**Mentor  
Graphics®**

THE EDA TECHNOLOGY LEADER

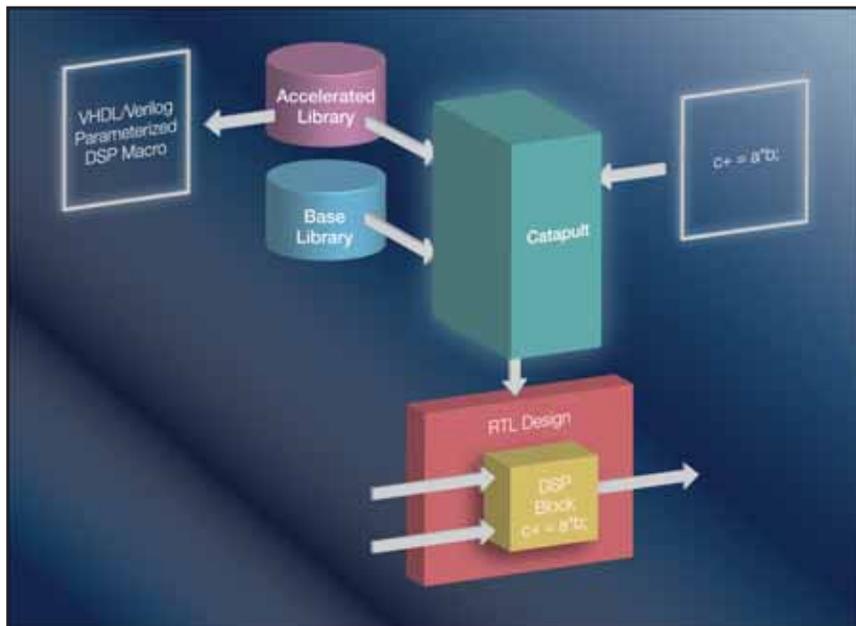


Fig. 2 - Utilizzo delle Accelerated Libraries. Fonte: Mentor Graphics Corp.

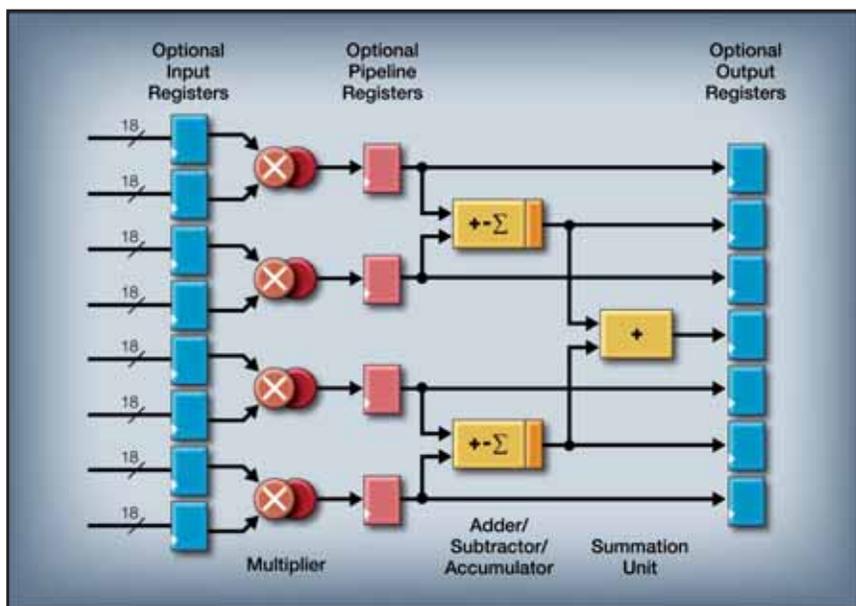


Fig. 3 - Struttura del blocco moltiplicatore per DSP di Altera. Fonte: Altera Corp.

di vincoli, e quindi effettuare una serie di simulazioni, al fine di esplorare architetture diverse e mettere a confronto i risultati ottenuti.

I constraint sono di tipo Architectural (relativi all'ampiezza dei bus, alle dimensioni degli array) oppure di tipo Resource. Questi ultimi sono rapportati all'architettura del componente, quindi alla famiglia del dispositivo da utilizzare, ai tipi di blocchi implementativi che si desiderano (ad esempio RAM di tipo

generico, Fifo, Dual Port, con o senza pipeline, e così via). I vari vendor (quali per esempio Altera e Xilinx) forniscono opportune librerie dette "Accelerated Libraries", che costituiscono i "mattoni base" di cui il tool tiene conto per guidare l'implementazione (Fig. 2). Tuttavia, il processo HDL-Generator è di tipo "general purpose", nel senso che non si possono scegliere blocchi specifici per un particolare dispositivo-target (ad esempio, blocchi DSP48E di Xilinx, o equivalenti di

Altera). Lo scopo di questa apparente limitazione consiste nel fare in modo che il codice RTL generato sia quanto più possibile svincolato dal target. Per quanto riguarda l'ottimizzazione del codice, è interessante evidenziare che i loop presenti nella descrizione high-level vengono individuati automaticamente dal software. L'utilizzatore può scegliere se effettuare o meno il merging e l'unroll dei loop. Parametri quali il throughput del sistema, la latenza dei segnali e l'area occupata sul silicio sono in dipendenza dall'architettura implicitamente definita nell'algoritmo e dei constraint applicati.

## Consumi

Per quanto riguarda la stima della potenza assorbita dalle varie alimentazioni, questa viene effettuata da tool esterni dedicati. Catapult-C fornisce a tali tool le informazioni necessarie per effettuare la stima ed è in grado di importare i risultati prodotti, i quali verranno poi associati alle varie soluzioni. La generazione della codifica RTL costituisce il passo finale del procedimento di sintesi, che è anche il più oneroso in termini di tempo. Per questo motivo essa viene effettuata solo quando tutti gli step precedenti di verifica hanno dato luogo a una architettura ottimizzata per l'applicazione che si desidera realizzare.

## Versioni disponibili

Il tool Catapult-C Synthesis è disponibile in tre versioni:

- Catapult System Level: la sua peculiarità è di consentire la gestione della gerarchia del sistema;
  - Catapult Block Level: versione più diffusa negli ambienti di progetto H/W, non gestisce la gerarchia ma i singoli blocchi funzionali. Le interfacce tra blocchi (a livello di glue-logic) vengono immesse dal designer a parte;
  - Library Builder: ha lo scopo di costruire le librerie tecnologiche. È uno strumento impiegato dai produttori di "silicio" per definire i blocchi da inferenziare.
- Il tool supporta i sistemi operativi Windows e Linux.

**Mentor Graphics**  
readerservice.it n. 2