

Interfaccia DVI/HDMI con FPGA a basso costo

Mourad Zakhama
Senior Field Application engineer

Dan Schaffer
Area Technical manager

Tedarena
Director of Field Applications,
Europe North America

Lattice Semiconductor

Le interfacce di trasmissione e ricezione DVI e HDMI sono generalmente implementate mediante ASSP. Scopo di questo articolo è proporre una soluzione alternativa che utilizza un FPGA

Negli ultimi anni il numero dei prodotti che incorporano un display ad alta definizione o ne richiedono uno esterno è notevolmente aumentato. Gli OEM cercano di trarre vantaggio dai display piatti standard e dalle tecnologie di interfaccia per contenere i costi e offrire soluzioni capaci di garantire una lunga durata.

Nel mercato consumer l'evoluzione della tecnologia dei display a schermo piatto ha contribuito a unificare la scelta dell'interfaccia e a ridurre i costi. Mentre i primi display ad alta definizione utilizzavano un'interfaccia analogica con componenti video (YCrCb), le tecnologie digitali come DVI (Digital Visual Interface) e il più recente HDMI (High Definition Multimedia Interface) hanno sostituito la maggior parte dei dispositivi analogici.

L'interfaccia DVI richiede un ingombrante connettore, mette a disposizione un supporto limitato per il DRM (Digital Rights Management) e non prevede l'audio a canale singolo o multiplo. Per soddisfare questi requisiti è stato sviluppato lo standard HDMI, che utilizza sostanzialmente gli stessi segnali previsti da DVI, utilizzando un connettore più piccolo, dispone di una maggiore lar-

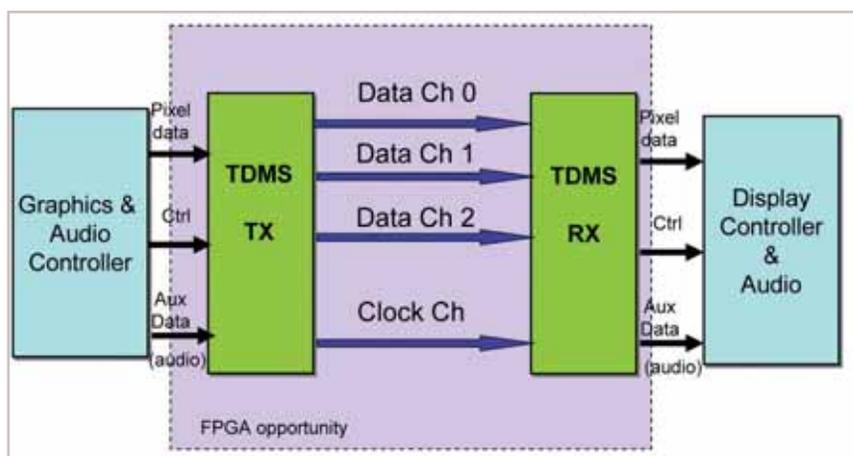
gezza di banda (con risoluzione 1080P) con un numero inferiore di connettori, oltre a garantire il supporto per il DRM e otto canali audio multi-formato.

A causa del predominio dei protocolli DVI e HDMI nel settore dei visualizzatori a schermo piatto, gli OEM stanno sviluppando sempre più prodotti che incorporano una di queste tecnologie, o entrambe.

Gli standard DVI e HDMI

La specifica HDMI fa riferimento a uno standard audio/video che può trasmettere e ricevere flussi di dati digitali non compressi. Essa può abbinare contenuti

Fig. 1 - Schema a blocchi semplificato HDMI



video e audio multi-canale in un singolo collegamento digitale, eliminando la necessità di connessioni cablate multiple (e i relativi costi). Per i display con risoluzione 1080i senza requisiti audio, i segnali HDMI sono compatibili con la specifica DVI.

Gli standard DVI e HDMI sono basati sulla tecnologia denominata TMDS (Transmission Minimised Differential Signalling), nella quale i segnali hanno livelli analoghi a quelli della logica CML

(Current Mode Logic). A tal proposito si faccia riferimento alla figura 1.

L'interfaccia HDMI è un cavo schermo che trasmette tre canali TMDS. La sua configurazione di default è l'RGB, dove ogni canale trasmette uno dei tre colori. A differenza dell'interfaccia DVI, HDMI supporta i componenti di luminosità e cromaticità (YCbCr 4:4:4 e 4:2:2). I tre collegamenti TMDS vengono utilizzati anche nella trasmissione di più canali audio (fino a otto). Un'altra coppia di cavi fornisce un clock sincrono con bit rate di TMDS 1/10X. Altri cavi sono utilizzati per la comunicazione a bassa velocità tra display e sorgente (EDID) delle caratteristiche del display. Sono previste anche funzioni ausiliarie di controllo, come il rilevamento dell'hot swap e dei collegamenti di alimentazione e massa per l'interfaccia EDID. In totale ci sono ventinove collegamenti.

La connessione HDMI opera in una di queste tre modalità: Video Data Period, Data Island Period e Control Period. Il contenuto video attivo viene trasmesso nel Data Period, mentre i dati audio e quelli ausiliari vengono trasmessi nel Data Island Period mediante una serie di pacchetti. Il Control Period deve essere inserito fra qualsiasi periodo dedicato al contenuto video o ai dati. All'inizio di

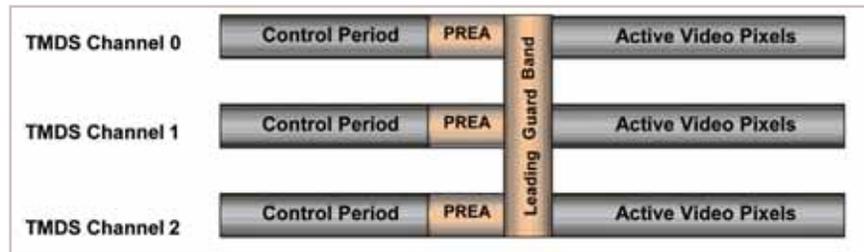


Fig. 2 - Il ricevitore usa il preambolo e la banda di guardia per sincronizzare i dati in arrivo

ognuno di tali periodi c'è un preambolo seguito da una banda di guardia (Guard band), come visibile in figura 2, che fornisce un'indicazione estremamente affidabile della transizione dal periodo di controllo al periodo video.

Il preambolo è una successione di otto caratteri predefiniti (10 ' b1101010100, 10'b0010101011, 10'b0101010100 e 10'b1010101011), mentre la banda di guardia è una successione di due caratteri esclusivi per ogni canale:

- canale 1: 10b1011001100;
- canale 2: 10b0100110011;
- canale 3: 10b1011001100.

Realizzazione di un sistema con DVI/HDMI

Le interfacce di trasmissione e ricezione DVI e HDMI sono generalmente implementate mediante ASSP. Questo articolo propone una soluzione alternativa che utilizza un FPGA (Field Programmable Gate Array). I vantaggi dell'impiego di un FPGA nella realizzazione di un'interfaccia DVI/HDMI sono:

(1) La tecnologia FPGA consente al progettista di integrare il SERIALizzatore/DESERIALIZZATORE (SERDES) ASSP con specifiche funzionalità di progetto personalizzabili, riducendo l'ingombro sulla scheda e aumentando il livello di affidabilità.

(2) L'FPGA consente al progettista di utilizzare la tecnologia più recente e trarre vantaggio dai processi più avanzati. La maggior parte dei dispositivi discreti di interfaccia DVI sono stati sviluppati poco dopo la ratifica della specifica, avvenuta nel 1999. La tecnologia produttiva è dunque piuttosto matura (inizialmente 0,18 mm) e quindi più costosa.

(3) Gli FPGA offrono un ampio range di opzioni di temperatura, tra cui i range previsti dalle applicazioni industriale e automotive. La maggior parte dei dispositivi discreti di interfaccia DVI e HDMI sono invece progettati per il mercato consumer, quindi offerti solo nella gamma di temperatura commerciale. Ciò può rappresentare un problema per i progetti embedded destinati alle applicazioni industriali e automotive.

(4) I progetti FPGA sono "portabili", minimizzando in tal modo i problemi relativi all'obsolescenza. La maggior parte dei dispositivi DVI sono destinati alle applicazioni basate su PC. Spesso queste interfacce vengono ulteriormente integrate in altri ASSP.

Quando ciò si verifica, questi dispositivi discreti potrebbero non essere più disponibili, in quanto il produttore

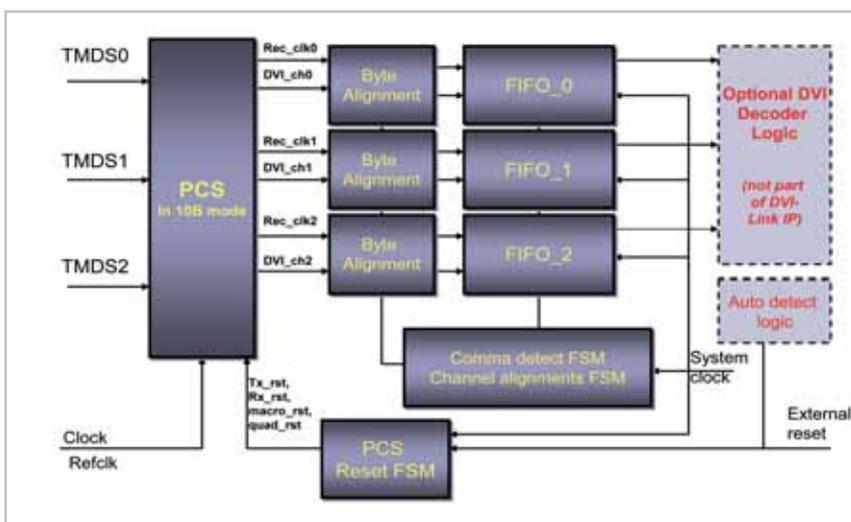


Fig. 3 - Schema a blocchi del collegamento HDMI/DVI

potrebbe essere interessato a servire solo il mercato del PC.

Tutti questi fattori contribuiscono a rendere molto più "appetibili" le soluzioni che utilizzano FPGA. Questi ultimi dispositivi si sono dimostrati efficaci nel garantire una maggiore integrazione funzionale, una riduzione dei tempi di introduzione sul mercato e un contenimento dei costi. Inoltre gli FPGA sono offerti nel range di temperatura esteso e sono disponibili per un periodo di tempo molto lungo.

Lattice Semiconductor ha recentemente introdotto un progetto di riferimento DVI/HDMI per le proprie famiglie di FPGA ECP2M ed ECP3, costituite da dispositivi con SERDES integrati a basso consumo e basso costo, disponibili nei range di temperatura estesi. La modalità DVI/HDMI è una di quelle supportate dalle famiglie ECP2M e ECP3. L'implementazione di questo progetto è resa possibile dal fatto che Lattice ha creato un'interfaccia specifica per i segnali TMDS.

Nei cavi DVI/HDMI i segnali TMDS sono sincronizzati con un clock esterno. Lattice ha sviluppato una tecnica per utilizzare il SERDES integrato nei dispositivi ECP2M ed ECP3, in modo da recuperare e generare i dati appropriati e formattarli in una modalità compatibile con TMDS. Questa implementazione è possibile grazie all'ampio range dinamico (250 Mb/s, 3,2 Gb/s) del SERDES integrato.

Il progetto di riferimento DVI/HDMI di Lattice incorpora le funzionalità sia del ricevitore sia del trasmettitore. È possibile di conseguenza realizzare numerose applicazioni su singolo chip. Ad esempio si può utilizzare il lato trasmissione trasmettitore per riconvertire il progetto di un circuito di pilotaggio di un precedente display LVDS 7:1 in DVI. Sul lato ricezione, un circuito di estensione dell'HDMI può essere implementato utilizzando i dati del ricevitore HDMI e formattandoli per inviarli su un

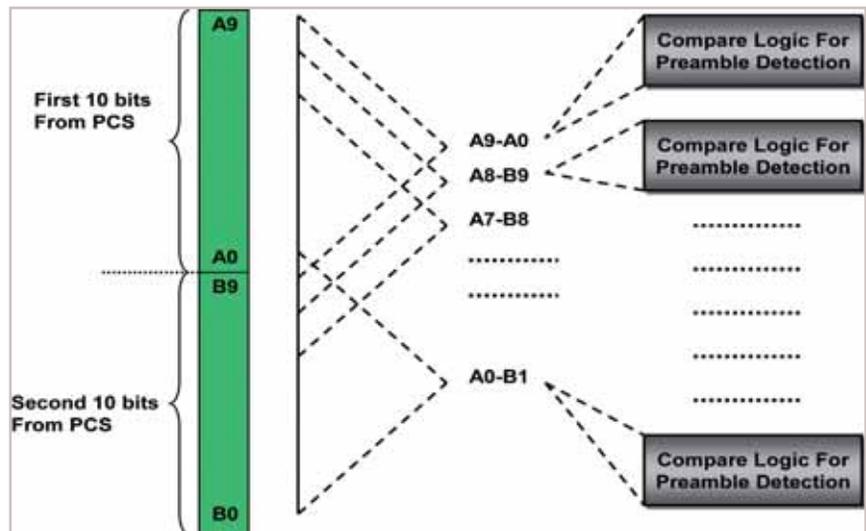


Fig. 4 – Sincronizzazione del ricevitore

altro mezzo trasmissivo, come la fibra ottica o un cavo CAT5. Analogamente, se si possiede una licenza del protocollo HDCP, è possibile elaborare e manipolare ulteriormente i dati audio e video per realizzare applicazioni di overlay grafico, effetti di picture-in-picture o lo split dello schermo.

Lato ricevitore: realizzazione con LatticeECP2M

Sul lato ricevitore, ECP2M utilizza il blocco SERDES integrato per recuperare i segnali TMDS. Questa funzione viene realizzata dal circuito di recupero del clock e dei dati (CDR, Clock and Data Recovery) del SERDES integrato nell'FPGA, che converte ogni canale seriale TMDS nel formato a 10 bit, per poi sincronizzare i dati generati con il clock delle interfacce della struttura dell'FPGA. Infine i dati vengono elaborati nell'FPGA per realizzare la sincronizzazione. Tre sono i livelli di sincronizzazione richiesti: (1) sincronizzazione a 10 bit, che in questo articolo viene definita "allineamento dei byte"; (2) allineamento dei canali e (3) allineamento multicanale.

Il passo successivo è il riconoscimento automatico della risoluzione del data stream (480p, 720p, 1080p o 1080i) e la regolazione del parametro PCS (Phy-

sical Coded Sub-layer), per garantire un funzionamento ottimale durante la commutazione dinamica tra queste risoluzioni.

I dati dei tre canali dei segnali TMDS (0, 1 e 2) sono ricevuti dagli ingressi del SERDES - compatibile con la logica CML - dei dispositivi Lattice ECP2M/ECP3 (in Fig. 3 è rappresentato il flusso di un segnale del ricevitore). Dato che i segnali DVI/HDMI non usano la codifica dello standard 8B/10B, il PCS (Physical Coding Sublayer) dietro il SERDES viene impostato nella modalità 10 bit (Bypass).

I segnali TMDS usano quattro caratteristiche di allineamento esclusive di questo protocollo, differenti da quelle del protocollo 8B/10B.

Il serializzatore e il CDR del SERDES trasmettono semplicemente i dati di 10 bit, mentre la struttura dell'FPGA realizza l'allineamento dei byte.

I collegamenti DVI/HDMI possono trasmettere i dati a differenti frequenze e la logica di Auto detect viene utilizzata per riconoscere la risoluzione trasmessa e configurare il PCS per agganciare il PLL (Phase Locked Loop) del SERDES.

Sincronizzazione del ricevitore

Quando il dato a 10 bit si trova nella struttura dell'FPGA, è necessario eseguire i tre allineamenti descritti in precedenza (dei byte, tra i canali e multicanale). Per quanto riguarda l'allineamento dei byte, il progetto determina l'inizio e la fine dei byte di dato a 10 bit nel data stream. Ciò viene effettuato mediante una Macchina a Stati Finiti (FSM, Finite State Machine) nella struttura dell'FPGA.

I primi e i secondi 10 bit del data stream vengono raggruppati per formare un bus a 20 bit, che viene poi decomposto in nove bus a 10 bit. A questo punto i dati vengono confrontati con il carattere di allineamento, e SYNC diventa vero solo se il carattere si presenta per otto volte in sequenza (allineamento a singolo canale). Tutto ciò è evidenziato dal diagramma di stato di figura 4.

Una volta riconosciuta la sincronizzazione, il dato allineato a byte viene scritto nei FIFO. Quando ognuno dei tre canali ha completato il proprio "allineamento di canale" e può scrivere nel FIFO, la fase di allineamento di canale è conclusa. A questo punto l'FPGA attende fino a quando il FIFO è mezzo pieno e consente il processo di lettura dai tre FIFO nello stesso istante (allineamento multicanale). Ciò garantisce che i tre canali siano allineati e in sincronismo.

Lato trasmettitore Realizzazione con LatticeECP2M

I PLL di trasmissione dell'ECP2M sono caratterizzati da range operativi ottimizzati. I range predefiniti sono basso, medio-basso, medio, medio-alto e alto. Ognuno di questi range può essere configurato dinamicamente nell'ECP2M mediante il bus SCI. Dato che ci sono differenti valori della risoluzione del display, nel progetto di riferimento DVI/HDMI il SERDES deve essere impostato per la velocità d'uscita desiderata. Ad esempio, se si desidera un display HDMI di 720p, che opera a 742,5

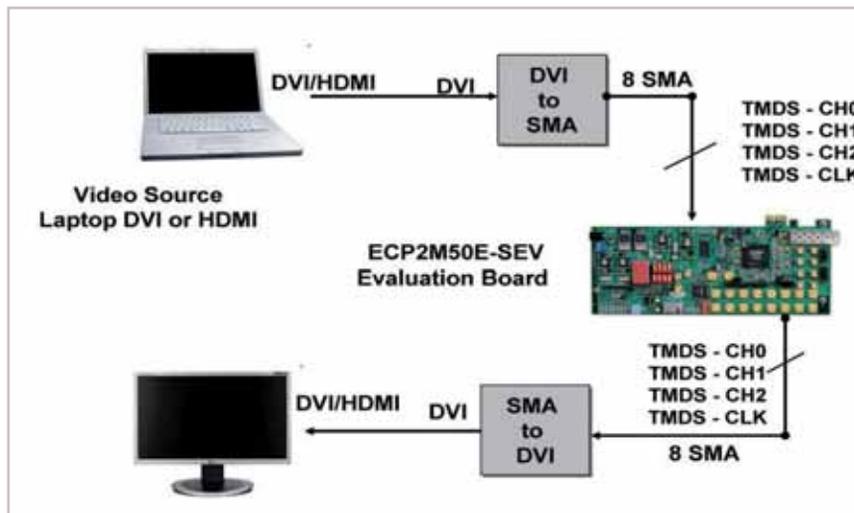


Fig. 5 – Sistema demo proposto da Lattice Semiconductor

Mbps, il SERDES PCS di trasmissione deve essere impostato sul valore medio-basso. I dati da visualizzare vengono inseriti in un FIFO definito dal progetto di riferimento DVI/HDMI e sono letti in modo sincronizzato da ognuno dei tre canali TMDS. Quindi il progetto trasferisce i dati dal FIFO nel PCS per il SERDES di trasmissione. Il PCS viene posto nella modalità 10 bit per serializzare i dati del FIFO. A questo punto i dati vengono convertiti nei nuovi stream TMDS con il clock appropriato, che consente al ricevitore di recuperare il segnale e, nel caso di un display collegato, di far apparire l'immagine.

Prova e verifica del sistema

È possibile sperimentare e verificare il progetto di riferimento DVI/HDMI e la sua conformità alle specifiche. Lattice ha realizzato una demo DVI per sottolineare le funzionalità del progetto. Questa demo utilizza la scheda di valutazione ECP2M50E-SEV SERDES con l'aggiunta di altro hardware sempre proposto da Lattice Semiconductor. Oltre alla scheda di valutazione sono necessarie le schede di interfaccia tra DVI e SMA, vari cavi DVI e SMA, una sorgente DVI e un monitor. Il completo sistema demo e il collegamento del set-up di test sono mostrati in figura 5.

Il flusso di dati DVI/HDMI è prelevato all'uscita di un computer laptop mediante il cavo DVI o HDMI/DVI. Le schede DVI e SMA convertono il connettore DVI in SMA, che può essere interfacciato con la scheda di valutazione mediante i cavi SMA. Quando il segnale raggiunge l'FPGA viene elaborato e ritrasmesso ai canali SERDES di trasmissione. I dati trasmessi vengono quindi rinviati tramite i cavi SMA alla scheda di adattamento SMA/DVI e, infine, a un display monitor per il confronto.

Utilizzando il SERDES integrato e un progetto di riferimento reso disponibile da Lattice Semiconductor, ECP2M consente di realizzare le interfacce DVI/HDMI di ricezione e/o di trasmissione. Grazie alla tecnologia FPGA e a questo progetto di riferimento, i progettisti saranno in grado di realizzare rapidamente la parte rimanente del loro progetto, combinandola direttamente con l'interfaccia DVI/HDMI per soddisfare i loro specifici requisiti di progetto.

Lattice Semiconductor
readerservice.it n. 14