

Verifica e validazione del software embedded mediante piattaforme virtuali per applicazioni automobilistiche

P. Cuenot

Siemens VDO Automotive SAS
a Continental Corp. Company

B. Tavernier

J.M. Talbot

VaST Systems Technology

Il parte

In questa seconda parte viene descritta una piattaforma sviluppata per valutare l'utilizzo delle piattaforme virtuali destinate allo sviluppo di sistemi di propulsione ed effettuata un'analisi dei risultati ottenuti

Nella prima parte è stata proposta una metodologia di modellazione necessaria per raggiungere il livello di astrazione TLM desiderato mediante la riduzione del numero di eventi richiesti da un punto di vista esterno. Per illustrare questa metodologia è stato utilizzato un modello che, pur nella sua semplicità, può essere applicato alla modellazione di periferiche complesse. In questa seconda parte verrà descritta una piattaforma sviluppata per valutare l'utilizzo delle piattaforme virtuali destinate allo sviluppo di sistemi di propulsione.

Descrizione del core digitale

Obiettivo di questa piattaforma è consentire lo sviluppo del software già nelle fasi iniziali su un sistema basato sul microcontrollore MPC5554 di Freescale e un circuito ASIC custom messo a punto da Continental, collegato con un link seriale al micro con la periferica DSPI.

La necessità di avere un link SPI implica l'aggiunta di altre periferiche alla piattaforma:

L'interfaccia DSPI (Deserial/Serial peripheral Interface) di MPC5554 [2]. Solo il comportamento del link DSPI sarà modellato. L'interfaccia di DSPI definirà 3 segnali a 32 bit per l'astrazione della comunicazione:

- il segnale SDI conterrà tutti i bit di ingresso di una ricezione;
- il segnale SDO conterrà tutti i bit di uscita di una trasmissione;
- SCI_CONTROL verrà utilizzato dal master per gestire la transazione, fornire la temporizzazione accurata a livello di

ciclo della transazione completa e codificare le informazioni di configurazione del DSPI [2] (chip select, stato del bit di controllo, e così via).

Non è prevista la modellazione di alcun tipo di meccanismo di buffering in quanto eDMA sarà usato per trasferire automaticamente i frame di ingresso e di uscita dalla memoria ai registri di DSPI.

eDMA (enhanced DMA) di MPC5554. Il modello sarà limitato a soli 2 canali (32 e 33) che saranno utilizzati per trasferire automaticamente i dati da/verso la DSPI [2].

Il semplice timer descritto nella prima parte. Il software sviluppato è di tipo "reattivo" e pilotato dagli interrupt. Questo semplice timer verrà utilizzato per generare interrupt a velocità fissa o variabile. In un modello completo la gestione sarà affidata alla eTPU (enhanced Time Processing Unit).

INTC (controllore di interrupt) di MPC5554 [2]. Questo modello implementerà gli interrupt software e sarà collegato a DSPI, eDMA e al timer.

La piattaforma, schematizzata in figura 1, è basata sul modello del core e200z6 di vaST e le interconnessioni schematizzate come un singolo bus. Ciò rappresenta una fonte di imprecisione a livello di piattaforma poiché MPC5554 utilizza un crossbar in grado di supportare simultaneamente trasferimenti DMA e accessi alla memoria del core e200z6.

Descrizione del circuito ASIC

Un driver di uscita dello stadio di potenza, modellato in SystemC/TLM è stato collegato al modello semplificato di

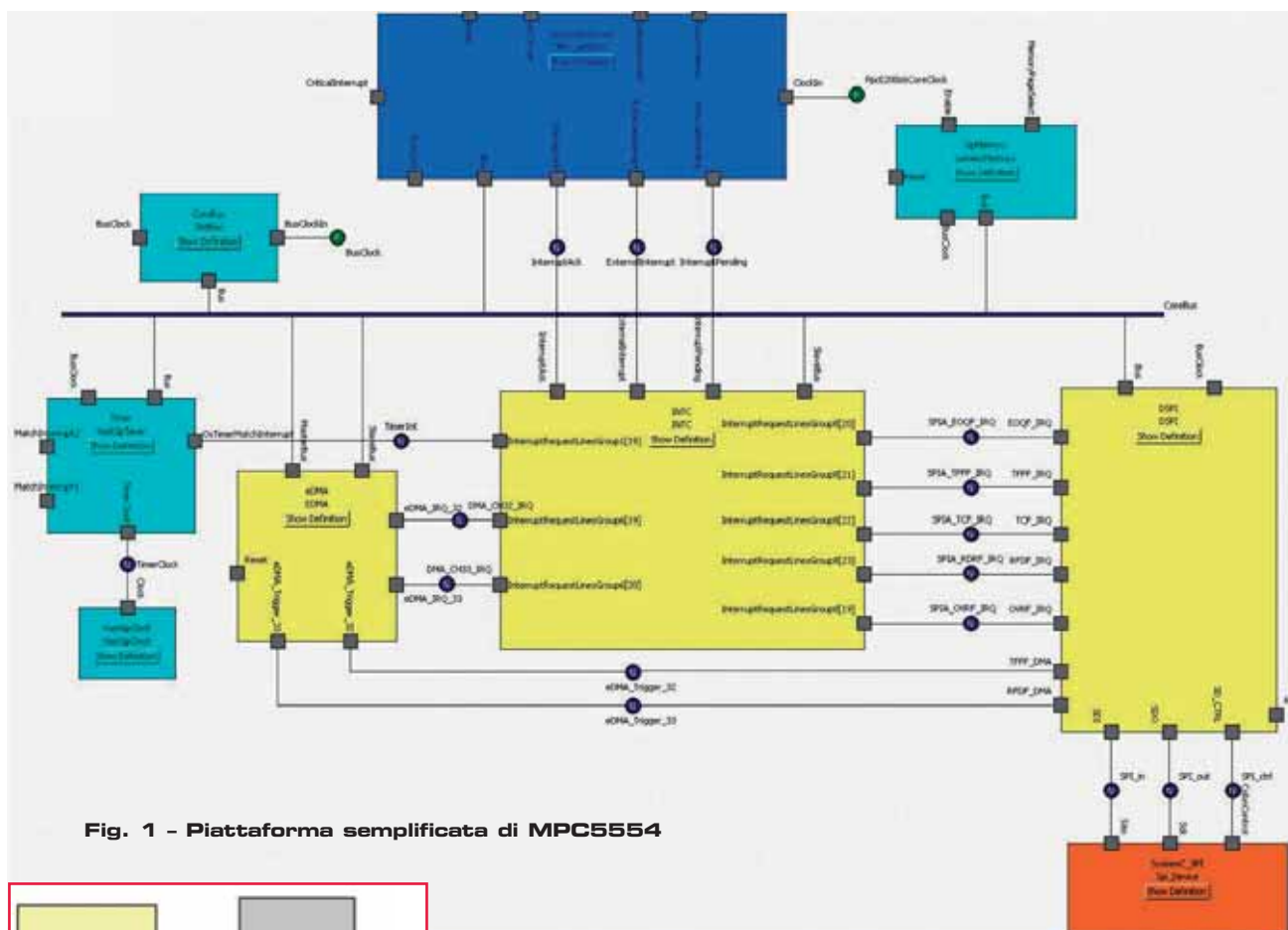


Fig. 1 - Piattaforma semplificata di MPC5554

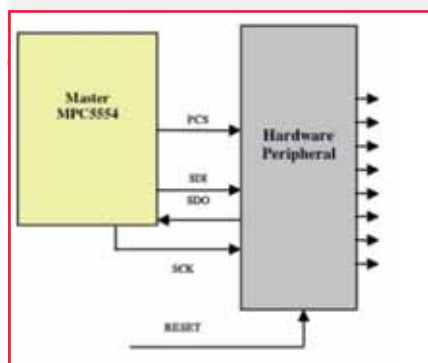


Fig. 2 - Schema del driver dello stadio di potenza

MPC5554. Come evidenziato dallo schema di figura 2 si tratta di un semplice componente controllato in modalità slave attraverso un'interfaccia SPI del microcontrollore. I comandi trasmessi dal master sotto forma di dati seriali vengono convertiti in uscite digitali parallele. La periferica reinvia lo stato diagnostico delle uscite e la rilevazione di circuiti aperti o cortocircuiti viene effettuata dalle periferiche attraverso l'analisi della corrente interna. Come descritto in precedenza, l'astrazione dell'interfaccia SPI viene effettuata mediante tre segnali: *sc_in SDO* (per la trasmissione in uscita), *sc_out SDI* (per la trasmissione in ingresso) e *sc_inout SCI_CONTROL*. L'*SC_METHOD* del modello della periferica è sensibile a *SC_CONTROL* e gestisce la transazione mediante la decodifica della configurazione della trasmissione con accuratezza a

livello di ciclo (chip select, primo e ultimo bit trasferito). La parte diagnostica è astratta mediante un file di testo (text file). I dati provenienti da questo file contrassegnati da una data di trasmissione vengono copiati nel segnale SDO e trasmessi nei tempi previsti utilizzando i servizi di simulazione dell'engine. Questo modello di circuito ASIC è stato validato al di fuori del contesto della piattaforma virtuale con un software di benchmark (ovvero per la valutazione delle prestazioni) implementato in SystemC.

Descrizione del software

Per effettuare la valutazione si è fatto ricorso a un software industriale di sistema di gestione dell'engine opportunamente adattato. La dimensione del codice del software originale è pari a 8 MB: l'esecuzione viene fatta su MPC5554 a una frequenza di 80 MHz.

Per quanto concerne le periferiche, tutti i canali dell'eTPU sono configurati e il software controlla sia le interfacce di comunicazione (FlexCAN, DSPI, eSCI) sia quelle di I/O (EMIOS, eQADC, porta della SIU).

In questo caso si è proceduto all'adattamento di due versioni del software per raggiungere gli obiettivi prefissati: la prima

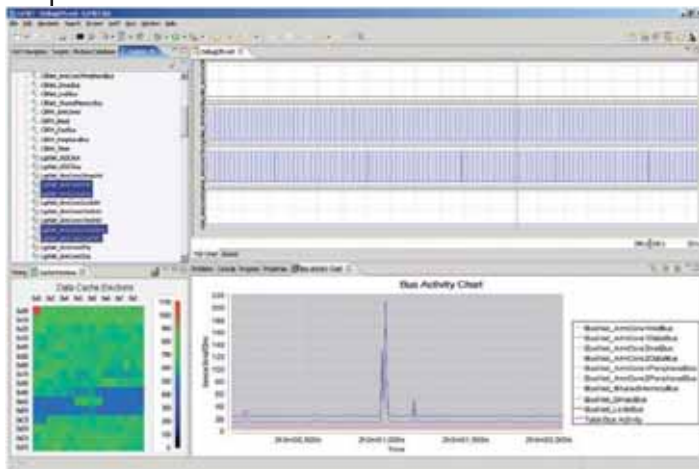


Fig. 3 - Esempio di analisi dell'hardware condotta con il tool Metrix (cache, VCD e monitor del bus)

TABELLA 1 - MISURE DI VELOCITÀ

Configurazione	Rapporto hw virtuale/reale	MIPS
Software per il test delle periferiche che gira su un computer equipaggiato con processore T2400 e 1 GB di memoria	1,7	60 MIPS
Software sviluppato da Continental che gira su un computer equipaggiato con processore T2400 e 1 GB di memoria	3,5	29 MIPS
Software sviluppato da Continental che gira su un computer equipaggiato con processore T2400 e 1 GB di memoria pilotato da debugger T32	4,0	25 MIPS

per verificare la capacità di eseguire il debug del software e la seconda per misurare l'accuratezza e le prestazioni.

Per quanto concerne la prima versione, il software è stato configurato in modo da rimuovere tutti gli accessi alle periferiche di MPC5554 che non sono implementate nella piattaforma virtuale.

La seconda versione è stata realizzata rimuovendo il codice relativo al controllo di tutte le periferiche e il codice dell'eTPU. Prestazioni e accuratezza sono misurate relativamente agli accessi alla memoria interna (flash e RAM) e al core. Il software è eseguito dalla flash presente nel core e200z6 utilizzando una configurazione cache standard di 64 kb.

Risorse di debug ella piattaforma MPC5554

Uno dei principali vantaggi di una piattaforma virtuale è la capacità di offrire all'utente finale un numero superiore di caratteristiche di debug rispetto a quelle dell'hardware reale.

Tra queste la completa visibilità all'interno dell'hardware virtuale, utile ad esempio per analizzare il comportamento della cache relativamente a una routine software specifica. In questo modo è possibile ottimizzare alcuni aspetti del software come la gestione degli interrupt o di routine ad alte prestazioni (per ridurre ad esempio la latenza degli interrupt).

Per tutti gli esempi sopra riportati è possibile utilizzare un ambiente di debug software user-friendly abbinato a tool che garantiscono un'ampia osservabilità dell'hardware, in particolare modo della micro-architettura del core. I core VaSt sono interfacciabili con debug software molto diffusi come ad esempio i tool T32 di Lauterbach e con un tool denominato Metrix che consente di ottenere e correlare tutti gli eventi che si verificano nel kernel di simulazione.

Le tracce VCD (Value Change Dump) possono essere generate con molta facilità per semplificare l'analisi del comportamento come ad esempio le latenze che si verificano all'interno dell'hardware. Mediante l'utilizzo del debugger T32 di Lauterbach o i tool MFA (Metrix Function Analyser) di VaSt

è possibile ottenere gli alberi di profiling (profiling trees) in un paio di minuti al fine di identificare eventuali "colli di bottiglia" del software.

Analisi dei risultati

I risultati di questo studio sono basati sugli esperimenti condotti da parte della PowerTrain Division di Continental. Con i criteri di funzionalità, accuratezza e prestazioni esaminati di seguito, è possibile verificare se

la piattaforma virtuale risulta adeguata per l'applicazione presa in considerazione.

Funzionalità

L'accuratezza funzionale è stata dimostrata sfruttando il debugger T32 di Lauterbach sulla piattaforma virtuale. L'ambiente di debugging dispone della medesima interfaccia utente e ha evidenziato il medesimo comportamento dell'ambiente impiegato sul target reale. Riguardo alle limitazioni del DLL e del servizio introdotte nel modello del core e200z6, è stato possibile osservare le caratteristiche standard quali breakpoint, trace, visualizzazione dei registri del microcontrollore e delle periferiche.

L'interfaccia dati SPI è stata acquisita mediante un text file corredato di valori di time stamp in sintonia con il comportamento della periferica reale utilizzando un intervallo di precisione per l'osservazione pari a 1 ms (un tempo sufficiente per l'osservazione funzionale della velocità di comunicazione).

TABELLA 2 - MISURE DI ACCURATEZZA

	Frequenza	Numero di cicli
Target	80 MHz	10502131
Simulatore (modello di memoria semplificato)	80 MHz	7232456
Simulatore (con fattore di correzione pari a 1,34)	80 MHz	9691491
Errore di accuratezza		-7,7%

Prestazioni

La simulazione delle prestazioni è stata calcolata a partire da un loop di esecuzione delle prestazioni del software misurate su un arco temporale di 1 s sul target.

Su un laptop equipaggiato con un processore dual core T2400 operante a 1,83 GHz con memoria di 1 GB, il tempo di simulazione necessario per l'esecuzione del loop è stato pari a circa 3,5 s.

Nel caso in cui il simulatore sia stato pilotato da un debugger T32 si è osservato un overhead pari al 15%.

Nella tabella 1 vengono riportati i risultati relativi al software impiegato per il test di integrazione delle periferiche impegnate nelle operazioni di lettura e scrittura attraverso SPI in modalità eDMA.

Nella configurazione dell'hardware è bene prevedere almeno 1 Gb di memoria.

Esperimenti condotti con il software di Continental che gira su una macchina equipaggiata con un processore Pentim M operante a 1,6 GHz con 512 Mb di memoria hanno portato a un rapporto tra hardware virtuale e reale pari a 15 (7 MIPS).

Accuratezza

Le misure di accuratezza sono state calcolate facendo un confronto del numero di cicli tra il target reale e quello di simulazione. Poiché il modello di memoria in questa piattaforma è estremamente semplice, è stato necessario introdurre un fattore di correzione stimato pari a 1,34 nel caso peggiore. Esso è stato calcolato a partire dai valori dello stato di attesa reale riguardo alla configurazione della memoria flash e utilizzando il rapporto hit/miss (successo/insuccesso dell'operazione di accesso) della cache per conteggiare il numero di operazioni di lettura e scrittura della memoria del software. Come visibile nella tabella 2, la stima finale dell'accuratezza è risultata pari al 92,3%.

Poiché i modelli della memoria e della configurazione del commutatore di crossbar non sono accurati nel modello virtuale, la correlazione con i valori delle misure è stata giudicata sufficiente. In parallelo a questo esperimento è stato sviluppato un modello completo di MPC5554, il cui schema è riportato in figura 4.

Alla stesura di questo articolo hanno contribuito Christophe Marigo e Norbert Mignon di Continental

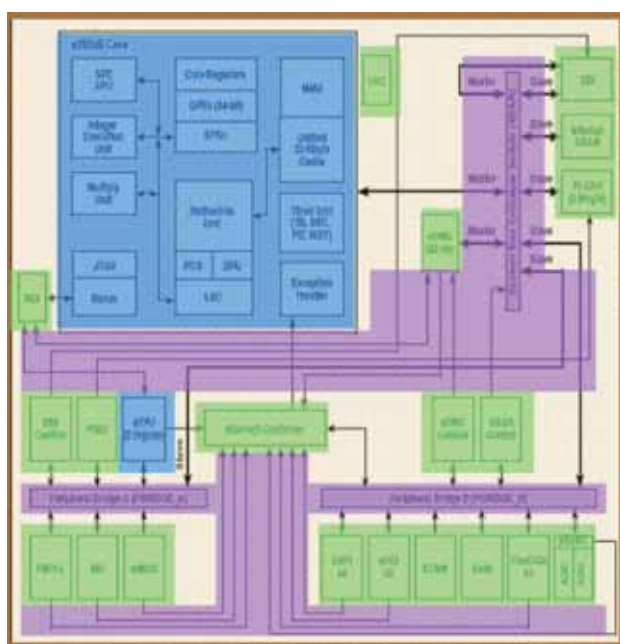


Fig. 4 - Modello completo di MPC5554

Bibliografia

- [1] OSCI – www.osci.org
- [2] Freescale: MPC5553/MPC5554 Microcontroller Reference Manual”, MPC5553/ARM, Rev. 3.1, 10/2005
- [3] M. Schnieringer, K. Brand: “SystemC: Key modelling concepts besides TLM to boost your simulation performance”, IP SOC, Grenoble – France, 11/2007
- [4] F. Ghenassia (Ed.): “Transaction-Level Modelling with SystemC: TLM Concepts and Applications for Embedded Systems”, Springer, 11/2005

Siemens VDO Automotive SAS

(a Continental Corp. Company) www.conti-online.com

VaST Systems Technology www.vastsystems.com