

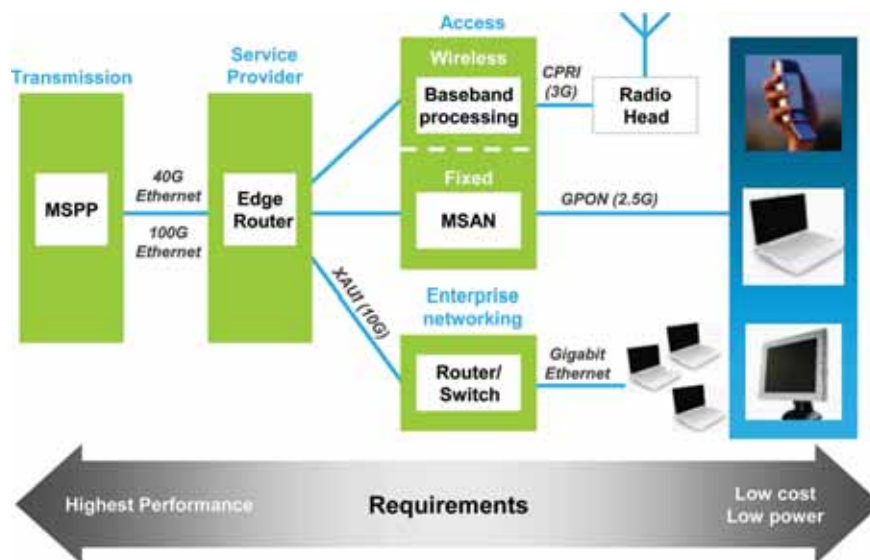
UNA LINEA COMPLETA DI FPGA CON TRANSCEIVER INTEGRATI

Theresa Vu
Product marketing manager
Altera

La sempre maggiore ampiezza di banda che contraddistingue i servizi a larga banda sia fissi sia mobili richiede la disponibilità di dispositivi equipaggiati con un maggior numero di transceiver seriali operanti in un'ampia gamma di velocità di trasferimento dati, da alcuni Mbps a parecchi Gbps

8⁴ treni passeggeri alimentati con turbine a gas devono percorrere la tratta tra Roma e Milano nello stesso giorno viaggiando a una velocità di 250 km/h. Il treno A, con 50 passeggeri, parte alle ore 10 e utilizza un binario rettilineo. Il treno B, che trasporta 75 passeggeri, parte dieci minuti dopo viaggiando su un binario parallelo a quello del treno A. Il treno C, che trasporta 60 passeggeri, parte alle 10,05 e viaggia su un binario attiguo che deve far una deviazione per evitare un fiume. I restanti 81 treni partono alle 11,55 e viaggiano su binari a forma di L. Il problema è garantire che tutti i treni arrivino simultaneamente con i passeggeri a bordo alle 14,17. Gli altri requisiti sono i seguenti: insieme, tutti i treni non devono consumare più di 486.225 kW e il prezzo medio del biglietto non può superare 24,99 euro. Cosa succederebbe se fosse disponibile un solo treno passeggeri a trazione elettrica che possa viaggiare a 400 km/h e potesse ospitare a bordo 300 passeggeri? Prima di tentare una possibile risposta, si esamineranno alcuni possibili modi per affrontare situazioni di questo tipo.

Può sembrare strano ma uno scenario come quello appena sopra delineato è quello in cui progettisti e architetti di



sistemi si trovano a operare nel momento in cui aumentano i requisiti in termini di ampiezza di banda dei sistemi stessi. Nonostante la situazione economica attuale, esiste ancora una notevole richiesta di maggiori ampiezze di banda e di velocità di trasferimento dati più elevate alimentata in parte dai mercati emergenti. Secondo il rapporto: "Mobile Subscriber & Revenue Forecast 2008-2013: Emerging Market Opportunities" pubblicato da Pyramid Research nel novembre dello scorso anno, tra il 2008 e

Fig. 1 – FPGA con transceiver in una tipica infrastruttura di comunicazione

il 2013 il numero di abbonamenti ai servizi mobili passerà a 4 a 5,85 miliardi, con una crescita media su base annua del 7,9%. Le richieste proverranno in maggior misura da regioni quali Africa, Medio Oriente e Asia, mentre l'Europa vedrà diminuire la sua quota di abbonamenti su base mondiale. Nei mercati esistenti e in via di sviluppo, questa tenden-

za è anche alimentata dal crescente interesse verso contenuti multimediali forniti in modalità streaming (Video-on-Demand, film e programmi televisivi) e giochi on-line. Le aziende coinvolte devono quindi rendere disponibili più servizi a valore aggiunto come ad esempio Voice-over-IP e home networking interattivo per mantenere margini di profitto adeguati.

Le sempre crescenti esigenze in termini di ampiezza di banda dei servizi a larga banda sia fissi sia mobili richiedono la disponibilità di dispositivi di silicio equipaggiati con un maggior numero di trasceiver seriali in grado di operare in un'ampia gamma di velocità di trasferimento dati, compresa tra alcuni Mbps a parecchi Gbps.

Requisiti ed esempi di applicazioni ad alta velocità

Per l'accesso e la trasmissione in modalità wireline (ossia su cavo), così come per le apparecchiature di networking, Ethernet è divenuto il protocollo per il livello fisico e di data link più ampiamente utilizzato. Mentre 10GbE è lo standard che garantisce la più alta velocità al momento disponibile, la richiesta di ampiezze di banda sempre maggiori sta evidenziando la necessità di disporre di sistemi operanti a 40G in sostituzione delle piattaforme basate su SONET/SDH. I costruttori stanno quindi avviando lo sviluppo di soluzioni basate su Ethernet operanti a 40 e 100 Gbps (Fig. 1). Nel passaggio da 10 a 40 a 100 G questi costruttori vorrebbero sfruttare le infrastrutture e le tecnologie già esistenti al fine di evitare ulteriori spese in conto capitale.

Sebbene i protocolli Ethernet siano stati ampiamente implementati in numerose applicazioni, il mercato dell'automazione industriale non si è dimostrato particolarmente rapido nell'adozione di questa tecnologia a causa della sua natura non deterministica e dell'incapacità di supportare la ridondanza richiesta dai sistemi safety-critical (ovvero in quei

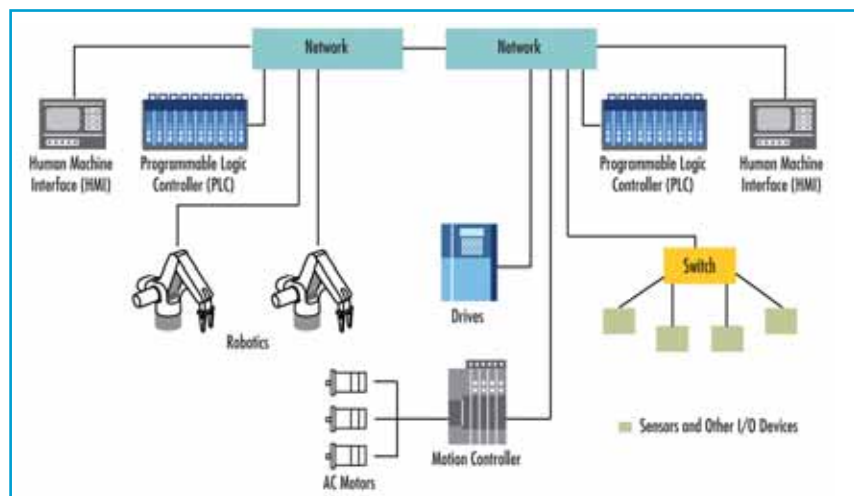


Fig. 2 – Schematizzazione di un tipico ambiente di fabbrica

sistemi in cui i malfunzionamenti possono provocare danni a persone o all'ambiente circostante).

I progressi nel campo della tecnologia Ethernet, come ad esempio l'incremento in termini di velocità e l'estensione delle specifiche per garantire il supporto a connessioni ridondanti, hanno di fatto "obbligato" i costruttori di apparecchiature per l'automazione industriale a riconsiderare Ethernet come uno strumento a basso costo, ad alte prestazioni e facilmente scalabile per standardizzare le reti industriali utilizzando gli apparati già disponibili sul mercato (off-the-shelf). Comunque questi produttori necessitano ancora di una soluzione flessibile per supportare i protocolli dei bus di campo esistenti come Modbus, PROFIBUS e SERCOS I/II nel corso della migrazione verso protocolli industriali più avanzati basati su Ethernet come EtherCAT, PROFINET e SERCOS III.

Al crescere delle esigenze di interconnessione del sistema, la specifica PCI Express (PCIe) è stata opportunamente aggiornata per garantire un'ampiezza di banda notevolmente superiore: attualmente PCIe Gen 2 supporta fino a 5 Gbps, mentre è previsto che la Gen 3 possa arrivare a 8 Gbps.

Grazie alle migliori doti di flessibilità e alle maggiori prestazioni, PCIe si è confermato il protocollo di riferimento per le interconnessioni tra chip e chip, schede e backplane. La grande diffusione di questo protocollo ne ha favorito

l'adozione in ambiti diversi da quelli del tradizionale PC come ad esempio apparecchiature di comunicazione, cassette (drawer) di espansione di I/O e applicazioni embedded.

Sebbene le interfacce seriali ad alta velocità vengano ora utilizzate in diverse industrie per una miriade di applicazioni, i requisiti chiave che stanno alla base dell'innovazione tecnologica sono molto simili. Per quanto riguarda le applicazioni, è necessario ridurre i costi e aumentare le prestazioni, oltre a garantire il supporto di standard in continua evoluzione. Per soddisfare al meglio le esigenze dell'utente finale, il costo e i consumi diventano fattori estremamente critici, ragion per cui il numero di canali, la velocità e l'ampiezza di banda dei trasceiver tendono a diminuire. Oltre a ciò, il rapporto tra la densità e le caratteristiche del dispositivo varia in funzione dei requisiti di elaborazione dell'applicazione. Senza dimenticare che a causa delle attuali condizioni del mercato, è necessario ottenere livelli di integrazione sempre più spinti nonostante il regressivo "impoverimento" delle risorse e dei team di progettazione.

Una gamma completa di FPGA equipaggiati con transceiver

La soluzione ottimale per affrontare queste sfide progettuali e soddisfare i requisiti espressi dal mercato è rappresentata dalla disponibilità di una gamma di dispositivi programmabili caratterizzati da un'elaborazione parallela a elevate prestazioni e dotati di transceiver seriali ad

esempio stazioni base wireless, router di fascia alta e sensori avanzati per radar militari, gli FPGA Stratix IV GX possono garantire i livelli di densità più elevati, le prestazioni più spinte e i minori consumi al momento disponibili: grazie alla presenza di un massimo di 48 transceiver operanti a una velocità fino a 8,5 Gbps i progettisti possono sfruttare la banda più ampia al momento disponibile, mentre il

Tecnologie chiave per prodotti innovativi

Uno dei principali vantaggi legati alla disponibilità di un portafoglio completo di dispositivi è dato dal fatto che questi condividono un'architettura di transceiver e logica comune e si differenziano in termini di costo, prestazioni e consumi. Ciò consente il riutilizzo di tecnologie dalle precedenti generazioni di proces-

so: tali tecnologie sono in grado di sfruttare i vantaggi di ciascun nuovo nodo di processo e consentono di aggiungere innovazioni radicali atte a soddisfare quei requisiti che il solo riuso non permetterebbe di soddisfare. Tra le tecnologie chiave si possono annoverare il processo, la Programmable Power Technology per ottimizzare prestazioni e consumi, i

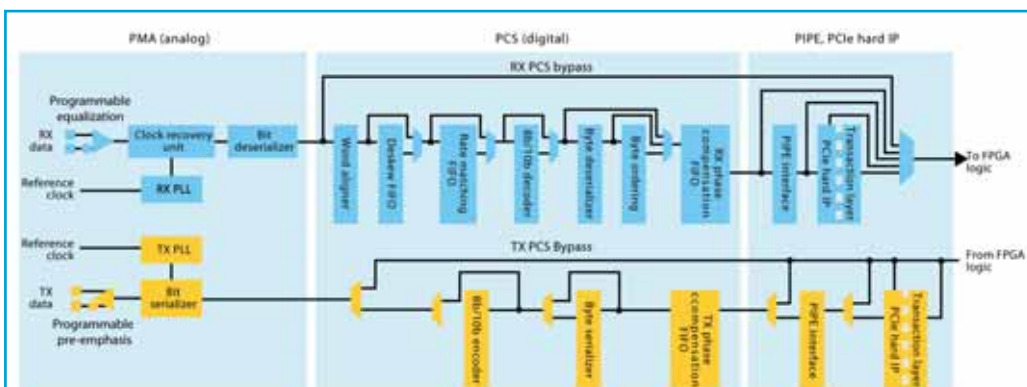


Fig. 3 - Schema a blocchi del livello PMA e del sottolivello PCS

alta velocità come gli FPGA Stratix IV e Arria II GX e gli ASIC della serie HardCopy di Altera. Realizzati sfruttando il processo da 40 nm messo a punto da TSMC (Taiwan Semiconductor Manufacturing Company), ciascuno degli FPGA delle famiglie Stratix IV e Arria II GX e degli ASIC HardCopy con transceiver è sviluppato sfruttando la medesima architettura transceiver ampiamente collaudata ideale per applicazioni di interfacciamento seriale a elevata ampiezza di banda. In ciascuno di questi dispositivi il blocco transceiver integrato è ottimizzato per le applicazioni cui è destinato.

Nel caso di applicazioni per le quali costo e consumi rappresentano un elemento critico ma che richiedono la disponibilità di un elevato numero di caratteristiche - GPON, IP DSLAM e RRH (Remote Radio Head) - è disponibile la famiglia Arria II GX, composta da dispositivi con livelli di densità medio-bassi e dotati di transceiver operanti a una velocità di trasferimento dati che può arrivare a 3,75 Gbps. Nel caso di applicazioni che richiedano prestazioni più elevate come ad

gran numero di funzionalità integrate permette il supporto di applicazioni backplane e di protocolli ad alta velocità. L'elevata integrità dei segnali garantisce la conformità a protocolli con requisiti particolarmente stringenti come PCIe Gen 2 e CEI-6. La versione Stratix IV GT, dotata di transceiver operanti alla più alta velocità di trasferimento dati al momento raggiungibile, pari a 11,3 Gbps, è ideale per applicazioni Ethernet 40G/100G. gli ASIC HardCopy IV GX rappresentano la miglior soluzione per tutte quelle applicazioni dove è necessario contenere costi e consumi e per le quali sono previste volumi elevati. Le prestazioni sono confrontabili con quelle degli FPGA Stratix IV GX che vengono utilizzati per la fase di prototipazione. Altera mette a disposizione una metodologia di progettazione che sfrutta una singola suite di tool per tutte le fasi di progetto, dalla prototipazione con FPGA alla realizzazione della soluzione ASIC completa, diminuendo considerevolmente i rischi legati allo sviluppo di ASIC con transceiver integrati operanti a 6,5 Gbps.

transceiver seriali ad alta velocità con pre-enfasi ed equalizzazione e l'utilizzo di un blocco IP hard per protocolli come PCIe.

Vantaggi del processo a 40 nm

Il processo a 40 nm garantisce significativi vantaggi rispetto ai nodi precedenti, compresi quelli a 65 e a 45 nm. Uno dei principali è il maggior livello di integrazione, che consente ai produttori di semiconduttori di includere un maggior numero di funzionalità in die di minori dimensioni, in modo da permettere la realizzazione di dispositivi caratterizzati da un livello di densità superiore. L'uso del processo a 40 nm comporta vantaggi anche in termini di prestazioni grazie alla riduzione delle lunghezze di gate. La minor resistenza risultante contribuisce ad aumentare le intensità di pilotaggio, fattore questo che porta alla costruzione di transistor contraddistinti da maggiori prestazioni. L'utilizzo di tecniche "strained silicon" (in pratica un processo di stiramento del cristallo di silicio) permette di migliorare ulteriormen-

te le prestazioni grazie all'aumento della mobilità degli elettroni e delle lacune in misura fino al 30%, fattore questo che comporta un incremento massimo del 40% delle prestazioni dei transistor.

Ottimizzazione delle prestazioni e dei consumi

Sebbene l'aumento in termini di densità e di prestazioni siano vantaggi di non poco conto, uno dei più importanti elementi di progetto è senza dubbio il consumo di potenza.

Anche in questo caso il processo a 40 nm si rivela particolarmente utile, in quanto consente di ridurre le capacità parassite fino al 15% rispetto al processo a 45 nm, responsabili dell'aumento del consumo di potenza dinamico.

Non bisogna comunque dimenticare che la progressiva riduzione delle geometrie di processo si traduce in un aumento dei consumi in standby. Altera fa ricorso a diverse tecniche, come ad esempio transistor a soglia multipla, transistor con canali di lunghezza differente, utilizzo di ossido a triplo gate per ridurre il consumo di potenza statica, oltre a utilizzare metodologie che cercano di individuare i migliori compromessi tra prestazioni e consumi in quelle sezioni dell'FPGA dove le prestazioni non rappresentano un elemento critico, come ad esempio quella relativa alla configurazione logica. Oltre alle tradizionali tecniche di progettazione circuitale, Altera ha introdotto, con gli FPGA della serie Statix III, la tecnologia Programmable Power Technology per affrontare il problema dei consumi di potenza statica. Questa tecnica permette di ridurre i consumi di potenza statica fino al 70% e ottimizza automaticamente il rapporto tra prestazioni e consumi per un determinato progetto. Questa innovativa tecnologia sfrutta il fatto che, nei normali progetti, è raro il caso in cui tutta la logica si trovi sul percorso critico - dal punto di vista delle temporizzazioni - dell'applicazione. Il software di sviluppo Quartus II di Altera determina automaticamente il margine di temporizzazione (Slack) disponibile in ciascun

percorso delle progetto e imposta automaticamente i transistor nella modalità di funzionamento più idonea - alte prestazioni o bassa dissipazione - regolando la tensione di polarizzazione inversa (back-bias) dei transistor.

Transceiver seriali ad alta velocità

I blocchi transceiver ad alta velocità di Altera impiegano un'architettura comune per il livello PMA (Physical Medium Attachment) e il sottostrato PCS (Physical Coding Sublayer).

In funzione dei requisiti di progetto, i blocchi all'interno di PCS possono essere evitati (Fig. 3).

Il livello PMA fornisce le funzionalità analogiche e comprende:

- Clock Data Recovery (CDR)
- Serializzatore/deserializzatore (SERDES)
- Equalizzazione e pre-enfasi programmabile
- Buffer di I/O con impostazioni programmabili dinamicamente (tensione differenziale di uscita e OCT differenziale).

Il sottolivello PCS comprende le funzionalità digitali per garantire la conformità con i principali protocolli (come PCI Express, GbE e XAUI) utilizzati in applicazioni backplane, connessioni tra chip e chip e tra chip e modulo. Questi blocchi digitali sono ottimizzati in modo da garantire un supporto avanzato per il protocollo, riducendo la quantità di risorse richieste nel dispositivo per generare il livello fisico del protocollo, pur garantendo una soluzione a bassa dissipazione. Abbinati a design di riferimento e blocchi IP specifici, questi blocchi rappresentano una soluzione completa per l'implementazione del protocollo, permettendo di ridurre sia il ciclo sia i rischi di progetto.

IP hard per PCI Express

L'adozione su larga scala di PCIe ha favorito l'integrazione delle funzioni PCIe sotto forma di blocchi IP hard preverificati e conformi allo standard. Tra i più importanti vantaggi di PCIe si pos-

sono annoverare il significativo risparmio di risorse (fino a 40K LE), la bassa dissipazione e la riduzione del ciclo di progetto grazie alla diminuzione di tempi di compilazione. Il blocco IP hard integrato contiene tutti i livelli dello stack del protocollo PCIe, compresi i moduli transceiver, il livello fisico, il livello Data Link e il livello di transazione. I blocchi IP hard PCIe sono conformi con le specifiche PCI-SIG primarie.

Ambiente di sviluppo e portafoglio di blocchi IP comune

Tutti i dispositivi logici custom di Altera garantiscono i vantaggi, in termini di produttività, derivati dall'uso di un singolo software di progettazione, un insieme comune di core IP oltre a un'ampia gamma di progetti di riferimento di supporto ed esempio di progetto.

In definitiva, l'incremento dei requisiti in termini di ampiezza di banda e l'aumento della velocità di trasferimento dati richiedono la disponibilità di un maggior numero di transceiver operanti a velocità sempre maggiori.

La diversità degli standard e la necessità di garantire un'elevata integrità dei segnali necessaria per le applicazioni backplane e la conformità ai protocolli sono gli elementi alla base dell'innovazione nel campo dei transceiver presenti a bordo dei dispositivi digitali. Per soddisfare i diversi requisiti dei vari mercati e applicazioni, i dispositivi digitali devono essere contraddistinti da un rapporto ottimale tra densità e caratteristiche e assicurare nel contempo il conseguimento degli obiettivi in termini di prestazioni, consumi e costi. Le innovazioni tecnologiche e la strategia di riutilizzo utilizzata nella gamma di FPGA e di ASIC della linea HardCopy a 40 nm con transceiver di Altera permettono di soddisfare tali requisiti, fornendo nel contempo la più ampia gamma di logiche custom dotate di transceiver al momento disponibile sul mercato.

Altera
readerservice.it n. 1