

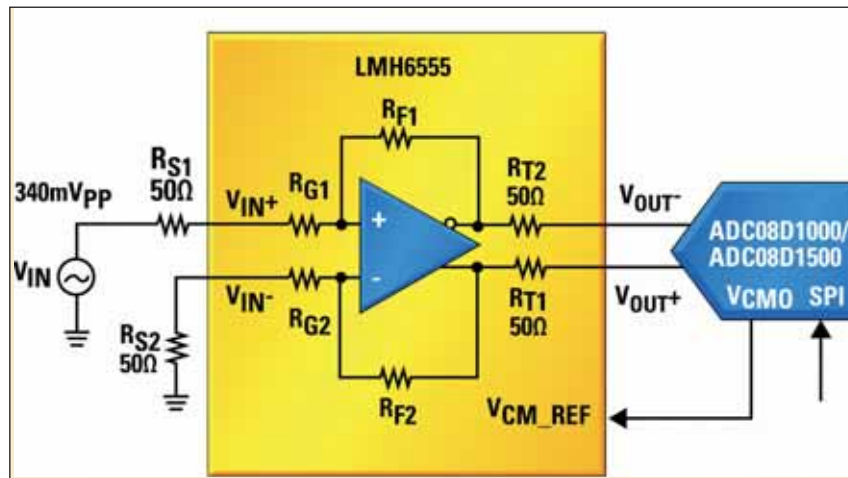
## Semplificare il progetto di sistemi di acquisizione dati

*Le piattaforme di riferimento per sistemi di acquisizione dati permettono di minimizzare i costi di ingegnerizzazione e ridurre tempi di sviluppo e time-to-market oltre a non richiedere conoscenze approfondite nei settori della radiofrequenza e/o delle logiche programmabili*

Paul Mc Cormak  
Segment marketing manager – Europe  
Medical, Test & Measurement &  
Military/Aerospace  
National Semiconductor

La conversione dati a velocità molto elevata pone parecchi problemi ai progettisti di sistemi. Lavorare con segnali analogici dell'ordine dei GHz non è un'impresa semplice neanche per i progettisti più esperti. In casi come questi si ha realmente a che fare con un ambiente a segnali misti in cui è necessario esaminare con estrema attenzione tutti i sotto-circuiti per consentire al convertitore A/D di fornire le prestazioni dinamiche ottimali. I quesiti che un progettista di sistema tipicamente si pone si possono così riassumere:

- Le conoscenze nel campo della radiofrequenza sono adeguate?
- È necessario un ripasso del diagramma di Smith?
- Esistono amplificatori con ampiezza di banda dell'ordine dei GHz e bassa

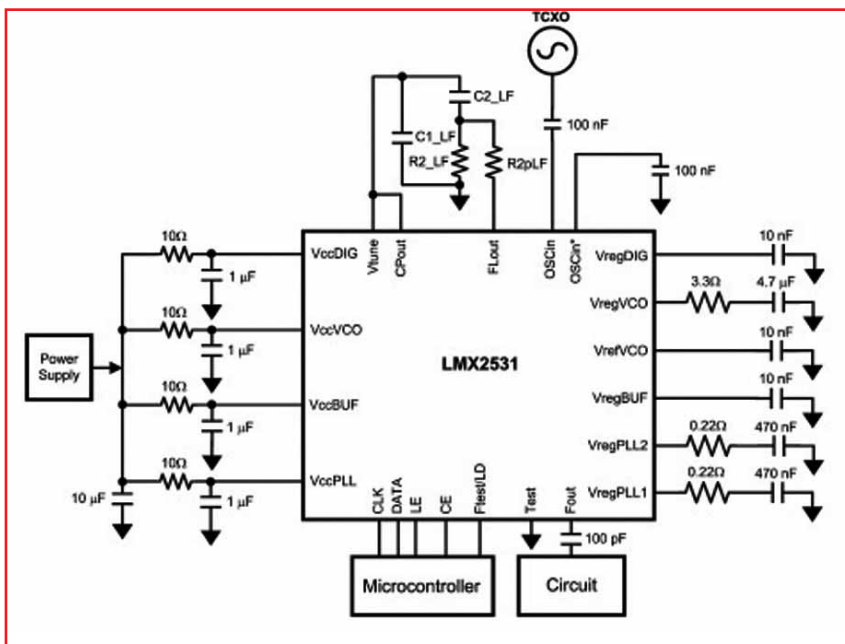


distorsione sull'intera ampiezza di banda?

- Come è possibile generare un segnale di clock per un convertitore operante a velocità dell'ordine dei GSPS?
- Come acquisire ed elaborare dati a velocità così elevate?
- L'equipaggiamento del laboratorio è adeguato per l'uso e la valutazione di questa tecnologia?

Nel corso dell'articolo verranno esaminati numerosi aspetti di questi progetti, dal condizionamento dei segnali alla generazione del clock, dall'instradamento (routing) dei segnali all'acquisizione dati: questa analisi consentirà di

**Fig. 1 – Amplificatore differenziale LMH6555 con ampiezza di banda di 1,2 GHz e guadagno di 13,8 dB**



**Fig. 2 - La sorgente di clock LMX2531 fornisce un valore di jitter (rms) inferiore a 400 fs**

Un'architettura di questi sistemi si ritrovano alcuni elementi comuni. Le prestazioni dei sistemi sono ascrivibili in larga misura alla velocità di campionamento del convertitore A/D e all'ampiezza di banda dell'ingresso analogico, mentre per l'acquisizione dati è necessario il ricorso a un circuito ASIC o FPGA a elevate prestazioni. Le prestazioni di un oscilloscopio digitale sono direttamente collegate alla velocità di campionamento del convertitore A/D presente nel front end analogico. Elevate frequenze di campionamento consentono l'acquisizione, la visualizzazione e l'analisi di segnali veloci. L'ampiezza di banda e la frequenza di campionamento del convertitore A/D sono direttamente responsabili delle prestazioni di sistemi radar ad ampia banda, ricevitori radio e radiotelescopi. Più elevata è la velocità di conversione, maggiore è l'ampiezza di banda analogica istantanea che è possibile catturare.

Di solito i problemi più impegnativi in fase di progettazione riguardano il circuito analogico di ingresso differenziale, il circuito di clock differenziale a

basso jitter e le operazioni di acquisizione ed elaborazione di dati digitali a elevata velocità. Queste ultime verranno analizzate in maggior dettaglio in virtù della loro maggiore complessità.

Per quanto concerne il circuito di ingresso analogico esistono due possibilità di scelta relativamente ai componenti: un amplificatore differenziale ad ampia banda o un trasformatore balun (gli ingressi analogici devono essere pilotati in maniera differenziale per ottimizzare le prestazioni dinamiche). Un trasformatore è un componente passivo e quindi non consuma potenza. La potenza di ingresso è uguale a quella di uscita. Poiché i trasformatori sono componenti passivi, sono generalmente caratterizzati da una distorsione inferiore rispetto agli amplificatori differenziali. Non va comunque dimenticato che è più difficile controllare il guadagno del percorso del segnale utilizzando un trasformatore, garantendo nel contempo l'adattamento di impedenza. Inoltre i trasformatori tendono ad essere più penalizzati in termini di disadattamento di guadagno e fase, rispetto agli amplificatori differenziali ad alte prestazioni.

I principali vantaggi legati all'utilizzo degli amplificatori si possono così riassumere: elevato guadagno (fisso e variabile), accoppiamento in c.c. e protezione dell'ingresso del convertitore A/D. Quest'ultima caratteristica può risultare utile nelle applicazioni per le quali è prevista la possibilità che la tensione presente agli ingressi del convertitore A/D superi i valori operativi massimi specificati. In questi casi l'utilizzo di un amplificatore dotato di una funzione di aggancio dell'uscita può rivelarsi particolarmente preziosa. Un amplificatore differenziale con queste caratteristiche è ad esempio LMH6555: nella figura 1 viene proposto un esempio di configurazione. L'utilizzo di un diodo ad aggancio veloce sull'uscita

Un'architettura di questi sistemi si ritrovano alcuni elementi comuni. Le prestazioni dei sistemi sono ascrivibili in larga misura alla velocità di campionamento del convertitore A/D e all'ampiezza di banda dell'ingresso analogico, mentre per l'acquisizione dati è necessario il ricorso a un circuito ASIC o FPGA a elevate prestazioni. Le prestazioni di un oscilloscopio digitale sono direttamente collegate alla velocità di campionamento del convertitore A/D presente nel front end analogico. Elevate frequenze di campionamento consentono l'acquisizione, la visualizzazione e l'analisi di segnali veloci. L'ampiezza di banda e la frequenza di campionamento del convertitore A/D sono direttamente responsabili delle prestazioni di sistemi radar ad ampia banda, ricevitori radio e radiotelescopi. Più elevata è la velocità di conversione, maggiore è l'ampiezza di banda analogica istantanea che è possibile catturare.

Di solito i problemi più impegnativi in fase di progettazione riguardano il circuito analogico di ingresso differenziale, il circuito di clock differenziale a

del trasformatore è una soluzione molto spesso non proponibile in quanto la capacità aggiuntiva riduce l'ampiezza di banda del segnale e le prestazioni dinamiche.

## Generazione del segnale di clock

Uno dei più importanti sottosistemi del sistema di conversione dati è la sorgente di clock. La precisione del segnale di clock influenza direttamente le prestazioni dinamiche del convertitore. La sorgente di clock deve essere caratterizzata da livelli estremamente ridotti di jitter di temporizzazione o rumore di fase. In caso contrario saranno penalizzate le prestazioni dinamiche del sistema, indipendentemente dalla qualità del circuito di ingresso del front end analogico o del convertitore A/D. Un clock ideale fornirà sempre transizioni del fronte a intervalli di tempo prestabiliti. In pratica, i fronti di clock arriveranno a intervalli di tempo continuamente variabili.

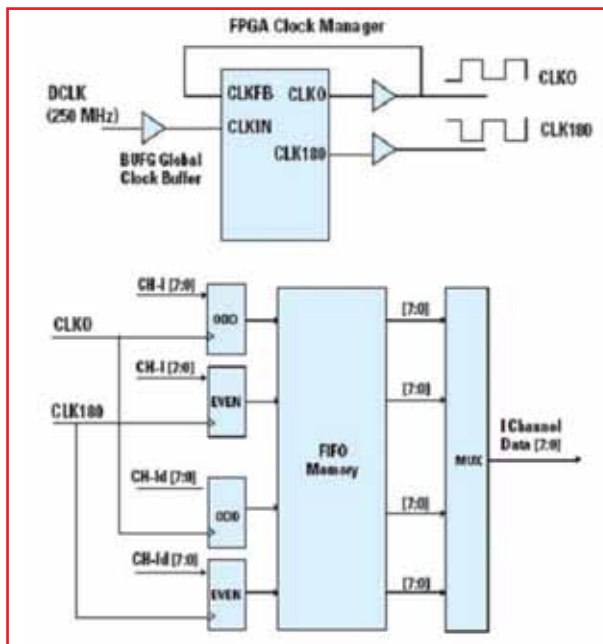
A causa di questa incertezza di temporizzazione, il rapporto segnale/rumore della forma d'onda campionata può essere compromesso dal processo di conversione dati.

Nei convertitori a 8 e 10 bit il rumore di fondo (noise floor) nel caso migliore è rappresentato dal rumore di quantizzazione. Per un convertitore A/D a N bit che campiona una sinusoide a fondo scala, la formula che esprime il rapporto segnale/rumore (in dB) è data da:  $SNR = 6,02N + 1,76$ .

Di conseguenza per un convertitore A/D a 8 bit il rumore di fondo nel caso migliore è pari a -49,9 dBc. Fattori quali jitter sul clock di campionamento, jitter di apertura intrinseco del convertitore A/D, componenti spurie

derivate dalla presenza di non linearità nel quantizzatore del convertitore A/D e altri tipi di rumore interno come ad esempio il rumore termico contribuiscono negativamente sul rumore di fondo. Al crescere della frequenza dell'ingresso analogico i requisiti in termini di clock diventano via via più severi.

Per mantenere le prestazioni di rumore entro la prima zona di Nyquist, il circuito di clock di un convertitore A/D operante a 3 GSPS deve essere progettato in modo da assicurare un valore di jitter (rms) nel range di 0,5 ps. Sebbene il progetto di sorgenti di clock per soddisfare tali prestazioni in termini di jitter non è un'operazione banale, una soluzione in grado di garantire queste prestazioni viene riportata in figura 2.



**Fig. 3 – Architettura di un sistema di acquisizione dati di un FPGA**

## Acquisizione ed elaborazione di dati digitali ad alta velocità

La famiglia di convertitori ADC8XXXX (le cui caratteristiche sono riportate nella tabella 1) sono dotati di un clock di acquisizione dati (DCLK) che può essere demultiplicato e ridotto in modo da gestire le frequenze degli FPGA in uso attualmente. In questo caso si farà riferimento ad ADC08D1520 che rende disponibile un'uscita dati demultiplicata per ciascuno dei suoi due canali. Il convertitore emette due campioni consecutivi simultaneamente su due bus dati a 8 bit (demux 1:2). Nel caso il convertitore sia configurato come dispositivo a canale singolo

e posto in modalità DES (Dual-Edge Sampling mode), la velocità di campionamento raddoppia (da 1,5 a 3 GSPS); in questo modo sono disponibili simultaneamente quattro campioni consecutivi su ciascuno dei quattro bus (demux 1:4).

Questa demultiplicazione dell'uscita digitale dimezza la velocità di trasferimento dati rispetto alla velocità di campionamento (demux 1:2), raddoppiando il numero di bit di dati in uscita. Nei casi in cui vengono utilizzati circuiti ASIC in grado di gestire i dati alla massima velocità di campionamento del convertitore A/D, ADC08D1520 rende disponibili i dati in uscita in modalità 1:1.

In presenza di una velocità di campionamento di 1,5 GSPS, se si utilizza la modalità demux 1:2, i dati relativi alla conversione sono disponibili in uscita con una frequenza di clock di 750 MHz. Alcuni latch e memorie di FPGA non sono comunque in grado di accettare direttamente questi dati. Risulta pertanto utile ricorrere alla metodolo-

gia DDR, la quale prevede che i dati sia disponibili alle uscite sia sui fronti di salita sia sui fronti di discesa del clock. Sebbene la velocità di trasferimento dati rimanga la stessa per il segnalamento DDR, la frequenza di clock viene dimezzata e scende al valore di 375 MHz, più facilmente gestibile dai latch dei dati dei blocchi di I/O (IOB) degli FPGA.

Prima che i dati possano essere immagazzinati nella memoria dell'FPGA, è richiesta una pipeline di piccole dimensioni realizzata con una serie di latch dei dati. A partire dagli ingressi, per ciascuna linea dati connessa a una coppia di IOB sull'FPGA, verranno utilizzati due latch per acquisire i dati in arrivo. Un latch è sincronizzato sul fronte di salita di un clock dei dati agganciato in fase, mentre il secondo clock viene sincronizzato usando un segnale sfasato di 180° (si faccia riferimento alla Fig. 3). La posizione relativa di questi clock deve essere regolata in modo che i fronti siano allineati con il centro del diagramma a occhio, tenendo in considerazione il ritardo di propagazione del segnale nel momento in cui entra nell'FPGA.

I dispositivi della serie Virtex-4 dispongono di appositi DCM (Digital Clock Manager) che consentono la generazione interna di questi segnali di clock e il loro aggancio in fase con il clock dei dati in arrivo. Dopo aver effettuato il latch dei dati in arrivo mediante il DCM, il dominio del clock deve essere trasferito utilizzando una serie intermedia di latch in modo che tutti i dati possano essere sincronizzati in una matrice di memoria sul medesimo fronte di clock. A causa della velocità del clock, i tempi di setup e di hold non sono sufficienti per la ri-temporizzazione dei dati: essi quindi devono essere demultiplati ancora una volta per ridurre la velocità di trasferimento dati a 185,7 MHz. Una volta diminuita la velo-

cità, i dati acquisiti sul clock sfasato possono essere riacquisiti sfruttando il clock in fase, che opera alla velocità prevista dall'operazione di demultiplazione. La frequenza di ingresso del clock è divisa internamente per due, operazione che permette di generare il segnale di clock di 187,5 MHz. Il DCM fornirà un'uscita che è agganciato in fase con il clock dei dati sincrono (DLCK).

Per quanto concerne il debug di sistema, i dispositivi ADC08D1X20 e ADC083000 forniscono un test pattern alle quattro porte di uscita completamente indipendenti dal segnale di ingresso. Il convertitore A/D viene disinserito e il generatore del pattern di test è collegato alle uscite, comprese OR+/- . L'uscita di questo pattern è la medesima nelle modalità DES e non DES. A ogni porta viene data una parola unica a 8 bit, con 1 e 0 alternati nel modo descritto nei relativi datasheet.

### **Piattaforme di riferimento: un utile ausilio**

Finora si sono descritti alcuni dei problemi da affrontare nella progettazione di un sistema di campionamento che opera nel campo dei gigahertz. Da qui in avanti si vedrà come mediante l'utilizzo di apposite piattaforme di riferimento sia possibile semplificare notevolmente la soluzione di tali problemi. I design di riferimento spesso rappresentano la via più semplice per passare dal concepimento di un'idea alla realizzazione di un prototipo. Diversamente, la verifica di una particolare idea può risultare un'operazione lunga e costosa. La disponibilità di design di riferimento completi consente di verificare e collaudare una particolare idea in modo semplice e rapido.

National Semiconductor rende disponibili specifiche, diagrammi di schemi circuitali, liste di materiali (BOM), linee guida per la stesura del layout



**Fig. 4 – Design di riferimento completo equipaggiato con ADC08XXXX, LMH6555 e LMX2531**

oltre alla possibilità di scaricare applicativi e codice dell'FPGA per consentire di realizzare un progetto utilizzando tool e prodotti della società.

Le piattaforme di sviluppo BIG GIG consentono di valutare e analizzare in tempi brevi convertitori A/D operanti nel range compreso tra 500 MSPS e 3 GSPS. Ciascuna piattaforma integra un FPGA della serie Virtex-4 di Xilinx ottimizzato per garantire riduzione della potenza e maggiore integrità dei segnali. Per il condizionamento dei segnali, è data facoltà di scegliere tra un amplificatore completamente differenziale (LMH6555) o un balun RF per il pilotaggio degli ingressi analogici, mentre a bordo è disponibile un sintetizzatore di clock (LMX2531) per la generazione del clock di campionamento; per garantire un intervallo più ampio del clock di campionamento è anche possibile ricorrere a un generatore di clock esterno.

Il design di riferimento completo è raffigurato in figura 4.



**TABELLA 1 – CARATTERISTICHE DELLA FAMIGLIA DI CONVERTITORI A 8 BIT OPERANTI NEL RANGE DEI GSAMPLE SVILUPPATA DA NATIONAL SEMICONDUCTOR**

Dispositivo	Risoluzione (bit)	Canali	Velocità (GSPS)	Potenza (W)	VIN (V)	INL	DNL	ENOB (bit)	SINAD (dB)	SNR (dB)	SFDR (dB)
ADC08500	8	1	0,5	0,8	0,87	± 0,3	± 0,15	7,5	47	48	55
ADC081000	8	1	1	1,45	0,8	± 0,35	± 0,25	7,5	47	48	59
ADC081500	8	1	1,5	1,2	0,87	± 0,3	± 0,15	7,4	46,3	47	56
ADC083000	8	1	3	1,9	0,87	± 0,35	± 0,20	7,2	45	45,3	57
ADC08B3000	8	1	3	1,6	0,87	± 0,35	± 0,20	7,2	45	45,3	55,4
ADC08D500	8	2	0,5	1,4	0,87	± 0,3	± 0,15	7,5	47	48	55
ADC08D1000	8	2	1	1,6	0,87	± 0,3	± 0,15	7,4	46	47	55
ADC08D1020	8	2	1	1,7	0,87	± 0,3	± 0,15	7,4	46,5	46,8	58
ADC08D1500	8	2	1,5	1,8	0,87	± 0,3	± 0,15	7,4	46,3	47	56
ADC08D1520	8	2	1,5	1,8	0,74	± 0,3	± 0,15	7,4	46,3	47	56

Ciascuna piattaforma di sviluppo si interfaccia con il software WaveVision di National Semiconductor, in modo da consentire l'acquisizione dati direttamente con un PC. Le caratteristiche salienti di WaveVision si possono così riassumere:

- funzionamento con tutti i sistemi di valutazione per la conversione dati di National Semiconductor

- calcolo automatici di FFT e istogrammi
- possibilità di ispezione delle forme d'onda campionate, SNR, SFDR, THD, INL, DNL e così via

- ampia gamma di risorse per l'importazione e l'esportazione dei dati in modo da consentire l'impiego dei più diffusi tool di valutazione.

Informazioni più dettagliate relative WaveVision sono disponibili sul Web all'indirizzo:

[www.national.com/appinfo/adc7files/WaveVision5\\_UG.pdf](http://www.national.com/appinfo/adc7files/WaveVision5_UG.pdf)

Per iniziare è sufficiente un generatore di segnali e un cavo USB (già incluso) per la connessione a un PC. Il software waveVision configura ciascuna scheda e permette all'utente di definire le modalità operative e le caratteristiche

del convertitore A/D. La disponibilità del codice dell'FPGA permette l'acquisizione e la memorizzazione dei dati.

La presenza di una porta JTAG per l'FPGA consente la programmazione e il debug delle funzioni del dispositivo programmabile, mentre un connettore Mictor permette a un analizzatore logico di accedere allo stream del clock e dei dati digitali. Nel design di riferimento è anche previsto un sensore di temperatura (LM95221) per il monitoraggio di precisione della temperatura del die dell'FPGA e del convertitore A/D.

Probabilmente uno dei più importanti vantaggi dell'utilizzo di queste schede di sviluppo è la sensibile riduzione sia dei costi sia del time-to-market.

Le risorse necessarie per implementare le operazioni più difficili e onerose in termini di tempo del progetto di un sistema di acquisizione, come l'interfacciamento tra l'FPGA e il convertitore A/D sono già disponibili (schemi circuitali, file Gerber e codice FPGA) e possono essere persona-

lizzate mediante semplici operazioni di "cut & paste" per qualsiasi sistema basato su FPGA, sia esso uno spettrometro di massa o un sistema di comunicazione satellitare.

I progetti di riferimento sono realizzati da specialisti nel campo del design analogico ed RF in modo da ottenere le migliori prestazioni dal convertitore A/D e assicurare la massima flessibilità agli sviluppatori di sistemi (possibilità di scegliere i generatori di clock, accoppiamento dell'ingresso c.c. e c.a., accesso al codice dell'FPGA per ulteriori sviluppi).

Gli ingegneri di sistema con scarsa esperienza nella progettazione RF o con FPGA possono apprendere in tempi brevi come implementare e ottimizzare un sistema di conversione A/D operanti a velocità dell'ordine dei GSample. Ulteriori informazioni sulle piattaforme di riferimento sono disponibili all'indirizzo:

[www.national.com/analog/reference\\_designs](http://www.national.com/analog/reference_designs)

**National Semiconductor**