

Un robusto schema di polarizzazione 'Failsafe' protegge i bus LVDS che integrano molteplici ricevitori connessi in AC

Chung Wu
Membro Principale dello Staff Tecnico
Maxim Integrated Products Inc.,
Hillsboro - USA

a cura di Massimo Caprioli
Senior FAE Maxim Italy
Maxim Integrated Products Inc.,
Milano - Italia

La segnalazione differenziale a bassa tensione (LVDS) è utilizzata ampiamente nel collegamento di sistemi digitali che trasmettono ad alta velocità

Una tipologia di bus LVDS comunemente usata è quella chiamata "Multidrop LVDS" dove un unico trasmettitore LVDS pilota, in modo differenziale, molteplici ricevitori connessi per mezzo di un cavo intrecciato terminato a 100Ω .

La discussione che segue esamina i tradizionali circuiti di polarizzazione 'failsafe' usati in bus 'multidrop' e, analizzando le variazioni dei componenti esterni, identifica i principali difetti di tali circuiti.

La tecnologia LVDS è normalmente usata per trasmettere segnali video digitali a elevata velocità dove

l'accoppiamento in AC permette di evitare interferenze di modo comune e spostamenti del livello di massa. In un tipico bus LVDS 'multidrop' (Fig. 1), la lunghezza di connessione tra il bus e l'ingresso del ricevitore deve essere il più corto possibile per minimizzare l'impatto di ciascuna connessione sull'impedenza del bus stesso.

Il circuito di 'failsafe' schematizzato in figura 1 provvede una polarizzazione di modo comune - sugli ingressi del ricevitore - di circa 1.2V.

Quando il bus è a riposo (nessuna trasmissione o transizione di stato è applicata per un certo periodo) tale

circuito, imponendo agli ingressi una tensione differenziale compresa tra 50mV e 100mV, forza sull'uscita del ricevitore uno stato logico predeterminato.

La polarizzazione di una configurazione 'multidrop' differisce da quella 'point-to-point'. Mentre l'impedenza di un ricevitore collegato 'point-to-point' è di circa 100Ω quella un ricevitore 'multidrop' deve presentare un'alta impedenza.

Nei circuiti di polarizzazione 'failsafe', tuttavia, il valore delle resistenze subisce una variazione che potrebbe causare sbilanciamenti del carico.

Per meglio capire questo fenomeno e il problema indotto dalla variazione dei componenti, compareremo i circuiti di 'failsafe' tradizionali con quello più robusto qui trattato.

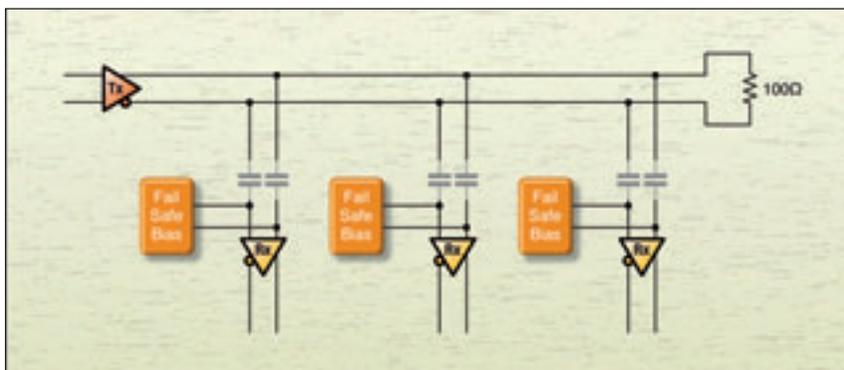


Fig. 1 - Schema a blocchi di bus LVDS 'Multidrop' connesso in AC

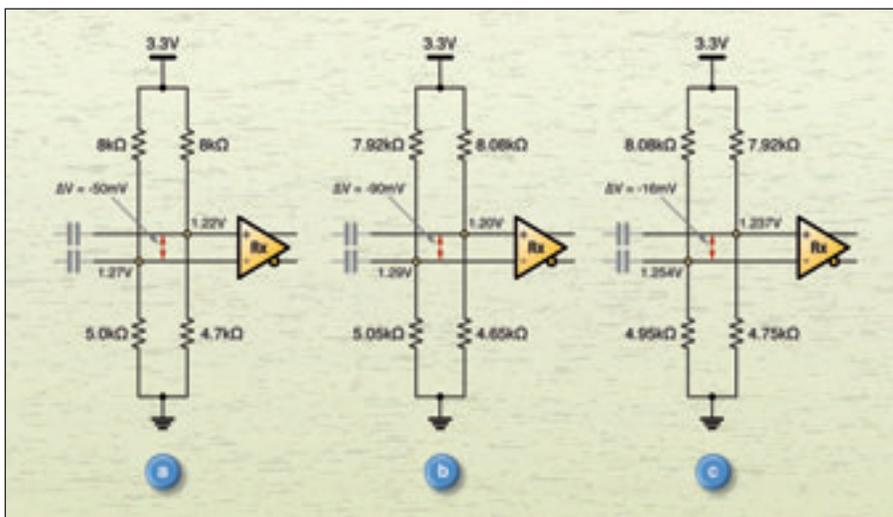


Fig. 2 - Circuito tradizionale di polarizzazione 'Failsafe' - differenze di bias degli ingressi relative alle variazioni delle resistenze ($\pm 1\%$)

Circuiti di polarizzazione tradizionali e loro difetti

Il più comune e tradizionale circuito di polarizzazione 'failsafe' consiste in una rete resistiva posizionata all'ingresso di ciascun ricevitore LVDS quale partizione della Vcc, come illustrato in figura 2A. Con riferimento a tale figura, le resistenze vengono selezionate per produrre una tensione di circa 1.2V a ogni pin con una differenza di -50mV.

Quando il bus è a riposo, questa differenza forza sull'uscita del ricevitore uno stato logico basso.

Tuttavia, la tolleranza delle resistenze selezionate determina considerevoli variazioni della tensione differenziale imposta agli ingressi. Selezionando tutte le resistenze con tolleranza $\pm 1\%$ la differenza di tensione (normalmente -50V) può raggiungere - nel caso peggiore - un valore di -90mV (Fig. 2B) oppure di -16mV (Fig. 2C). Pertanto una variazione resistiva di $\pm 1\%$ (dovuta alla tolleranza) può provocare una variazione della tensione differenziale di ingresso compresa tra il -80% e il +68%.

Tale ampia variazione della tensione di 'failsafe' determina uno sbilanciamento del 'duty-cycle' tra i livelli logici alto/basso e rappresenta il difetto dell'approccio tradizionale sopra descritto. La soglia di scatto di un ingresso si muoverà verso l'alto, riducendo lo 'slew rate' di commutazione e conseguentemente causerà l'incremento del 'jitter' intrinseco al ricevitore. Inoltre, come illustrato

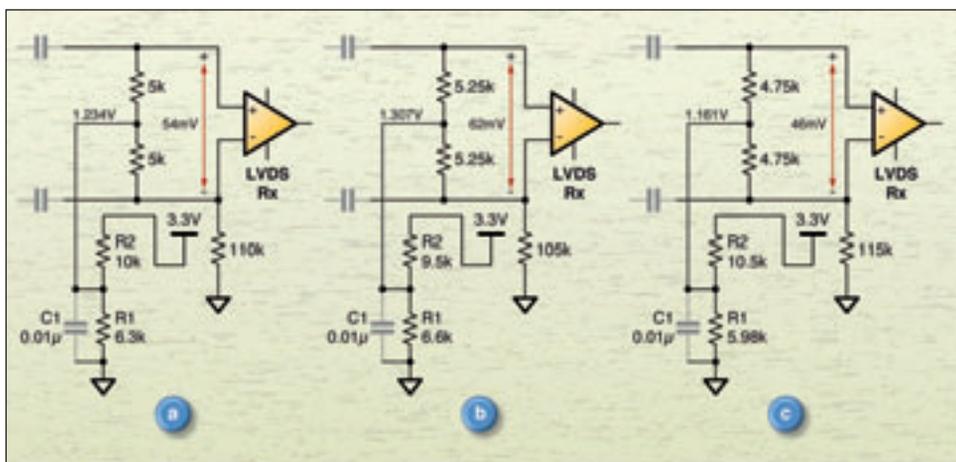


Fig. 3 - Un più robusto circuito di polarizzazione 'Failsafe' - minimizza le differenze di bias (malgrado la tolleranza delle resistenze)

in figura 2C, la minima differenza della tensione tra i due ingressi non sarà sufficiente ad attivare la funzione di 'failsafe'. Al fine di risolvere tale difetto/problema si potrà usare il seguente circuito che rappresenta una soluzione meno sensibile alla variazione del valore della rete resistiva di polarizzazione.

Un nuovo e più robusto circuito di polarizzazione 'Failsafe'

Una nuova tipologia di polarizzazione, che implementi la funzione 'failsafe' garantendo una minima variazione della tensione differenziale di ingresso al variare del valore delle resistenze usate, è illustrata in figura 3. Con questo nuovo approccio si ricava, da un'unica sorgente, la tensione di modo comune dei due ingressi generando la tensione differenziale per mezzo di una resistenza (collegata a Gnd o Vcc) collegata a un unico pin di ingresso. Dai valori indicati in

figura 3 si evince che, con resistenze al $\pm 5\%$, le variazioni della tensione differenziale di 'failsafe' saranno minime (nell'ordine del $\pm 15\%$) che è ben lontano dai limiti rappresentati dalla soluzione tradizionale (Figg. 2B/C).

Questa nuova tipologia di circuito potrà essere usata per polarizzare dispositivi LVDS - anche quelli che già integrano un circuito di 'failsafe' (con resistenza collegata a Vcc come ad esempio: max9169/70 o max9174/75) oppure deserializzatori LVDS (come ad esempio: max9242/44/46/54 o max9218 o max9248/50) - e fornire all'intero sistema una più robusta polarizzazione 'failsafe' grazie alla sua capacità di minimizzare le differenze di bias dovute alla tolleranza dei componenti esterni selezionati.

Maxim Integrated Products
readerservice.it n. 7