

Multi-core e FPGA: le mille facce del computing ad alte prestazioni

Il co-processing risolve molte esigenze di forte capacità computazionale nel mondo embedded. Ma impone agli sviluppatori anche nuove sfide e sforzi progettuali per il supporto di molteplici unità di elaborazione

Giorgio Fusari



Anni fa, il termine “elaborazione dati ad alte prestazioni” faceva rima con “cervelloni”, super-computer e mainframe, che solo ristrette cerchie di tecnici erano in grado di far funzionare, di solito per trovare risposte a problemi scientifici di estrema complessità. Oggi l’ ‘high performance computing’ (HPC) ha superato questi tradizionali confini, fornendo il proprio supporto in molti altri campi. Viene utilizzato su workstation e server per applicazioni di fascia enterprise, ma anche su personal computer, piattaforme di gaming e su sistemi embedded. In particolare, il computing ad alte prestazioni sta traendo svariati benefici dalle architetture multi-core e dalla diffusione di una gamma sempre più varia di tecnologie e piattaforme di uso commerciale, fra cui i dispositivi FPGA (Field Programmable Gate Array) e i processori multi-core, disponibili sul mercato attraverso gamme sempre più ricche.

Tornando per un attimo ai progetti di ricerca grandi e ambiziosi, proprio lo scorso aprile, Xilinx ha ricevuto un riconoscimento per la sua collaborazione all’esperimento Alice (A Large Ion Collider Experiment) condotto dal CERN di Ginevra. Il progetto di ricerca nella fisica delle particelle è basato sul Large Hadron Collider (LHC), considerato l’acceleratore di particelle subatomiche più potente del mondo. L’award è stato assegnato per il ruolo centrale giocato dagli FPGA (Virtex) utilizzati nella realizzazione della strumentazione di misura. Senza le prestazioni di alta velocità di

Tommaso Rolando, direttore Area Vendite Sud Europa di Altera

questi dispositivi, ha dichiarato il professor Volker Lindenstruth dell’università di Heidelberg, e la loro capacità di riconfigurazione dinamica, combinata con link seriali a bassa latenza e con l’interconnettività LVDS ad alta velocità, il progetto non sarebbe stato possibile.

Nell’esperimento Alice, che si propone di ricreare le condizioni della materia esistenti una frazione di secondo dopo il ‘Big Bang’ che ha dato origine all’universo, speciali foto-rivelatori monitorano le particelle generate dalle collisioni e sono in grado di misurare la posizione di migliaia di traiettorie di particelle, generate in ciascuna collisione, con la precisione della frazione di millimetro. Al cuore del sistema vi sono 540 rivelatori di particelle e quando ciascuno di essi avverte un impatto, digitalizza circa 1,2 milioni di segnali analogici, trasferendo tali informazioni via collegamenti in fibra che poi consentono di realizzare un’elaborazione globale dell’evento nel suo complesso. Un singolo link, spiega Xilinx, può generare fino a





Roberto Fiorin, field marketing engineer Sud Europa di Freescale

2.500 megabit al secondo, dando origine a un data rate massimo di 2,7 terabit al secondo, elaborato da un insieme di 120 FPGA Virtex-4 FX. Ogni FPGA usa una dozzina di transceiver multi-gigabit per i dati in ingresso, che vengono elaborati e classificati immediatamente.

Sempre in aprile, Xilinx ha annunciato la nuova famiglia di FPGA Virtex-4QV, indirizzata alle applicazioni spaziali. Si tratta di molteplici piattaforme, resistenti alle radiazioni e ottimizzate per supportare gli stringenti requisiti, in termini di alte prestazioni di elaborazione video, audio e flussi dati radar, richiesti in questo tipo di utilizzi. Oltre a disporre di una logica riconfigurabile ad alte prestazioni, questi FPGA incorporano anche tecnologie di embedded computing e di elaborazione del segnale digitale (Dsp) in una soluzione 'single chip'. Caratteristiche che permettono, ai progettisti di apparecchiature elettroniche digitali per applicazioni spaziali, di ridurre le

Dispositivi adattabili per 'consolidare' funzionalità

La caratteristica degli FPGA di poter essere riprogrammati in ogni fase del ciclo di progettazione li rende una soluzione molto flessibile per i sistemi di computing ad alte prestazioni. Infatti, diversamente dai dispositivi ASIC (Application-Specific Integrated Circuit), possono essere modificati, ad esempio quando sono richiesti cambiamenti nelle specifiche, negli algoritmi o per soddisfare i particolari requisiti di un settore industriale. Inoltre nelle applicazioni che richiedono molteplici ASIC, ciascuno dedicato a una sola e precisa funzione, l'utilizzo degli FPGA consente di consolidare diverse funzionalità in una sola unità di elaborazione. Ciò permette di risparmiare spazio sulla scheda elettronica, diminuire i consumi di energia e incrementare le prestazioni.

La sfida: «Accelerare lo sviluppo sui sistemi 'misti'»

Nel settore dell'HPC per il mondo embedded Altera sta puntando su soluzioni a 360 gradi: dai componenti (Stratix III, 0,9 Gflops/W), agli strumenti di progettazione come Quartus II e SOPC Builder, per la realizzazione e l'integrazione di sistemi su FPGA, o come C2H Compiler, strumento che consente la traduzione automatica di routine software in acceleratori hardware su FPGA. L'offerta poi si estende ai moduli di intellectual property (floating point core, interfaccia HyperTransport, controllori di memoria, processore Nios II). «Le soluzioni disponibili - precisa Tommaso Rolando di Altera - sono arricchite dall'offerta dei nostri partner tecnologici, sia nell'area degli strumenti di progettazione, per la sintesi da codice C, sia in quella dei moduli IP, come le interfacce Fsb. La sfida per il futuro consisterà nell'espandere ulteriormente quest'offerta, integrandola con strumenti di progettazione integrata che consentano di semplificare e accelerare ulteriormente lo sviluppo e l'analisi di applicazioni su sistemi misti hardware/software, basati su CPU multicore».

dimensioni, il peso e il consumo di energia del sistema, accelerandone lo sviluppo e soprattutto evitando i rischi e i costi NRE (Non-Recurring Engineering Cost) associati all'utilizzo di dispositivi ASIC (Application-Specific Integrated Circuit).

Accelerazione hardware

Sono diverse le ragioni che stanno portando alla diffusione delle architetture basate su FPGA. «In passato - spiega Tommaso Rolando, direttore Area Vendite Sud Europa di Altera - si è assistito a un costante aumento delle prestazioni dei processori di fascia alta, legato direttamente all'incremento della loro frequenza di clock fino ai 3,4 GHz. Questa tendenza si è ora arrestata, a causa della crescita della potenza richiesta e dissipata dalle tecnologie di processo al di sotto dei 130 nm, ed è stata sostituita dall'aumento del numero di CPU su un singolo die. Questa nuova soluzione introduce però altri problemi: la banda disponibile verso la memoria è limitata dal numero dei pin nel package, e ciò richiede l'utilizzo di più cache su diversi livelli per ottenere prestazioni accettabili». Mantenere l'integrità dei dati immagazzinati nelle singole

Processori 'quad-core' potenziano stazioni radio base in Cina

I processori multi-core con prestazioni Dsp e acceleratori hardware, uniti ai complessi software di supporto, sono al cuore dell'HPC embedded. «Il fatto di fornire una soluzione di sistema - spiega Fiorin di Freescale - e non un singolo prodotto, permette di raggiungere prestazioni complessive mai ottenute prima e apre le porte a nuove soluzioni applicative in mercati come le telecomunicazioni, l'automotive, il settore industriale e il mondo consumer. Un esempio 'win-to-win' è il progetto "Wireless Base Station" sviluppato con il nostro partner Detang Mobile. Si tratta di una rete wireless TD-SCDMA (Time Division-Synchronous Code Division Multiple Access, ndr.) per supportare la crescente domanda di applicazioni multimediali in Cina. Qui l'utilizzo dei processori quad-core di Freescale con funzionalità DSP ha consentito la realizzazione di sistemi 'low power' a banda larga che soddisfano pienamente le richieste applicative».

cache locali significa però introdurre meccanismi di 'cache coherence' (coerenza della cache) che possono ridurre ulteriormente le prestazioni. L'accelerazione hardware di algoritmi tramite il co-processing su FPGA rappresenta invece, secondo Rolando, una soluzione efficiente a questi problemi: «Le architetture basate su accelerazione hardware di algoritmi possono portare ad aumenti di prestazioni in un intervallo che va da 10 a 100 volte per un singolo algoritmo, e da 3 a 50 volte per un applicativo completo, con una forte riduzione della potenza complessiva dissipata. A titolo di esempio, utilizzando soluzioni Altera, applicazioni di financial options trading sono state accelerate di un fattore 50x riducendo il consumo di potenza al 10% dell'originale».

Gli ambiti di mercato per i quali queste soluzioni sono maggiormente richieste, aggiunge Rolando, sono il medical imaging, il settore finanziario (trading) e le scienze biologiche, laddove vi è la necessità di modellazione di geni e proteine.

Ma tali capacità di elaborazione sono richieste anche dalle applicazioni di data warehousing e da tutte le utilizzazioni in cui occorre realizzare modelli di simulazione complessi. A fronte dei benefici per gli sviluppatori embedded nascono però anche nuovi problemi progettuali. «Il problema maggiore è senza dubbio la produttività. La complessità di un proget-

to software cresce notevolmente se si introducono processori multi-core; il trasferimento di algoritmi o porzioni di essi da software a hardware richiede strumenti e metodologie adeguati per la traduzione e l'integrazione degli algoritmi stessi sulla piattaforma di co-processing. L'implementazione di soluzioni di co-processing efficienti richiede inoltre un'adeguata infrastruttura, inclusa la disponibilità di moduli che permettano di rimpiazzare i processori esistenti sulle motherboard con FPGA, e di IP che dia la possibilità d'interconnettere CPU e FPGA con la massima efficienza, utilizzando i bus di interfaccia a memoria dei processori, come front-side bus e HyperTransport».

A tale complessità di sviluppo i fornitori di prodotti stanno cercando di rispondere con un approccio diverso rispetto al passato. «Le tecnologie di HPC - commenta Roberto Fiorin, field marketing engineer Sud Europa di Freescale - sono accompagnate da nuove problematiche progettuali legate a soluzioni hardware specifiche, come sistemi 'low power' e di piccole dimensioni; ma anche a funzionalità nuove, come l'elaborazione di segnali video e audio, la compressione dei dati e la sicurezza. Allo sviluppatore vengono di conseguenza richieste capacità software e hardware adeguate. Oggi le nuove tecnologie sono pensate per ridurre i tempi d'implementazione e aumentare l'affidabilità e le performance dell'applicazione. È nata quindi la tendenza a fornire agli sviluppatori embedded soluzioni di sistema anziché il singolo prodotto».

Nel corso del continuo processo d'incremento delle prestazioni e di riduzione dei costi, nei prossimi anni occorrerà però superare 'colli di bottiglia' tipici delle applicazioni ad elevato livello computazionale. «Si tratta in sostanza - precisa Fiorin - di realizzare bus multipli e acceleratori hardware sempre più potenti per elaborare segnali video, audio e per eseguire la cifratura dei dati sensibili. La filosofia multi-core è senz'altro una delle chiavi di volta e verrà potenziata nel prossimo futuro con versioni già in fase di design che superano largamente il 'quad-core', migliorando la gestione contemporanea dei task, la distribuzione dei dati da elaborare e la condivisione delle periferiche di comunicazione».

readerservice.it

Altera	n. 6
Freescale	n. 7
Xilinx	n. 8