

Scelta dei MOSFET in un regolatore buck sincrono a basso duty-cycle

Eric Persson
International Rectifier

*Alcune considerazioni da tener presenti
nella selezione dei MOSFET di sincronismo
e di controllo utilizzati nei regolatori buck*

Il convertitore buck sincrono è divenuto la topologia di riferimento nei moderni circuiti integrati che funzionano con basse tensioni di alimentazione. Il funzionamento sincrono, dovuto all'impiego di due MOSFET, elimina le perdite nei diodi di ricircolo dei normali convertitori buck, mentre i prezzi degli attuali MOSFET consentono realizzazioni senza dubbio economiche. Tuttavia, i progettisti devono prestare particolare attenzione ai diversi requisiti operativi dei due MOSFET. Ciò è particolarmente vero con le basse tensioni di alimentazione dei nuclei dei processor, in cui il convertitore buck opera con un duty-cycle di valore ridotto.

Funzionamento del regolatore

Nell'analizzare il funzionamento di un regolatore buck sincrono in un ciclo completo di commutazione, si evidenziano le diverse condizioni operative dei due MOSFET (Fig. 1). Quando il FET di controllo Q1 è acceso, il FET di sincronismo Q2 è spento e la corrente nell'induttore aumenta (Fig. 2). Al termine del duty-cycle, Q1 si spegne e Q2 rimane spento per un breve periodo al fine di prevenire fenomeni di shoot-through. Il circuito integrato del regolatore controlla questo periodo di stasi, o tempo morto (dead time), che può durare intorno ai

40 ns. Durante questo tempo morto, la corrente nell'induttore fluisce attraverso il diodo parassita di Q2 e la tensione di collettore del FET scende a circa $-0,7$ V rispetto a massa. Alla fine del tempo morto, Q2 si accende con una tensione tra drain e source praticamente assente. Come risultato di questa condizione di accensione "soft", il FET di sincronismo non subisce perdite di commutazione all'accensione. Quando Q2 è acceso, la corrente nell'induttore diminuisce e Q1 resta spento per il resto del ciclo. Prima dell'inizio del ciclo successivo, Q2 si spegne per un breve tempo morto durante il quale la corrente fluisce nuovamente

attraverso il diodo parassita. Poiché non vi è tensione tra drain e source quando Q2 si spegne, Q2 non subisce perdite di commutazione allo spegnimento. Dopo il tempo morto di 40 ns, Q1 si accende e il processo si ripete.

Quando si opera con ingresso a 12 V e uscita a 1,2 V, ad esempio, il duty-cycle (intervallo di conduzione del FET di controllo) è attorno al 10%. Viceversa, l'intervallo di conduzione del FET di sincronismo è attorno al 90%. Queste condizioni operative richiedono caratteristiche molto diverse a ciascun dispositivo. Nella scelta del FET di controllo è bene garantire basse perdite di commutazio-

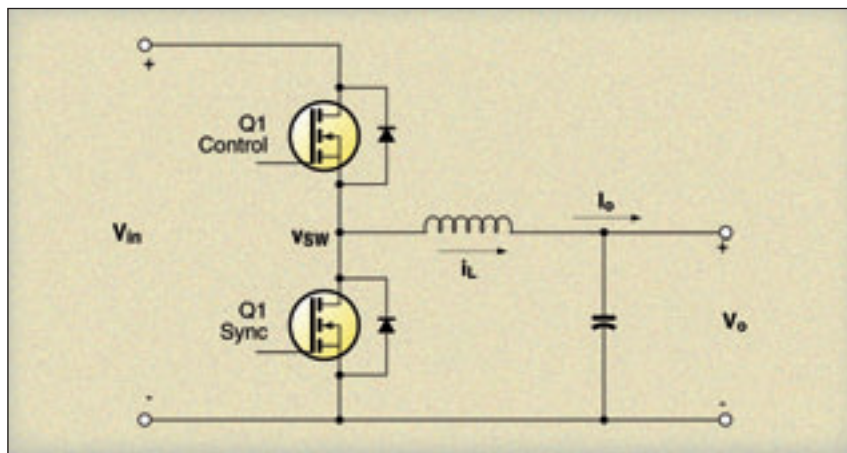


Fig. 1 – Differenti condizioni operative dei due MOSFET

ne, mentre in quella del FET di sincronismo si privilegia un valore basso di $R_{DS(on)}$ per ridurre al minimo le perdite di conduzione. Tuttavia, uno studio più approfondito dell'azione di un regolatore buck sincrono evidenzia la necessità di ulteriori caratteristiche. Allo stesso tempo, fattori di progetto come il tipo di contenitore e la disposizione dei componenti sulla scheda hanno anch'essi un notevole effetto sulle prestazioni e sull'efficienza dell'intero sistema e andrebbero tenuti in considerazione nella scelta dei FET di controllo e di sincronismo.

Scelta del FET di sincronismo

Le componenti di perdita nel FET di sincronismo vengono descritte nell'equazione 1.

$$DriverLoss = Q_g \times V_{gs} \times f$$

$$Q_{oss}Loss = \frac{Q_{oss}}{2} \times V_{ds} \times f$$

$$Q_{rr}Loss = Q_{rr} \times V_{ds} \times f$$

$$DeadtimeLoss = (t_{d1} + t_{d2}) \times I_{OUT} \times V_F \times f$$

$$ConductionLoss = R_{DS(on)} \times I_{OUT}^2 \times (1 - D)^2$$

Equazione 1 - Componenti di perdita nel FET di sincronismo

Per ridurre al minimo le perdite di conduzione, la tecnologia dei MOSFET a trincea (trench) fornisce in genere la più bassa $R_{DS(on)}$. La struttura a trincea consente di ottenere un'elevata densità di celle e ridurre $R_{DS(on)}$, eliminando il restringimento del canale (pinch off) dei JFET presenti in una struttura non a trincea. La scelta di un MOSFET a trincea con la minima resistenza di conduzione, di fatto non garantisce necessariamente la minimizzazione delle perdite. Ad esempio, un FET di sincronismo idoneo deve anche avere un'elevata immunità all'accensione indotta da correnti capacitive (Cdv/dt).

Ogni volta che il FET di controllo si accende, il rapido aumento di potenziale al nodo di commutazione induce un picco di tensione sul gate del FET di sin-

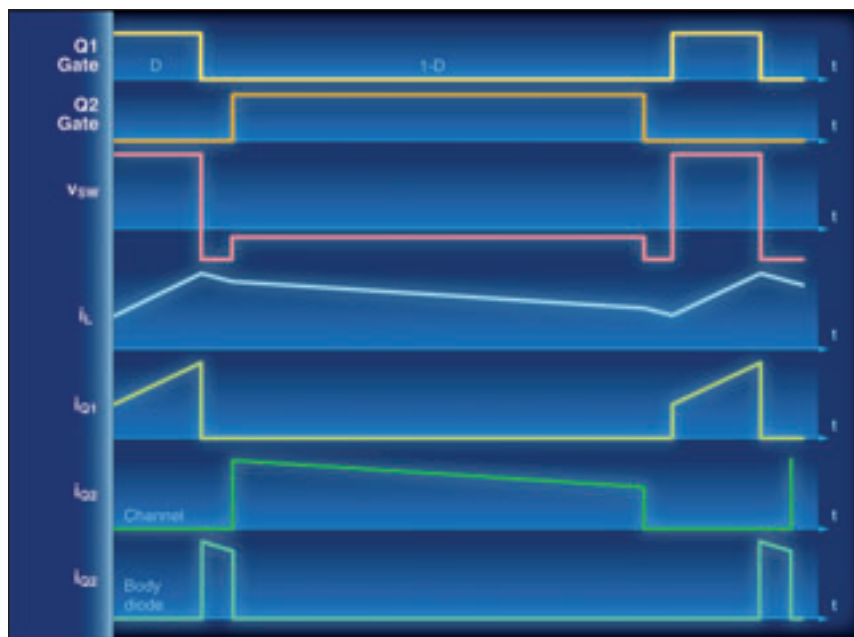


Fig. 2 – Andamento delle forme d'onda delle correnti: si nota che quando il FET di controllo Q1 è acceso, il FET di sincronismo Q2 è spento e la corrente nell'induttore aumenta

cronismo attraverso la capacità parassita C_{gd} . Il picco può essere sufficientemente ampio da accendere temporaneamente il FET di sincronismo.

Sebbene non catastrofica per il dispositivo, l'accensione indotta da correnti capacitive provoca perdite che diventano apprezzabili via via che viene meno la caratteristica di bassa $R_{DS(on)}$ dei moderni MOSFET a trincea. Ad esempio, un MOSFET campione ottimizzato in termini di immunità all'accensione Cdv/dt ha rivelato una riduzione nella perdita di potenza, alla frequenza di 1 MHz e con un assorbimento di 10 A, in misura del 18% rispetto a un dispositivo analogo con una $R_{DS(on)}$ più bassa del 10%. Il miglioramento nel rendimento è importante anche con carichi di ridotta entità, dal momento che le perdite Cdv/dt non dipendono in misura sensibile dalla corrente di carico.

La chiave per prevenire perdite Cdv/dt è garantire una bassa carica tra gate e drain Q_{gd} , e un basso rapporto di carica. Il rapporto di carica Q_{gd}/Q_{gs1} è il parametro che misura l'immunità Cdv/dt di un dispositivo. Q_{gs1} determina la quan-

tità di carica che la gate richiede per passare dal potenziale di massa alla sua soglia di accensione. Q_{gd} è la carica di C_{gd} quando la tensione al drain sale a 15 V. Come regola pratica, un rapporto di carica inferiore a 1,4 è sufficiente per eliminare l'accensione Cdv/dt.

Pertanto, la scelta della tecnologia del FET a trincea deve essere accompagnata da un'attenta valutazione del Q_{gd} del dispositivo e del rapporto Q_{gd}/Q_{gs1} , al fine di ridurre al minimo le perdite nel FET di sincronismo. Fra le topologie di FET a trincea in produzione, la disposizione a strisce consente di ottenere una carica di gate inferiore rispetto alla struttura alternativa a celle, eliminando molto dello spazio inutilizzato presente tra una cella e l'altra. La struttura a strisce si distingue anche per la intrinseca robustezza. In questo caso, infatti, vi è una minore probabilità di concentrazione di campi elettrici elevati e anche un numero minore di "punti deboli" in grado di favorire una scarica prematura della tensione.

Per quanto riguarda la prevenzione dell'accensione indotta Cdv/dt, la scelta di

una tecnologia di incapsulamento a bassa impedenza come DirectFET e l'impiego di un circuito di pilotaggio a bassa impedenza o l'aggiunta di un piccolo condensatore al gate, sono tutti accorgimenti che apportano un miglioramento apprezzabile.

Scelta del FET di controllo

L'equazione 2 descrive le perdite nel FET di controllo, in cui dominano le perdite di commutazione. In pratica è necessario conseguire un buon compromesso tra perdite di conduzione e perdite di commutazione, dal momento che una piccola quantità di perdite di conduzione deriva da altri fattori come duty-cycle e frequenza di commutazione.

$$\text{DriverLoss} = Q_g \times V_{\text{gate}} \times f$$

$$Q_{\text{ossLoss}} = \frac{Q_{\text{oss}}}{2} \times V_{\text{IN}} \times f$$

$$\text{SwitchingLoss} = \frac{Q_{\text{switch}}}{I_{\text{gate}}} \times V_{\text{IN}} \times I_{\text{OUT}} \times f$$

$$\text{ConductionLoss} = R_{\text{DS}} \times I_{\text{out}}^2 \times D$$

Equazione 2 – Componenti di perdita nel FET di controllo

Le proprietà del package del dispositivo, oltre ad avere un'influenza sul layout del regolatore, rivestono un ruolo chiave nella scelta del FET di controllo. Ad esempio, esiste un effetto di induttanza di source comune che dipende dal modo in cui il circuito di pilotaggio è connesso al FET di controllo. Se il driver condivide il ridotto valore dell'induttanza d'anello con il percorso ad alta corrente, si crea una tensione indotta di/dt in serie al circuito di eccitazione del gate. Questa contrasta la tensione del circuito di pilotaggio all'accensione e previene inoltre la scarica rapida del gate in fase di spegnimento.

In pratica, un'induttanza di source comune di appena 1 nH può contribuire a far aumentare di oltre 1 W le perdite di commutazione, con un carico di 30 A e una frequenza di 500 kHz.

Per contrastare questo effetto, il MOSFET di potenza DirectFET di International Rectifier consente di scindere il percorso di ritorno dal gate alla base del source tramite contatto Kelvin, separando quindi l'induttanza della scheda dal circuito del gate. Un contenitore SO-8, ad esempio, non riesce ad offrire questa bassa induttanza del circuito di gate a causa dell'induttanza intrinseca delle sue connessioni.

Oltre a una diminuzione dei segnali parassiti del contenitore, la tecnologia DirectFET assicura migliori prestazioni dal punto di vista termico. L'orientamento del die consente di collegare il drain direttamente a uno degli elettrodi superiori, aumentando notevolmente il flusso di calore verso l'esterno e impedendo quindi la saturazione termica del circuito stampato.

È anche possibile collegare un dissipatore al lato superiore del contenitore del DirectFET, se necessario, per aumentare ulteriormente il trasferimento di calore verso l'ambiente esterno.

Per facilitare la scelta del FET di sincronismo e del FET di controllo nel progetto dei regolatori buck sincroni per le basse tensioni dei core dei moderni processori, memorie e circuiti FPGA, International Rectifier propone coppie di MOSFET, come i dispositivi IRF6617 e IRF6611. Il chip IRF6617 è un HexFET ottimizzato per applicazioni con FET di controllo, caratterizzato quindi da un valore di Q_g molto basso, pari a 11 nC, che limita le perdite di commutazione e da una $R_{\text{DS(on)}}$ di 8,1 mΩ con $V_{\text{GS}} = 10$ V. Il corrispondente FET di sincronismo è il chip IRF6611 che si distingue per una $R_{\text{DS(on)}}$ di 2,0 mΩ per $V_{\text{GS}} = 10$ V, una Q_{gd} di 12 nC e un rapporto di carica pari a 1,22, garantendo un'elevata immunità Cdv/dt. Entrambi i dispositivi sono ospitati in contenitori DirectFET per ridurre al minimo i fenomeni parassiti del contenitore e ottimizzare la dissipazione termica, così da ottenere prestazioni fino a 20 A per canale.

Sono anche disponibili chipset di MOSFET più grandi, per applicazioni che richiedono potenze maggiori.

Layout ottimale del regolatore

È importante notare che il layout del regolatore può anche avere un impatto significativo sul rendimento complessivo. Ad esempio, un efficiente anello di corrente in ingresso non solo richiede l'utilizzo di contenitori a bassa impedenza - come DirectFET - ma è anche positivamente influenzato dall'impiego di interconnessioni multiple per collegare i FET high-side e low-side rispettivamente alla tensione di alimentazione e al potenziale di massa. Inoltre è buona norma riempire gli spazi vuoti con rame per ridurre le induttanze delle piste. Questi fattori sono importanti per ottenere un'onda quadra pulita al nodo di commutazione (V_{sw} in Fig. 1) e ridurre la tensione di sovraelongazione e l'accensione Cdv/dt.

Anche l'inserimento di un condensatore di derivazione ceramico vicino al FET high-side contribuisce ad ottenere una forma d'onda "pulita" nel nodo di commutazione. Per l'anello di uscita, è importante utilizzare strati aggiuntivi e vias per ridurre la resistenza della scheda e dissipare il calore in maniera più efficiente. Per ridurre al minimo le perdite e ottimizzare la velocità di commutazione, è necessario collocare il circuito di pilotaggio il più vicino possibile al FET di controllo, utilizzando il retro della scheda, se necessario. Questo perché il percorso dal condensatore di bypass al gate - attraverso il driver - ha un effetto apprezzabile sulla velocità di carica, mentre la velocità di scarica dipende dal circuito che collega il gate al source che passa anch'esso attraverso il driver. Il circuito integrato di controllo, infine, deve essere collocato su un piano di massa a basso rumore, con i resistori di rilevamento in retroazione vicini al circuito integrato e lontani dal carico. Le diverse masse di segnale e di alimentazione devono essere connesse in un unico punto, mentre è bene inserire un condensatore di disaccoppiamento vicino al circuito integrato. \square

International Rectifier
readerservice.it n. 25