

## RISPARMIARE ENERGIA CON UNA GESTIONE PIÙ "INTELLIGENTE" DELLA POTENZA

Michael Drake  
Applications engineer  
National Semiconductor

*In numerosi settori, come ad esempio quello dei dispositivi portatili, è necessario garantire una durata delle batterie che sia la più lunga possibile; per questo motivo è necessario porre una particolare attenzione al progetto dei sottosistemi di alimentazione*

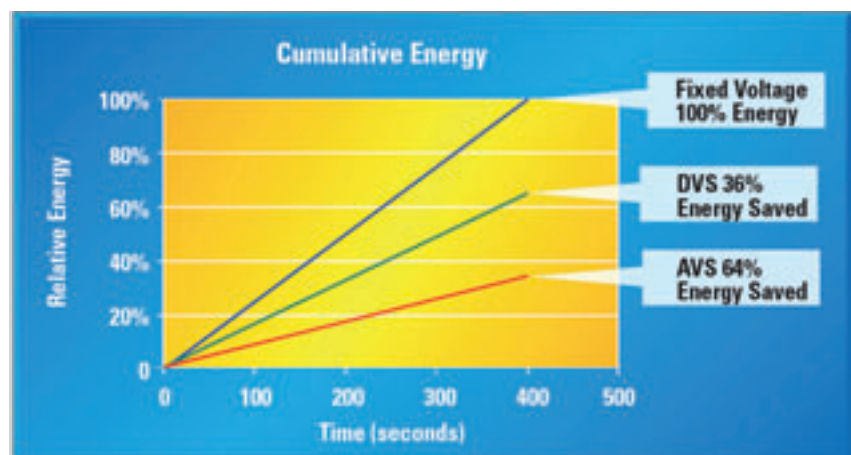
Metodologie e tecniche finalizzate al continuo miglioramento della gestione della potenza (power management) sono divenute un bagaglio indispensabile di ogni progettista. Le pressioni di natura politica, la necessità sempre più avvertita di salvaguardare le risorse disponibili e l'ambiente che ci circonda e le richieste provenienti dai consumatori, hanno creato una forte domanda di dispositivi che, a fronte di un numero crescente di funzionalità, garantiscano consumi via via più ridotti. Ciò è vero soprattutto nel comparto dei dispositivi portatili: telefonini, PDA, lettori MP3, telecamere digitali, piattaforme di gioco palmari diventano di giorno in giorno più piccole, veloci e ricche di funzionalità. Al fine di garantire una durata accettabile delle batterie che alimentano questi dispositivi, è necessario porre una particolare attenzione al progetto dei sottosistemi di alimentazione.

I due fattori che influenzano in misura maggiore la durata delle batterie dei dispositivi portatili sono la conversione di potenza e la gestione dell'energia del

sistema. La conversione di potenza riguarda la trasformazione - che deve essere la più efficiente possibile - della tensione della batteria in quella richiesta dal terminale (o dai terminali) di alimentazione, mentre la gestione dell'energia si riferisce alla conservazione della stessa ottenuta tramite un'ottimizzazione a livello di sistema, in modo che riesca a soddisfare in tempo reale le richieste della particolare applicazione considerata.

### Ottimizzare la regolazione per risolvere il problema energetico

Per quanto riguarda la conversione di potenza, il problema più importante da



**Fig. 1 - Con le tecniche DVS e AVS è possibile conseguire considerevoli risparmi energetici**

risolvere è ottimizzare il rendimento dei regolatori. Il rendimento è definito come rapporto tra potenza di uscita e potenza di ingresso:

$$h = \frac{P_{OUT}}{P_{IN}} = \frac{(V_{OUT} * I_{OUT})}{(V_{IN} * I_{IN})}$$

I rendimenti attuali sono dell'ordine del 90% e ulteriori incrementi sono difficilmente realizzabili. Per questo motivo è necessario ricercare nuove strade per risparmiare energia a livello di sistema.

Quindi, si entra nel dominio della gestione dell'energia.

In un sistema digitale, la potenza dissipata può essere espressa approssimativamente dalla seguente equazione:

$$P = (C * V_{DD}^2 * f) + (V_{DD} * I_{LEAK})$$

Di conseguenza, l'energia consumata è approssimativamente data da:

$$E = (C * V_{DD}^2) + ((V_{DD} * I_{LEAK}) * t)$$

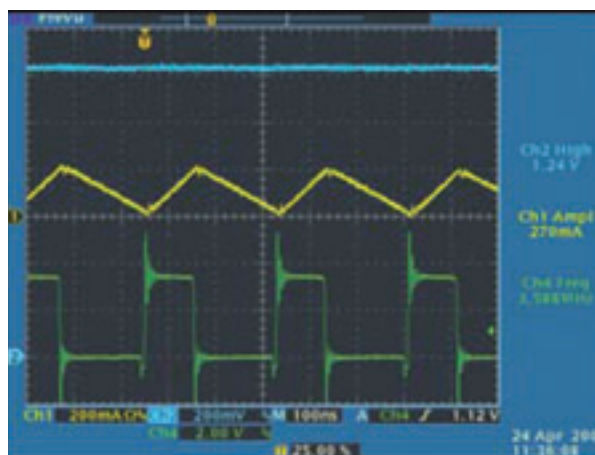
Da queste due equazioni si evince la necessità della gestione dell'energia del sistema.

Nell'espressione della potenza compare un termine di natura dinamica che coinvolge la capacità del circuito, C, la tensione di alimentazione,  $V_{DD}$  e la frequenza di clock, f. Il secondo termine dell'espressione, di natura statica, è dominato dalle correnti di perdita delle porte digitali.

A causa delle continue riduzioni delle geometrie che caratterizzano gli odierni dispositivi, il termine statico va assumendo un'importanza sempre maggiore.

## Tecniche per migliorare la progettazione

La maggior parte dei sistemi digitali di ampie dimensioni adotta strategie di clock-gating (finalizzate appunto alla riduzione dei consumi di potenza) al fine di evitare attivazioni del clock non necessarie, mentre parecchi sistemi prevedono la modalità di power-down per quelle sezioni che non vengono utilizzate in determinate situazioni. Per risparmiare energia, le CPU sfruttano le modalità di "idle" e "sleep". Si tratta di tecniche di risparmio energetico tradizionali, che prevedono il "risveglio" del processore, su base periodica oppure a richiesta, in modo che questi possa eseguire i compiti

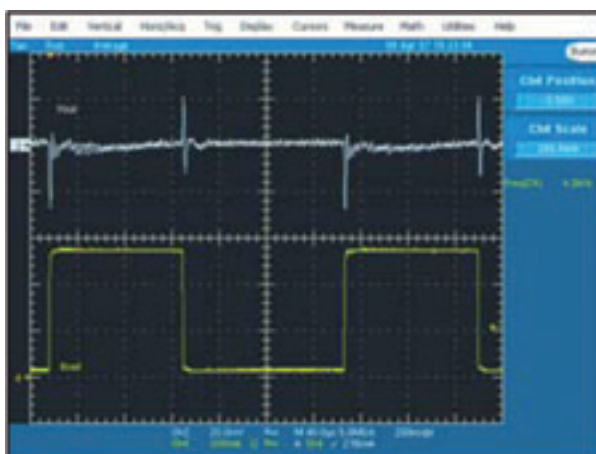


**Fig. 2 – Uscita del commutazione nelle seguenti condizioni: VIN = 3,6 V, VOUT = 1,235V e ILOAD = 400 mA**

ti "in attesa" (pending) e ritornare in uno stato a bassa dissipazione. Queste tecniche, sebbene efficaci, hanno un costo. Ogni volta che il circuito fa una richiesta, si manifestano inevitabili ritardi prima che questi venga alimentato e/o sincronizzato. Questi metodi permettono di preservare l'energia solo quando il processore è nello stato di sleep (shutdown completo di tutte le attività).

Per ridurre il consumo di energia sono

**Fig. 3 – Andamento del transitorio di carico da 50 a 560 mA al valore di partenza a 300 mA/ms**



state messe a punto nuove tecniche che prevedono la riduzione della frequenza e della tensione dell'engine di elaborazione. L'energia è il parametro chiave per aumentare il tempo di on (ovvero il tempo di funzionamento) dei sistemi alimentati a batteria. La sola diminuzione della frequenza permetterà di ridurre il consumo di

potenza medio, ma non l'energia totale impiegata per lo svolgimento di uno specifico compito di elaborazione. Per conseguire un risparmio in termini di energia, è necessario ridurre la tensione del sistema. Questo può essere ottenuto mediante l'adozione di tecniche quali DVS (Dynamic Voltage Scaling) e AVS (Adaptive Voltage Scaling) come riportato graficamente in figura 1.

La tecnica DVS prevede la regolazione della tensione e della frequenza in coppie pre-caratterizzate. National Semiconductor mette a disposizione circuiti integrati per la gestione della potenza (PMIC – Power Management IC) come LP3906 e LP3907 che supportano la modalità DVS oltre a componenti quali LP5550, LP5551 e LP5552 che supportando entrambe le modalità AVS e DVS. Quest'ultima, capace di garantire risparmi in termini di potenza ed energia, prevede margini aggiuntivi per le tensioni in modo da consentire un adattamento in funzione delle variazioni di temperatura e di processo. In un sistema non ideale, il fatto di poter gestire anche il caso peggiore (worst case) si traduce in uno spreco di energia. Se fosse possibile chiudere l'anello di alimentazione a livello di sistema, l'anello di controllo sarebbe in grado di ridurre in maniera adattativa la tensione al valore minimo che permetta un funzionamento stabile del sistema, preservando quindi la maggior parte dell'energia.

La tecnologia PowerWise è in grado di realizzare questo obiettivo.

## Gestione "intelligente" dell'energia con l'interfaccia PWI

La specifica PowerWise si propone come un approccio a livello di sistema per la gestione dell'energia che consente la riduzione adattativa della tensione (AVS) e il controllo dello stato per i dispositivi alimentati a batteria. Oltre alla riduzione adattativa della tensione ad anello chiuso, PowerWise prevede la presenza di un bus seriale per la gestione della potenza operante a elevata velocità per consentire a un engine di elaborazione di utilizzare la tensione di valore minimo a qualsiasi frequenza operativa e in ogni momento, allo scopo di minimizzare la dissipazione di energia dinamica.

La tecnologia PowerWise prevede la possibilità di polarizzare le tensioni del substrato locale (well o pozzo) della CPU. Nel momento in cui  $V_{DD}$  viene ridotta per minimizzare le perdite dinamiche, anche la tensione di soglia dei transistor deve diminuire per mantenere elevati livelli di pilotaggio. Ciò comporta un incremento della corrente di perdita (leakage) e quindi della dissipazione di potenza statica. La corrente di perdita può essere ridotta mediante il back-biasing (uno dei metodi più semplici per generare una tensione negativa) del substrato. In alternativa, mediante polarizzazione diretta, è possibile ottenere livelli di pilotaggio più elevati a parità di  $V_{DD}$ . La configurazione di sistema standard che permette di implementare la tecnologia AVS ad anello chiuso prevede un controllore APC (Advanced Power Controller) residente sull'engine di elaborazione, un PMIC contenente uno slave PWI e un bus seriale PWI a due fili che collega i due componenti. Il compito del PMIC è fornire le diverse tensioni al

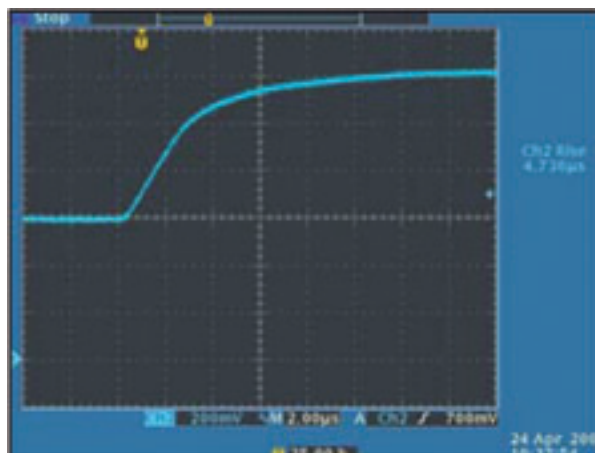
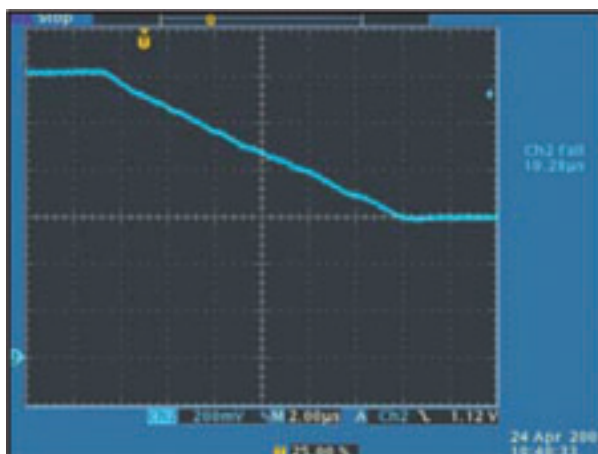


Fig. 4 - Tempo di assestamento di VOUT dal valore minimo a quello massimo in assenza di carico

processore. I livelli di tensione forniti da questo integrato possono essere regolati mediante l'invio di opportuni comandi da parte del master PWI integrato nell'APC allo slave PWI.

Il compito dell'APC consiste nell'accettare i comandi dal processore host, fornire un meccanismo di controllo della tensione indipendente dalla CPU e monitorare la velocità di funzionamento dei circuiti logici in tempo reale. L'APC è sempre attivo e si occupa del controllo di tutti i parametri del sistema su base continuativa, tra cui tempe-

Fig. 5 - Tempo di assestamento di VOUT dal valore massimo a quello minimo in assenza di carico



ratura, carico, transistori e variazioni di processo. Nel momento in cui l'APC viene informato di una variazione di frequenza imminente, determina il minimo valore di tensione possibile per garantire un funzionamento stabile del sistema alla nuova frequenza. Ciò si verifica all'interno dell'anello chiuso in modo da impostare la

tensione a un livello appropriato utilizzando i comandi di regolazione della tensione inviati dall'APC allo slave PWI attraverso l'interfaccia PWI.

## Opzioni disponibili per risolvere il problema della potenza

La tecnologia PowerWise AVS può essere implementata adottando due versioni di controllori APC: APC1 per progetti che prevedono una singola tensione e APC2, più adatta per sistemi più complessi dove sono presenti più tensioni. APC1 utilizza l'interfaccia punto-punto PWI 1.0 mentre APC2 fa ricorso a un'interfaccia del bus PWI 2.0 tra il (i) master e lo (gli) slave. National Semiconductor propone due unità per la gestione della potenza (EMU - Energy Management Unit) per APC1: LP5550, che include un commutatore c.c./c.c. AVS e tre LDO e LP5551, che integra un ulteriore commutatore c.c./c.c., un altro LDO oltre a regolatori di polarizzazione per le connessioni n-well e p-well per le applicazioni che prevedono la riduzione della tensione di soglia.

L'unità per la gestione dell'energia LP5552 è compatibile con il package del blocco IP APC2/PWI 2.0.

Esso contiene due regolatori a commutazione a elevate prestazioni per applicazioni AVS o DVS e cinque LDO. Tutti e sette i regolatori sono ospitati in un package micro SMD a 36 pallini (bump). Ciascun regolatore può essere acceso o spento in maniera indipendente e programmato al valore di tensione desiderato.

### Maggior frequenza di commutazione, minori consumi e ingombri

I regolatori a commutazioni integrati in LP5552 operano a una frequenza di 3,6 MHz, come visibile in figura 2. Una frequenza di commutazione così elevata permette di utilizzare componenti con valori di capacità e induttanza inferiori per il filtro di uscita. I valori tipici sono infatti 1  $\mu$ H per l'induttore e 10  $\mu$ F per il condensatore ceramico.

Il progettista può quindi scegliere componenti caratterizzate da dimensioni più ridotte e altezza contenuta, pur garantendo elevate prestazioni in presenza di fenomeni transitori. Nella figura 3 è possibile osservare le prestazioni dei commutatori in presenza di fenomeni transitori. L'altezza dell'intero sistema di potenza può essere inferiore a 85 mm, in modo da consentire lo sviluppo di dispositivi finali estremamente sottili.

### Principali caratteristiche

I convertitori sono caratterizzati da una corrente continua di uscita di 800 mA (valore max.) con rendimenti di picco dell'88%. Essi sono programmabili digitalmente da 0,6 a 1,235 V in passi di 5 mV. Nelle figure 4 e 5 sono riportati gli andamenti dei tempi di assestamento dell'uscita programmata partendo dal valore minimo a quello massimo e viceversa. Ciascun switcher dispone di un LDO che può essere programmato per seguire la tensione del commutatore nelle applicazioni che prevedono la riduzione della tensione oppure impiegato come LDO indipendente da 50 mA. Questi due regolatori possono essere programmati tra 0,6 e 1,35 V in passi da 50 mV.

I tre LDO rimanenti possono essere impiegati per l'alimentazione di altre sezioni del progetto. Sono disponibili due LDO con uscita a 300 mA, uno dei quali imposta il segnalamento di I/O per LP5552, e presumibilmente per l'intero sistema. Il terzo LDO, progettato per l'alimentazione dei PLL e/o di

funzioni analogiche, è in grado di fornire una corrente continua di uscita di 100 mA. Tutti questi LDO sono programmabili per via digitale.

LP5552 dispone di un certo numero di segnali aggiuntivi che ne semplificano l'integrazione nel sistema target. Gli ingressi ENABLE e RESETN possono essere utilizzati per gestire la messa in sequenza dell'alimentazione (power sequencing), il reset dello spazio dei registri e l'accensione e lo spegnimento globale.

Il segnale PWROK è un indicatore da utilizzare per la sequenzializzazione dell'alimentazione o la generazione del segnale di Power-on-Reset (POR). LP5552 integra inoltre tre GPO da usare liberamente come driver digitali aggiuntivi: il progettista di sistema li può programmare come uscita open drain oppure come uscita push pull riferita alla tensione di I/O di LP5552. L'adozione di un componente come LP5552 contribuisce a semplificare la progettazione di un sistema, oltre a ridurre i costi e minimizzare gli ingombri a bordo della scheda. Accoppiato a un master PWI 2.0, operante in modalità AVS ad anello chiuso, permette di ottenere significativi risparmi di energia nelle apparecchiature portatili. Questo componente può essere anche utilizzato in applicazioni DVS ad anello aperto, dove il traffico PWI potrebbe essere trasferito (bit-banged) dal GPIO all'engine di elaborazione senza ricorrere a un APC.

*Le specifiche relative alla PowerWise Interface possono essere scaricate a titolo gratuito all'indirizzo:*

[www.pwistandard.org](http://www.pwistandard.org)

*Ulteriori informazioni sulla tecnologia PowerWise e sull'offerta di National Semiconductor in questo settore sono reperibili all'indirizzo:*

[power.national.com](http://power.national.com)

**National Semiconductor**  
[readerservice.it](http://readerservice.it) n. 2



**AFOLUX:  
panel PC  
FANLESS e LOW POWER  
ideali per l'ambiente industriale**

#### AFOLUX-AMD LX 7"

- LCD 7" Risoluzione: 800x480, Touchscreen
- Processore AMD LX800 500 MHz
- 2 COM, 2 LAN, 2 USB 2.0
- Wireless Lan & Bluetooth
- Slot Compact Flash
- Windows XP, CE



#### AFOLUX-AMD LX (8", 10", 12")

- LCD da 8.4" a 12", Touchscreen
- Processore AMD LX800 500 MHz
- 2 COM, 2 LAN, 2 USB 2.0
- Wireless Lan, GPRS e Bluetooth
- Slot Compact Flash e baia per Slim HDD
- Windows XP, XPE, CE



#### AFOLUX-VIA Eden & C7 (10", 15", 17", 19")

- LCD da 10" a 19" Touchscreen
- Processori:
  - VIA Eden 500 MHz (FANLESS)
  - VIA C7 1.5 GHz (With FAN)
- 2 COM, 2 LAN, 4 USB 2.0
- Wireless Lan, GPRS e Bluetooth
- Slot Compact Flash e baia per Slim HDD
- Windows XP, XPE, CE



**Ingegnerizzati per ridurre i costi:  
CHIEDETECI UN PREVENTIVO...**



**contradata**

[readerservice.it](http://readerservice.it) n.19726

[support@contradata.com](mailto:support@contradata.com)