

Tecnologie di verifica sui circuiti Asic

Mario Larouche
engineering director
Synplicity

Per aumentare la visibilità della verifica sui sistemi più complessi, occorrono strumenti basati su concetti del tutto innovativi come la TotalRecall Technology

Come i progettisti ben sanno, la verifica dei sistemi Asic sta diventando sempre più difficile man mano che aumenta la complessità dei chip. Molti si sono anche resi conto che l'inefficacia della fase di verifica può essere una pesante causa di ritardo per l'evoluzione dei circuiti, perché viene a far mancare efficienza nella fase di validazione. Dunque, se la legge di Moore continua a progredire senza alcun tennamento, è evidente che l'efficacia della fase di verifica continuerà a essere un fattore sempre più determinante nello sviluppo dei prodotti.

Le tecniche di verifica Asic tradizionalmente composte da tool di prototipazione, simulazione ed emulazione sono certamente utili, ma oggi non sono sufficienti a risolvere i più moderni circuiti. Ad esempio, si pensi che una tipica asserzione, "Assertion", ovvero un'istruzione articolata che generalmente a livello circuitale occupa un'attività in tempo reale di circa 3 secondi, per avere un collaudo sufficientemente corretto richie-

derebbe un lavoro di circa 30 giorni su un generico simulatore con velocità di qualche kHz. E non bastano i pur importanti miglioramenti riscontrabili a bordo dei moderni analizzatori, perché non riescono mai a coprire la totalità degli eventi possibili.

I sistemi di prototipazione basati su Fpga possono essere un'ottima alternativa alle tecniche di verifica, ma hanno il difetto di mancare nella visibilità dei segnali e, mentre continuano a sopravvivere svariate tecniche di verifica proprietarie, ecco che sono stati fatti dei passi avanti nello sviluppo di tecniche di collaudo del tutto nuove sia per l'hardware, sia per gli algoritmi software.

Invero, è proprio sulle tecniche di proto-

tipazione basate su Fpga che vi sono le maggiori aspettative. Infatti, a differenza di altre metodologie di simulazione o emulazione, la prototipazione basata su Fpga consente di mettere a punto gli Asic con un'efficacissima interattività software e disponendo della medesima velocità di transazione in tempo reale che ha il sistema stesso. Ciò che finora è mancato è la visibilità sui segnali e sullo stato del sistema e questo è un problema ben diverso dalla mancanza di velocità che penalizzava i simulatori, o gli emulatori tradizionali.

Per la verità, alcune tecnologie di visualizzazione sono state appositamente introdotte per migliorare la visibilità nella fase di prototipazione basata su

Fig. 1 – La prototipazione basata su Fpga consente di massimizzare la visibilità sui sistemi durante la verifica

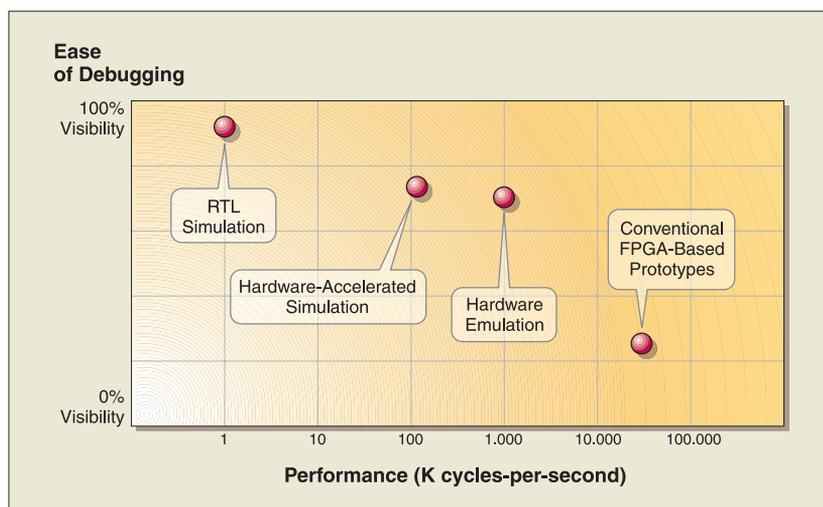
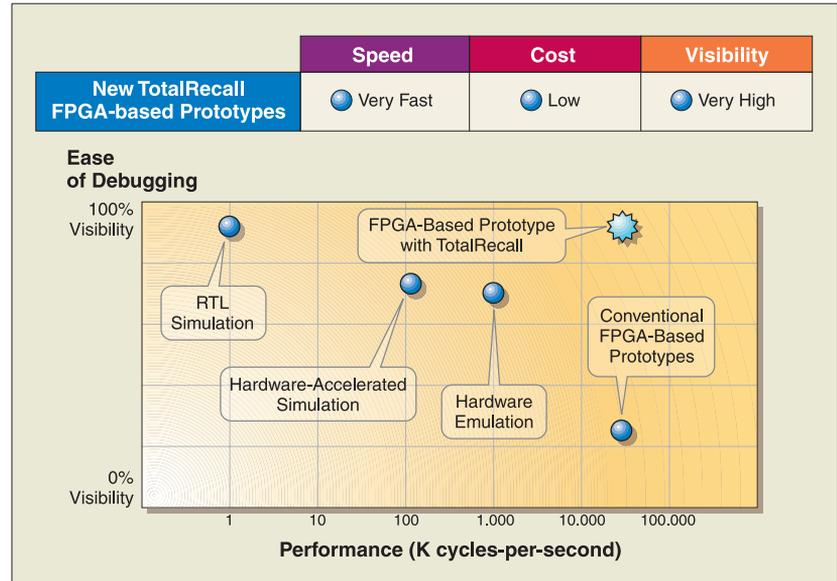


Fig. 2 – TotalRecall Technology aiuta concretamente il progettista in tutte le fasi di lavoro necessarie allo sviluppo di un circuito Asic

Fpga, ma ciò non è servito per aumentare la visibilità anche nella fase di debugging. Le tecnologie capaci di garantire piena visibilità alla prototipazione basata su Fpga promettono davvero di rivoluzionare la verifica dei sistemi Asic. Precisamente, avere la massima visibilità su un sistema mentre esso funziona alla sua reale velocità di lavoro è una priorità essenziale affinché la verifica possa risultare davvero efficiente anche sui moderni Asic, senza che se ne alzino a dismisura i costi o i tempi. Queste tecnologie possono essere rese davvero più efficaci se hanno abbastanza velocità da essere in grado di catturare tutte le condizioni di stato prima e dopo ogni evento. Inoltre, hanno il vantaggio di permettere agli sviluppatori di effettuare il debug con strumenti di simulazione di cui hanno confidenza. Grazie ai vantaggi degli Fpga in termini di elevata velocità e basso costo, ecco che se queste nuove tecnologie riescono ad offrire la visibilità che prima mancava, allora possono davvero affermarsi come una soluzione molto competitiva per la verifica degli Asic più complessi.

La crisi della verifica

Gli ingegneri progettisti hanno per anni accusato la verifica degli Asic di rallentare l'evoluzione dei circuiti integrati a semiconduttore, ritenendola responsabile di aver generato la cosiddetta "crisi della verifica". È chiaro, però, che l'aumento della complessità dei moderni circuiti non ha fatto altro che aggravare questa crisi e, oggi, ogni qualvolta si introduce un nuovo sistema sul silicio, ecco che si moltiplica il lavoro di pre ingegnerizzazione ed è necessario che



una moltitudine di ingegneri si applichi a effettuare un faticoso lavoro di verifica e, dunque, siano spese anche non trascurabili risorse di capitali per migliorare la redditività dei tool di verifica. Le cose si complicano ulteriormente se è necessario che vi sia visibilità a livello di sistema nel momento in cui devono essere osservate da vicino le interazioni fra funzioni hardware e software. In altri termini, la ricerca dei difetti a livello di sistema può diventare un'impresa improba e oltremodo costosa, man mano che la geometria di riga sul silicio continua a diminuire.

I tradizionali metodi di verifica evidenziano tutti i pro e contro di cui dispongono quando devono occuparsi dei moderni sistemi a elevata complessità. Un riassunto delle principali caratteristiche delle tecniche di verifica convenzionali è riportato nella tabella 1. La prototipazione Asic classica offre buona visibilità, ma giacché il ciclo di sviluppo di un Asic può occupare da sei a nove mesi e costare anche un miliardo di dollari per ogni processo di fabbricazione, ecco che qualsiasi vantaggio della verifica sul silicio viene a essere totalmente sprecato dall'impossibilità di correggere il progetto iniziale.

Attualmente è la simulazione RTL che viene considerata la tecnologia dominante per la verifica degli Asic perché è agevole, economica e, soprattutto, consente di effettuare la verifica "early-in-the-design-flow". Così, tuttavia, la simulazione di un Asic complesso può finire per durare parecchio tempo e lo sviluppo può allungarsi incredibilmente. Inoltre, può verificarsi il caso che gli sviluppatori rifiutino di lavorarci, considerando alcuni lavori inservibili perché impossibili da verificare in tempi ragionevoli con le velocità sui kHz tipiche degli attuali simulatori RTL.

La coverifica hardware/software presenta anch'essa alcune difficoltà importanti dal punto di vista del collaudo, ma che però non richiedono un'eccessiva occupazione delle risorse di sistema. La simulazione a livello del linguaggio C permette di fare a meno dei test durante lo sviluppo perché consente di sfruttare come stimoli gli stessi segnali di sistema, ma ha lo svantaggio di richiedere più tempo e penalizzare comunque un pochino la visibilità sul sistema. Recentemente sono stati introdotti degli analizzatori logici che promettono di migliorare concretamente la visibilità sui sistemi, ma lo fanno solo fino a un

TABELLA 1 – VANTAGGI E SVANTAGGI DEI TRADIZIONALI METODI DI VERIFICA NEI RIGUARDI DEI MODERNI CIRCUITI A ELEVATA COMPLESSITÀ

	Velocità	Costo	Visibilità
Simulazione RTL (software)	molto lenta	basso	molto alta
Simulazione con acceleratore hardware	media	medio	elevata
Emulazione hardware	veloce	molto alto	media
Prototipi convenzionali basati su Fpga	molto veloce	basso	bassa

certo livello di complessità del sistema, oltre al quale non sono più in grado di garantire buona visibilità.

I tradizionali metodi di emulazione e prototipazione su Fpga offrono dei significativi vantaggi in termini di prestazioni rispetto a tutte le altre opzioni. A differenza della simulazione e della coverifica, per esempio, l'emulazione offre davvero maggior visibilità e lo fa in meno tempo, ma ha lo svantaggio di costare parecchio e di basarsi su strumenti che lavorano a 1 MHz, il che è ancora un po' poco per avere una buona efficienza di verifica anche sui sistemi circuitali più moderni. In ogni caso, le migliori prestazioni in termini di velocità e di temporizzazioni "near-system-level" son senza dubbio offerte dalle tecniche di la prototipazione basate su Fpga. Queste tecniche consentono di utilizzare stimoli di test in tempo reale e così implementare dei test che possono realmente dirsi In-System. Storicamente, tuttavia, le soluzioni basate sugli Fpga non sono ancora riuscite a offrire una buona visibilità giacché non consentono a tutti i segnali di essere veramente osservabili attraverso i pin di test.

Tecnologie a massima visibilità

I progettisti hanno bisogno di una tecnologia che li metta in grado di identificare ed eliminare rapidamente i difetti progettuali prima di implementare i progetti sul silicio. Precisamente, hanno bisogno di riuscire a scoprire e riparare

i difetti nello stesso momento del ciclo di sviluppo nel quale vengono introdotti, ovvero in linguaggio RTL. Solo così si può minimizzare il tempo di verifica senza rischi. Inoltre, un aspetto particolarmente critico per la validazione dei moderni circuiti è che la verifica dev'essere effettuata alla velocità più vicina possibile a quella reale del sistema perché solo così si potrà migliorare concretamente la visibilità sul sistema.

Queste esigenze devono fare riscontro nei requisiti generalmente richiesti per gli strumenti e le tecniche di verifica. Una tecnologia studiata appositamente per risolvere questo tipo di problematiche è la TotalRecall Technology di Synplicity. Concepita sfruttando le più innovative tecniche di progetto circuitale e di sintesi, questa tecnologia è in grado di offrire le migliori prestazioni in termini di costi, velocità e produttività alla prototipazione basata su Fpga e nel contempo assicurare la massima visibilità a livello di sistema. Così, il debugging può essere effettuato con tempi di esecuzione decine o centinaia di volte migliori rispetto alle metodologie tradizionali. L'approccio utilizzato dagli esperti di Synplicity è unico perché consente al progettista di catturare le informazioni sui segnali e sulle condizioni di stato prima che appaiano gli eventi problematici. La TotalRecall Technology permette all'utente di catturare nel suo progetto lo stato di tutti i registri, compresa la memoria, per un ben preciso numero di cicli di clock

prima di ogni evento specifico. Grazie a ciò le condizioni di stato che riguardano un progetto e, quindi, anche i test di collaudo, possono essere esportate e trasferite a un simulatore HDL standard, in modo tale da poter essere simulate tutte le volte che occorre al progettista per capire la causa dell'evento e risolvere l'eventuale errore.

Questa tecnologia è davvero molto efficace soprattutto perché riesce a far fuoriuscire gli errori nascosti e sporadici, come quelli che riguardano contemporaneamente l'hardware e il software, oppure quelli che hanno bisogno di un buon numero di cicli di clock per poter essere osservati.

La possibilità di eseguire test di simulazione usando i valori precisi dei segnali che realmente hanno causato un errore è un vantaggio inequivocabile. I meccanismi di cattura tradizionali sono tipicamente basati su buffer circolari che mantengono le informazioni su ciò che ha causato un errore solo per un tempo limitato e, dunque, inevitabilmente limitano anche la visibilità sul sistema. Al contrario, l'approccio utilizzato nella TotalRecall Technology non usa un buffer circolare, ma permette all'utente di decidere per quanti cicli di clock occorre osservare un segnale per ricostruire un evento di errore. Ciò consente di ridurre lo sforzo necessario per ricostruire i segnali e ricompilarne le informazioni, nonché elimina la necessità di dover ricorrere a procedure di test apposite che, fra l'altro, comportano sempre il rischio di non riuscire a ricostruire l'esatta sequenza di eventi che ha creato l'errore.

Un altro vantaggio di quest'innovativo approccio è la possibilità per l'utente di poter continuare a lavorare con strumenti di simulazione che gli sono famigliari. Inoltre, si possono collaudare tutte le asserzioni direttamente in linguaggio RTL e ciò consente di sintetizzare le asserzioni sull'hardware ovvero di verificarne il funzionamento direttamente a livello circuitale, il che è praticamente impossibile con i tradizionali simulatori RTL.

L'ottimizzazione dello sviluppo

La TotalRecall Technology può aiutare a completare l'intero ciclo di sviluppo di un progetto, così come fanno le tradizionali tecniche di sviluppo Asic. Lo sviluppatore deve solo dichiarare in quali moduli RTL vuole avere la massima visibilità e, se ha bisogno, può anche specificare i punti di trigger e le asserzioni su cui fare il debug. Dopodiché il progetto viene sintetizzato in un Fpga singolo o in più Fpga e poi può essere collaudato come se fosse un Asic vero e proprio, giacché ne viene garantita la piena equivalenza funzionale. Quando un punto di trigger viene raggiunto durante il collaudo, ecco che scatta un preciso meccanismo grazie al quale l'Fpga ricrea i valori dei segnali nell'intero modulo per tutti i cicli di clock specificati dall'utente. Così, il progettista vede ricrearsi le condizioni che hanno causato l'evento

che gli interessa e può utilizzare gli strumenti di simulazione con i quali ha confidenza per correggere gli errori.

La prototipazione basata su Fpga può concretamente massimizzare la visibilità sui sistemi in particolare modo nella verifica degli Asic. È stato sperimentato che si riscontra un reale passo avanti nelle tecnologie di verifica proprio perché il progettista viene messo in grado di utilizzare hardware a basso costo per avere in cambio la massima visibilità sui sistemi e la possibilità di utilizzare stimoli in tempo reale. Oltre a ciò, l'utente ha anche la possibilità di scoprire gli errori e i difetti più nascosti oppure quelli occasionali che sono, invece, ignorati dalle altre tecnologie di ispezione. La TotalRecall Technology è rapida e precisa ed è realmente in grado di migliorare l'efficacia della fase di verifica. Sebbene i progettisti conoscano

bene i vantaggi della verifica a livello delle asserzioni e li abbiano sfruttati nella fase di sintesi, non hanno però finora mai potuto utilizzarli per effettuare dei veri collaudi a livello RT. Dunque, anche se la prototipazione basata su Fpga è stata ampiamente utilizzata nella verifica degli Asic e anche se le metodologie di prototipazione sono ben note ai progettisti, è solo oggi che, grazie all'innovativa TotalRecall Technology di Synplicity, si può riuscire ad avere la piena visibilità sul funzionamento dei sistemi e superare molti degli ostacoli che hanno creato la "crisi della verifica".

↳

Synplicity (Edaway)
readerservice.it n. 50

CON CALIBRE, LE VECCHIE REGOLE NON CONTANO PIU'

Design for Manufacturing (DFM) | ora che la progettazione con tecnologie nanometriche diventa di uso comune, il paradosso è che sta sparando dal nostro vocabolario. Le nuove direttive per ottenere "veri" di resa accettabili stanno incentivando i progettisti ad adottare nuovi tool e metodologie prettamente dedicati a DFM. La piattaforma di Calibre DFM è l'unica soluzione che permette di integrare tra loro e far di design e di manufacturing con l'implementazione di tool ad alte prestazioni. Calibre consente ai progettisti di mettere sempre più da parte le vecchie regole e di dare maggiore rilievo agli aspetti di DFM. Per saperne di più visitate il nostro sito www.mentor.com - oppure chiamate il 02 24983411.

Mentor
GRAPHICS

THE EDA TECHNOLOGY LEADER

readerservice.it n.18186