

# COME DIMINUIRE I CONSUMI NEGLI FPGA DA 65 nm

Denny L. Steele  
Senior marketing manager  
Low cost products  
Altera

*Con l'adozione di opportune strategie è possibile ridurre la dissipazione di potenza sia statica sia dinamica negli FPGA realizzati con geometrie da 65 nm, a fronte di un aumento delle prestazioni rispetto ad analoghi componenti realizzati con tecnologie da 90 nm*

**I**l passaggio alle tecnologie di processo da 65 nm consente di usufruire di tutti i vantaggi connessi alla riduzione delle geometrie: minori costi, migliori prestazioni e maggiore capacità logica. Assieme a questi indubbi benefici, questo processo porta con sé nuove problematiche legate ai consumi di potenza. Scopo di questo articolo è mostrare come riuscire a mantenere, se non addirittura superare, le prestazioni degli equivalenti dispositivi realizzati con tecnologie a 90 nm, riducendo contemporaneamente in modo sensibile i consumi di potenza sia statica sia dinamica.

La comparsa di una nuova generazione di FPGA crea grandi aspettative in termini di prestazioni e ricchezza di funzionalità. Non va comunque dimenticato il fatto che i progettisti molto spesso devono integrare queste nuove caratteristiche e assicurare maggiori prestazioni in uno spazio equivalente (se non addirittura inferiore) e con vincoli più restrittivi in termini di consumi. Oltre a ciò, in numerose applicazioni è necessario soddisfare requisiti per quanto concerne la potenza. Ne consegue che nei criteri di scelta di un FPGA la dissipazione di potenza riveste un ruolo di sempre maggiore importanza.

Per poter garantire i vantaggi dei processi a 65 nm - riduzione dei costi, migliori prestazioni, maggiore capacità logica - e minimizzare nel contempo i consumi è necessario un saggio impiego delle ottimizzazioni legate alla tecnologia di processo e uno sfruttamento intelligente delle tecniche di ottimizzazione e di analisi della potenza in modo da realizzare un FPGA con tutti i requisiti necessari per soddisfare le esigenze del maggior numero possibile di applicazioni.

## **I vantaggi della riduzione dei consumi**

Riuscire a centrare gli obiettivi in termini di dissipazione comporta benefici superiori rispetto a quelli ottenibili da un corretto funzionamento del dispositivo. Se il funzionamento di un componente all'interno delle specifiche previste è un elemento necessario per soddisfare le aspettative in termini di prestazioni e affidabilità, il rispetto dei vincoli in termini di consumi ha un impatto positivo di notevole rilievo sul sistema nella sua globalità.

La riduzione della dissipazione in un FPGA ha immediati riflessi positivi sul progetto del sistema. La minore richiesta di potenza comporta l'impiego di

sistemi di alimentazione meno costosi che contengono un numero ridotto di componenti, a tutto vantaggio degli ingombri a bordo della scheda a circuito stampato (PCB). Il costo di implementazione per un sistema di alimentazione varia tra 0,5 e 1 dollaro per Watt. Di conseguenza, il funzionamento di un FPGA con una potenza inferiore contribuisce direttamente ad abbassare il costo del sistema. Senza contare che l'uso di ventole di dimensioni inferiori (o addirittura la loro eliminazione) può contribuire a ridurre le interferenze elettromagnetiche (EMI).

Poiché i consumi sono correlati alla dissipazione di calore, la diminuzione della potenza di funzionamento contribuisce a semplificare e rendere più economica la gestione termica. Spesso è possibile eliminare un dissipatore oppure ricorrere a un componente di dimensioni inferiori. Nei progetti ad alta densità dove sono previste prestazioni elevate potrebbero risultare possibile l'impiego di un dissipatore passivo al posto di un componente attivo, più costoso e meno affidabile. Anche i requisiti in termini di flussi d'aria possono risultare meno severi.

Il funzionamento a bassa potenza significa minor numero di componenti e tem-

**Fig. 1 – Incremento della dissipazione di potenza statica e dinamica in funzione dei nodi di processo**

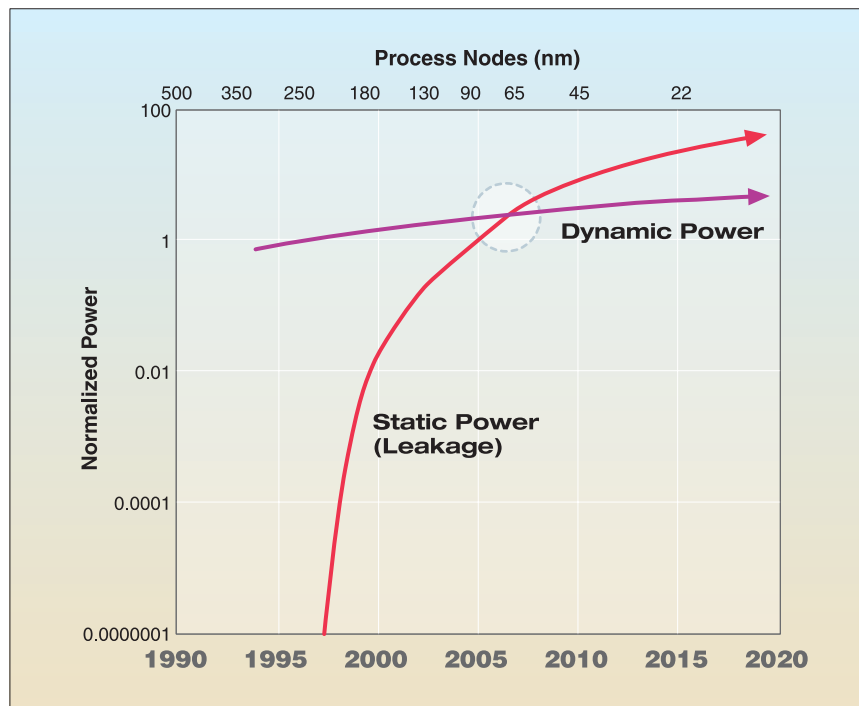
perature di funzionamento degli stessi inferiori, a tutto vantaggio dell'affidabilità del sistema complessivo. La diminuzione di 10 °C della temperatura di funzionamento si traduce nel raddoppio della durata del componente. Gli FPGA caratterizzati da bassa dissipazione possono dunque generare benefici diretti per l'intero sistema in termini di prestazioni, costo e qualità.

## I problemi della potenza a 65 nm

Sono due le componenti che concorrono alla dissipazione di potenza: potenza statica e potenza dinamica. Nel momento in cui si sono affacciati dispositivi a semiconduttore sempre più piccoli e la velocità dei sistemi è andata gradualmente aumentando, è stato possibile gestire l'incremento della dissipazione di potenza dinamica in quanto la tensione del core dei dispositivi è andata diminuendo nel passaggio da un nodo di processo al successivo. Questo fattore, abbinato alla riduzione delle capacità parassite (conseguenza diretta della diminuzione delle dimensioni dei transistor) e all'accorciamento delle interconnessioni tra il circuito logico, ha permesso di tenere sotto controllo l'aumento della potenza dinamica. Diverso è il discorso della potenza statica, che è aumentata esponenzialmente a causa delle maggiori perdite dei transistor. Nella figura 1 viene evidenziato il fatto che nel processo a 65 nm la dissipazione di potenza statica risulta superiore a quella dinamica.

### Dissipazione di potenza statica...

Una regola ben conosciuta che riguarda la fisica dei dispositivi a semiconduttore asserisce che al diminuire della lunghez-

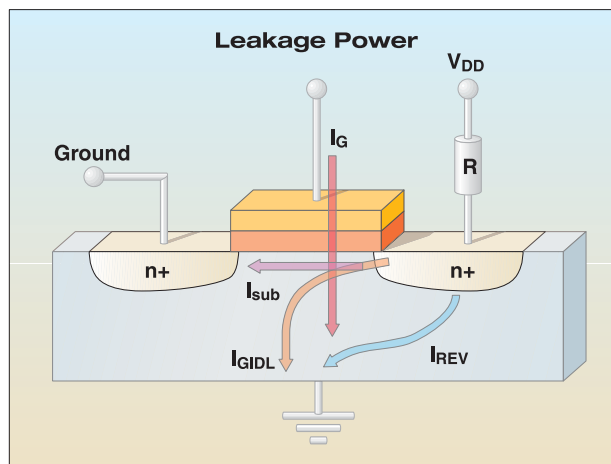


za del transistor aumenta la corrente di perdita. Le distanze fisiche sempre più ridotte favoriscono questa dispersione di corrente. Sia le perdite tra source e drain sia quelle di gate sono inversamente proporzionali alla lunghezza di canale e allo spessore dell'ossido di gate rispettivamente ed evidenziano entrambe un incremento notevole.

**Perdite tra source e drain** – Nota anche come sottosoglia ( $I_{SUB}$  di figura 2), quella tra source e drain è la forma più importante di perdita, imputabile al fluire della corrente dal source al drain del transistor anche quando il gate del transistor è chiuso (off). Nel momento in cui si riducono le dimensioni del transi-

stor, diventa sempre più difficile impedire questo flusso di corrente: di conseguenza i transistor realizzati con processi da 65 nm sono caratterizzati da una perdita tra source e drain maggiore rispetto a quella dei transistor di dimensioni maggiori, a parità di tutti gli altri parametri. Inoltre, questa perdita aumenta in modo esponenziale con l'incremento della temperatura (la variazione della temperatura di giunzione -  $T_J$  - da 25 a 85 °C comporta un aumento della perdita tra drain e source di un fattore pari a 5).

Un altro problema in fase di fabbricazione è lo spessore dell'ossido di gate. Uno strato di ossido più sottile, se da un lato



**Fig. 2 – Diagramma delle perdite in un transistor**

**Fig. 3 – Variabili che influenzano la potenza dinamica**

$$P_{dynamic} = \left[ \frac{1}{2} CV^2 + Q_{ShortCircuit} V \right] f \cdot activity$$

Capacitance Charging      Short Circuit Charge During Switching      Percent of Circuit That Switches Each Cycle

consente di ottenere una commutazione più rapida del transistor, dall'altra implica un aumento della corrente di perdita. La quantità di questa perdita è anche influenzata dalla tensione di soglia ( $V_T$ ) del transistor, ovvero quel valore di tensione per cui il canale conduce la corrente tra gate e source. Transistor a elevata velocità di ridotte dimensioni richiedono una tensione di soglia inferiore, che è influenzata dallo spessore dell'ossido e dal drogaggio. Il mantenimento della velocità alla quale il transistor può commutare attraverso il controllo da parte del gate comporta un aumento della perdita poiché il canale del transistor non può essere chiuso completamente.

**Perdita di gate** – si tratta di un elemento da tenere in considerazione – anche se non così importante come il precedente – e si riferisce alla corrente che scorre dal gate al substrato. Poiché la corrente di gate aumenta, ciò significa che lo spessore dell'ossido di gate del transistor diminuisce a 65 nm. A differenza di quel che accade per la perdita tra source e drain, la perdita di gate aumenta marginalmente al crescere della temperatura.

#### ...e dinamica

Quella dinamica è la potenza addizionale consumata a causa del toggling (variazioni di stato) dei segnali e dei fenomeni di carica e scarica dei carichi capacitivi. Nella figura 3 vengono riportate le principali variabili che influenzano la potenza dinamica: carica delle capacità, tensione di alimentazione e frequenza di clock. La potenza dinamica diminuisce a causa della riduzione delle

geometrie che comporta una diminuzione della capacità e della tensione in conformità alla legge di Moore. La vera sfida è implementare più circuiti in presenza di geometrie via via più ridotte incrementando nel contempo la massima frequenza di clock. Poiché la capacità degli FPGA continua a raddoppiare e la massima frequenza di clock aumenta costantemente, la riduzione di potenza cala per circuiti equivalenti nel passaggio da un nodo di processo all'altro. In assenza di adeguate strategie per la riduzione della potenza statica e dinamica, la dissipazione di potenza di un FPGA può raggiungere un punto tale da attenuare qualsiasi vantaggio legato al passaggio a geometrie di processo sempre più ridotte.

#### Strategie per ridurre i consumi negli FPGA da 65 nm

Per affrontare efficacemente le problematiche legate ai consumi è necessario adottare una strategia articolata nei seguenti punti: utilizzo di un processo da 65 nm a bassa potenza, impiego di ottimizzazioni del processo su silicio, adozione di tecniche di ottimizzazione e analisi della potenza.

#### Utilizzo di un processo da 65 nm a bassa potenza

Parecchie fonderie di semiconduttori mettono a disposizione tecnologie specifiche ottimizzate per applicazioni low power (come ad esempio la tecnologia low power (LP) da 65 nm di TSMC) da impiegare per dispositivi portatili come DVR, lettori di DVD, lettori multimediali portatili destinati al mercato consu-

mer. Per garantire i più bassi consumi di potenza statica e dinamica, il processo è stato ottimizzato in termini di prestazioni e perdite attraverso l'uso di tensioni di soglia multiple, transistor con più tensioni di I/O e transistor con lunghezza di gate variabile. I dispositivi low power utilizzano un ossido di gate più spesso rispetto ai componenti general purpose (G) per diminuire in misura esponenziale le perdite in standby a prezzo di un compromesso di alcune prestazioni. Inoltre viene impiegato un processo strettamente integrato e una metodologia di design che mette a disposizione librerie a bassa potenza, blocchi IP (Intellectual Property) e un flusso di progetto di riferimento.

#### Ottimizzazione del processo su silicio

L'industria dei semiconduttori sta affrontando le continue sfide imposte dalla progressiva riduzione delle dimensioni attraverso enormi investimenti in apparecchiature, tecnologie di processo, tool di progetto e tecniche di realizzazione circuitali. L'aumento della dissipazione di potenza provocata dall'incremento delle perdite dei transistor che si verificano in presenza di geometrie sempre più ridotte è un problema che interessa questa industria nel suo complesso. Un gran numero di tecnologie (riassunte nella tabella 1) già ampiamente adottate per il nodo da 65 nm e per quelli precedenti vengono utilizzare per mantenere o incrementare le prestazioni riuscendo nel contempo a gestire la dissipazione di potenza imputabile appunto alle perdite nei transistor.

Di seguito vengono evidenziati i vantaggi legati all'adozione delle tecniche di processo o di progetto riportate nella tabella:

- Routing (connessioni) in rame: l'impiego di una metallizzazione completamente in rame in sostituzione dell'alluminio per il routing on chip permette di ridurre la resistenza - elettrica e relativa alla

**Tabella 1 – Tecniche di processo e di progetto mirate alla riduzione dei consumi e all'aumento delle prestazioni**

Tecnologia di processo o di progetto	Nodo di processo in cui è stata introdotta	Vantaggi
Routing completamente in rame	150 nm	Maggiori prestazioni
Dielettrico a basso k	130 nm	Maggiori prestazioni Riduzione della potenza
Transistor a soglia multipla	90 nm	Riduzione della potenza
Transistor con lunghezza di gate variabile	90 nm	Riduzione della potenza
Processo low power di TSMC	65 nm	Riduzione della potenza

potenza - con conseguente aumento delle prestazioni.

- Dielettrico a basso k: il dielettrico viene impiegato per isolare gli strati di metallo, in modo da consentire la presenza di più strati di routing. Il passaggio a un dielettrico a basso k permette di ridurre la capacità all'interno di un percorso di routing che si traduce in un aumento delle prestazioni e in una diminuzione della potenza.

- Transistor a soglia multipla: la tensione di soglia di un transistor influenza le prestazioni e la potenza dissipata dal transistor. L'impiego di tensioni di basso valore che permette di avere transistor molto veloci laddove sono richieste prestazioni spinte e di tensioni di soglia di valore elevato che danno luogo a transistor più lenti e a bassa perdita nei casi in cui le prestazioni non rappresentano un elemento critico potrebbe non essere la soluzione ottimale. L'adozione di transistor a soglia multipla può essere considerato come un compromesso, conveniente dal punto di vista economico tra prestazioni e consumo di potenza: i transistor ad alte prestazioni (bassa tensione di soglia) vengono utilizzati solo dove necessario, mentre in tutti gli altri casi si ricorre a transistor a bassa dissipazione (elevata tensione di soglia).

- Transistor con lunghezza di gate variabile: la lunghezza di gate di un transistor influenza la velocità e la perdita sotto-soglia. Poiché la lunghezza di un transi-

stor si avvicina alla minima lunghezza di gate nel processo a 65 nm, la corrente di perdita sotto-soglia cresce in maniera significativa. Con gate di lunghezza maggiore è possibile ridurre la corrente di perdita nei circuiti dove le prestazioni non rappresentano un problema. Laddove sono richieste prestazioni spinte, si fa invece ricorso a gate di lunghezza inferiore.


### Tecniche di ottimizzazione e analisi della potenza

La capacità di un engine di sbroglio (place & route) e di sintesi di tener conto della potenza rappresenta un ausilio prezioso per i progettisti di sistemi. La tecnologia che sta alla base di questa capacità deve essere trasparente agli utenti e attivata attraverso semplici impostazioni (setting) della procedura di compilazione. Mediante l'impostazione e l'esecuzione dei vincoli di temporizzazione nella fase di design entry è possibile sintetizzare il progetto in modo da soddisfare i requisiti in termini di prestazioni. I tool che selezionano automaticamente le prestazioni richieste per ciascuna porzione di logica e minimizzano la potenza attraverso operazioni di piazzamento, routing e temporizzazione che tengano conto di questo parametro sono di grande aiuto nella fase di progettazione. L'ottimizzazione della potenza automatica mediante il software deve essere trasparente per l'u-

tilizzatore ma nel contempo garantire lo sfruttamento ottimale dei dettagli architettonici al fine di minimizzare la potenza. L'obiettivo è ridurre la potenza senza alcun intervento da parte dell'utilizzatore a fronte di un impatto minimo sulle prestazioni del progetto.

### Il compromesso ottimale tra potenza e prestazioni

La definizione e la messa in atto di una strategia per la riduzione della potenza consente di ridurre in maniera significativa i consumi e la corrente di perdita negli FPGA. Nonostante la preoccupazione legata al fatto che l'elevata corrente di perdita negli FPGA realizzati con tecnologie da 65 nm possa rappresentare un ostacolo per gli utenti a causa dell'elevato consumo di potenza statica, l'impiego congiunto di metodi per la gestione della potenza - dalle innovazioni apportate al processo all'ottimizzazione della potenza mediante il software di progettazione - permette agli utenti di beneficiare di tutti i vantaggi legati al processo da 65 nm e ottenere le prestazioni desiderate con il minimo consumo di potenza.

In definitiva, mentre il passaggio attraverso nodi di processo caratterizzati da una costante riduzione delle geometrie permette di ottenere tutti i vantaggi previsti dalla legge di Moore in termini di miglioramento della densità e delle prestazioni. L'aumento di queste ultime può dar luogo a un aumento significativo dei consumi di potenza, con il rischio di dissipare quantità di potenza non accettabili. Nel caso non vengano adottate idonee strategie, il consumo di potenza statica può raggiungere livelli critici. Oltre a ciò, in assenza di azioni mirate all'ottimizzazione della potenza, la dissipazione di potenza dinamico può aumentare a causa dell'incremento della capacità logica e delle elevate frequenze di commutazione che è ora possibile ottenere. 

**Altera**  
readerservice.it n. 1