

La legge di Moore vale anche per il mondo analogico?

Dennis Monticelli
Chief Technologist
National Semiconductor

Mentre i dispositivi SoC in tecnologia CMOS prevarranno nelle applicazioni cosiddette "mature" dove sono previsti volumi elevati, in tutte le altre applicazioni sarà sempre più massiccio l'uso di sottosistemi e blocchi base ad alte prestazioni, realizzati sfruttando un'ampia gamma di processi analogici e a segnali misti proprietari, sia CMOS, sia bipolari sia BiCMOS

Nel corso della sua evoluzione, la tecnologia analogica si trova davanti a un bivio. Una strada conduce verso i SoC, ovvero soluzioni a segnali misti realizzati in tecnologia CMOS che seguono i dettami della legge di Moore, mentre l'altra porta verso sottosistemi e blocchi base ad alte prestazioni realizzati sfruttando un'ampia gamma di processi analogici e a segnali misti proprietari, sia CMOS, sia bipolari sia BiCMOS. L'aspetto interessante deriva dal fatto che entrambe le direttrici possono essere percorse con successo. Ciò è imputabile a una serie di fattori sia di natura tecnica – come ad esempio la tecnologia di processo e la tipologia di prodotto – sia commerciale – aspetti economici, fattori di rischio e time-to-market. I SoC (System-on-Chip) ultimamente fanno la parte del leone: nel dominio digitale questi sistemi su un unico chip sono stati agognati per

un paio di decenni e la loro realizzazione pratica è stata possibile grazie ai progressi previsti dalla legge di Moore e alla disponibilità di tool CAD sempre più potenti. Questa marcia trionfale è proseguita senza tregua finché non sono apparsi all'orizzonte due ostacoli abbastanza difficili da superare. Il primo rap-

presentato dalla concentrazione di calore e dal problema legato alla sua dissipazione. Attualmente sono state messe a punto diverse metodologie per cercare di risolvere tale problema, che spaziano da flussi di progettazione top-down che tengono conto del problema della dissipazione all'apporto di modifiche al pro-

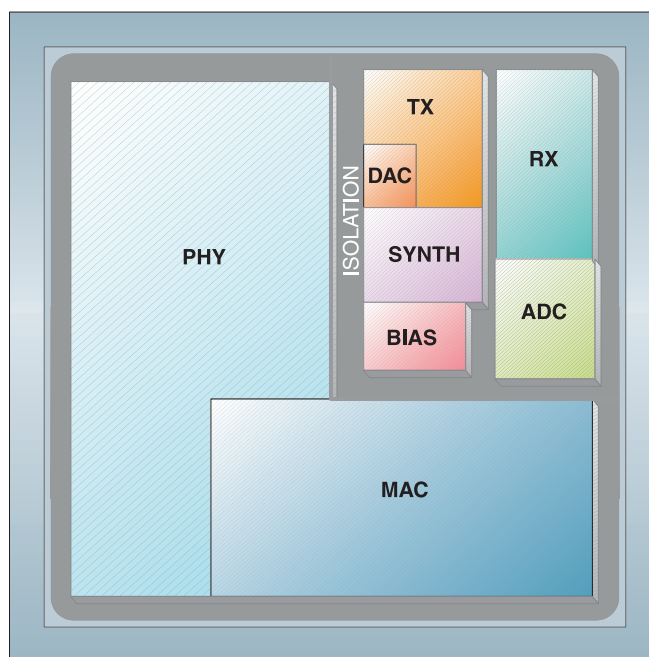


Fig. 1 – I mercati di destinazione finali dei prodotti implementati mediante dispositivi SoC sono caratterizzati da volumi elevati e da una costante riduzione di prezzo come ad esempio i dispositivi per applicazioni 802.11

Fig. 2 – Alcuni dei principali parametri che riguardano i transistor in funzione dei nodi tecnologici nel percorso evolutivo tracciato da ITRS (Industry Technology Roadmap for Semiconductors)

Feature size (μm)	0.25	0.18	0.13	0.09
V_{DD}	2.5	1.8	1.2	1.0
$I_{ON}/I_{OFF} \times 10^6$	60	30	1.7	0.12
I_{gate} (nA/ μm)	2×10^{-5}	2×10^{-3}	3×10^4	3×10^5
r_o ($\Omega/\mu\text{m}$)	130K	67K	24K	10K
$g_m \times r_o$	39	27	14	10
f_T (GHz)	30	60	80	140

cesso in modo da procedere a una regolazione dinamica delle alimentazioni. L'altro problema deriva dal fatto che un sistema per sua natura non è completo se non è presente anche la componente analogica, per cui molti SoC devono essere (almeno in qualche misura) di tipo a segnali misti. Ciò dà origine a un problema poiché né la tecnologia di processo né i tool CAD per i dispositivi SoC sono stati sviluppati per la realizzazione di circuiti analogici a elevate prestazioni, in particolar modo se ospitati su un chip dove sono presenti "rumorosi" circuiti digitali. Senza sottovalutare la cronica mancanza di progettisti analogici. Nonostante le problematiche cui si è fatto riferimento, esistono impellenti ragioni che consigliano di adottare un approccio di tipo SoC per certe categorie di prodotti. In genere, i prodotti più adatti sono quelli per i quali le specifiche a livello di sistema sono ben documentate, stabili e ampiamente disponibili. Anzi, spesso sono raccolte in uno standard. I mercati di destinazione finale di questi prodotti sono caratterizzati da volumi elevati e da una costante riduzione di prezzo: esempi tipici sono i dispositivi Bluetooth, 802.11 (Fig. 1) e telefoni cellulari di fascia bassa. In alcuni casi (come ad esempio quello dei dispositivi Bluetooth), il sistema è stato concepito già in origine per ridurre le esigenze che riguardano le prestazioni della componente analogica in modo da incoraggiare le aziende a intraprendere la strada dei SoC CMOS al fine di dimi-

nuire i costi. La disponibilità delle specifiche, il previsto impiego della tecnologia CMOS e la prospettiva di cogliere importanti opportunità di mercato hanno prodotto il coinvolgimento di un elevato numero di progettisti. In altre parole, parecchi team di sviluppatori, spesso con l'ausilio di ricercatori universitari, hanno lavorato duramente per risolvere problematiche legate all'integrazione di circuiti analogici per ottemperare alle specifiche richieste in termini di prestazioni. In considerazione dei notevoli sforzi profusi, tutti gli ostacoli sono stati alla fine superati per arrivare a un risultato coronato da successo, ma solo per quella particolare applicazione.

La sfida nanometrica

Il massiccio impiego di potenziale umano e la disponibilità a farsi carico di numerose e costose iterazioni su silicio sono divenuti elementi indispensabili per assicurare la piena riuscita della realizzazioni di SoC in tecnologia CMOS pian piano che ci si sposta, seguendo la legge di Moore, nel campo dei dispositivi nanometrici. Si provi adesso a esaminare alcuni dei principali parametri che riguardano i transistor in funzione dei nodi tecnologici (Fig. 2) prendendo come riferimento il percorso evolutivo definito da ITRS (Industry Technology Roadmap for Semiconductors) per avere un'idea più chiara delle difficoltà che devono affrontare i progettisti di dispositivi SoC a segnali misti. Nel passaggio dalle tecnologie a 0,25 μm a quel-

le a 90 nm, le caratteristiche in continua dei transistor peggiorano in maniera significativa. L'abbassamento della tensione di alimentazione fino a 1 V riduce di gran lunga le scelte a livello circuitale e influenza negativamente il range dinamico. Mentre la corrente nello stato di ON cresce in misura modesta, le perdite nello stato di OFF aumentano in maniera consistente dando vita a un degrado considerevole del rapporto ON/OFF che a sua volta ha un ulteriore effetto negativo sul range dinamico. Nel frattempo la struttura del gate, una volta impenetrabile, è soggetta a perdite consistenti: basti considerare che I_g diminuisce di una decina di ordini di grandezza. La transconduttanza (g_m) subisce un aumento di lieve entità, ma la resistenza di uscita (r_o) diminuisce molto più rapidamente, il che si traduce in una riduzione netta del guadagno di tensione di un fattore pari a 4. Sebbene non sia evidenziato, anche l'offset di tensione e il rumore subiscono un netto peggioramento. In ogni caso, una buona notizia proviene dal fronte delle prestazioni in alternata, poiché la velocità aumenta di un fattore pari a 5.

La scelta del processo

In questo momento i progettisti di dispositivi a segnali misti sono consapevoli di dover operare in presenza di vincoli quali blocchi di amplificazione a basso guadagno, gate affetti da dispersioni e intervalli di tensione limitati. Comunque, essi sono incoraggiati dal

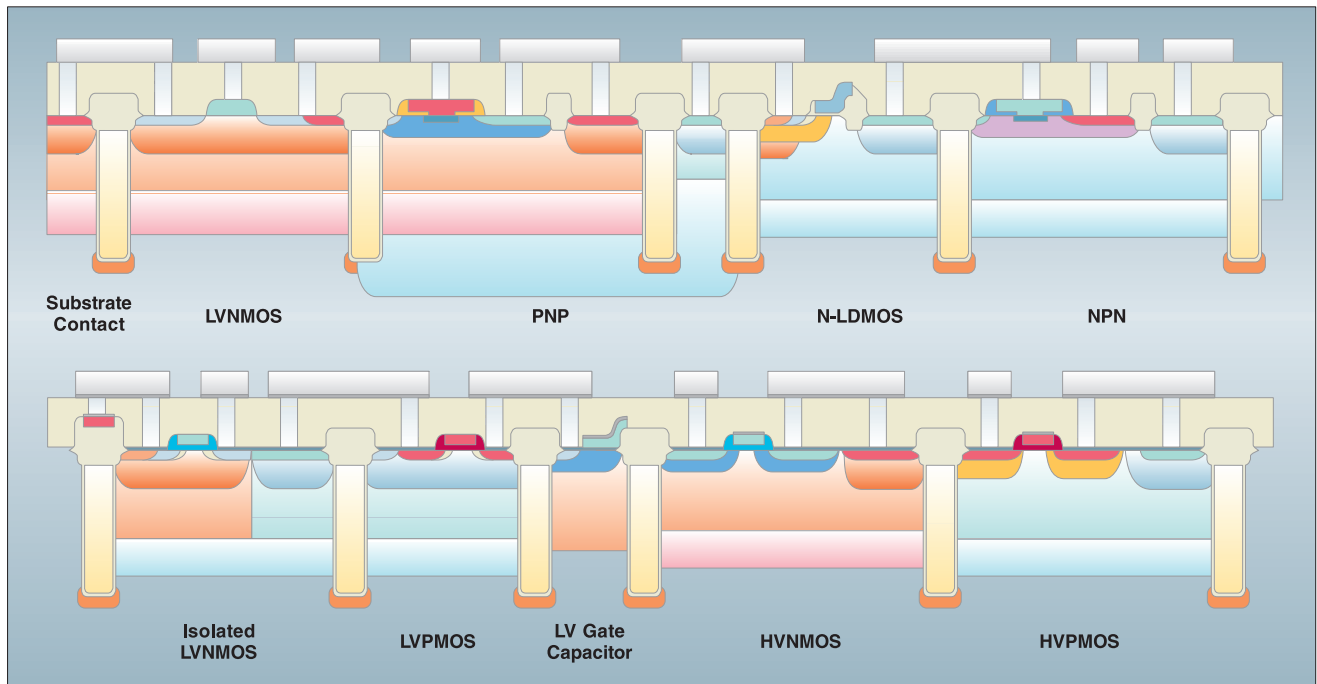


Fig. 3 - National Semiconductor ha sviluppato processi CMOS con processi bipolari complementari e con MOSFET di potenza complementari

fatto che i piccolissimi transistor digitali sono liberamente disponibili, per cui possono essere utilizzati in grande quantità per aiutare a registrare deviazioni dal comportamento ideale e quindi memorizzare coefficienti di correzione che riguardano offset, errori di guadagno, non linearità e così via. Nel frattempo, sono stati presi in considerazione concetti totalmente nuovi nel settore dei "circuiti analogici assistiti digitalmente" da parte dei ricercatori, soprattutto nei settori dei convertitori A/D e D/A, amplificatori e filtri. Fortunatamente per lo sviluppo di cir-


cuiti analogici a elevate prestazioni non è necessario il ricorso a tecnologie deep-submicron. Le società operanti nel settore dell'analogica hanno per molto tempo adottato tecnologie di processo proprietarie che non prevedono l'impiego delle geometrie più recenti. Coloro che si occupano dello sviluppo di processi analogici hanno imparato a sfruttare le tecniche di processo introdotte per ottemperare ai requisiti previsti dalla legge di Moore per produrre transistor ottimizzati per la realizzazione di circuiti analogici, assicurando nel contempo un numero di gate sufficienti per i transistor digitali. Esistono processi CMOS ottimizzati dal punto di vista dell'analogica in geometria da $0,18 \mu\text{m}$ che permettono di realizzare un'infinità di dispositivi, dai convertitori dati ad alte prestazioni per le stazioni base ai sottosistemi audio per telefoni cellulari. Vi sono processi BiCMOS con transistor bipolari in silicio-germanio (SiGe) ottimizzati che garantiscono valori minimi in termini di consumi e jitter utilizzati per la temporizzazione e il recupero dei dati nelle operazioni di streaming di

dati digitali che transitano ad alta velocità nei cavi e nei backplane. I processi bipolari complementari a 10 V vengono invece utilizzati per la realizzazione di amplificatori veloci caratterizzati da un elevato grado di linearità destinati ad applicazioni di distribuzione di segnali video. Senza dimenticare i processi BiCMOS a 100/50/25 V contraddistinti dalla presenza di commutatori MOSFET in grado di gestire correnti di 10 A da impiegare nel settore della conversione di potenza.

National Semiconductor è un'azienda in grado di gestire tutte queste tecnologie abbinando processi CMOS con processi bipolari complementari e con MOSFET di potenza complementari (Fig. 3). La società può quindi sviluppare amplificatori che assicurano la massima velocità di funzionamento per una data dissipazione di potenza, driver audio in classe D compatti e convertitori di potenza che garantiscono la massima densità di potenza pur essendo ospitati in minuscoli package SOT.

Lo sviluppo di processi specializzati non serve solamente a ottenere prestazioni

più spinte della componente analogica rispetto a quelle consentite dalla tecnologia CMOS. Sicuramente essa rappresenta un'ottima ragione per proseguire su questa strada, ma ne esiste un'altra che sta assumendo un'importanza sempre maggiore nel momento in cui si prosegue lungo la roadmap segnata da ITRS. Questa è legata ad aspetti di natura economica, a fattori di rischio e al time-to-market. Gli ingegneri sono affascinati dalle sfide di natura tecnologica. Lasciati avulsi dagli aspetti legati al business, essi sono perfettamente in grado di affrontare il difficile compito di progettare circuiti analogici adeguati con transistor dalle caratteristiche sempre più degradate e quindi ripetere questo processo ogni due anni all'affacciarsi del prossimo nodo tecnologico. Un approccio di questo tipo è valido dal punto di vista economico nel caso di un dispositivo SoC destinato a un mercato di notevoli proporzioni che può essere sviluppato mediante un singolo set di maschere realizzate a partire da specifiche stabili. Ma per una miriade di altre applicazioni questo modello di business è destinato a fallire in quanto i ritorni non giustificano gli sforzi. Un progetto implementato su un processo ben definito rappresenta ciò che in statistica viene chiamato un "risultato deterministico". Ovvero si sa cosa si vuole ottenere e quando lo si ottiene. Al contrario, proprio perché esso deve essere fatto a prezzo di grandi sforzi (attraverso un dispositivo SoC), non significa che sarà realizzato. Se si considera che il costo di un set di maschere per un progetto in tecnologia da 90 nm si aggira intorno al milione di dollari, che parecchi prodotti sono destinati a nicchie di mercato e che lo spettro del time-to-market è sempre più incombente, non c'è da meravigliarsi se un progettista analogico ricorre ai processi di tipo proprietario per svolgere il lavoro assegnato.

In definitiva, quindi, entrambe le strade cui si faceva riferimento all'inizio andranno percorse e tra le due è presumibile che si instauri qualche sinergia. I dispositivi SoC prevarranno nelle applicazioni cosiddette "mature" dove sono previsti volumi elevati mentre i sottosistemi e i blocchi base verranno utilizzati per tutto il resto. I progettisti di SoC a segnali misti hanno appreso le tecniche circuitali analogiche e traggono beneficio dall'opportunità di apportare correzioni grazie alla grande abbondanza di transistor digitali. Nel contempo i progettisti analogici si avvantaggeranno delle tecniche di processo sviluppate in ottemperanza alla legge di Moore per la messa a punto di tecnologie specializzate e apprenderanno a sfruttare in maniera creativa un'"assistenza di natura digitale" per i loro già avanzati transistor analogici in modo da ottenere prestazioni in grado di toccare nuovi vertici. 

National Semiconductor
readerservice.it n. 6

LAMBDA

Power +

INNOVATION • SOLUTIONS • SUPPORT • RELIABILITY



Alta Efficienza

Nuova serie PFE: il primo power module isolato con ingresso da rete, PFC ed uscita in CC

- riduzione degli spazi sino al 50%
- fino a 700W di potenza
- fino a 100°C di temperatura baseplate
- uscite 12V, 28V e 48V
- ingresso da 85V a 265V
- power factor corrector attivo ed isolamento ingresso-uscita 3000V AC

Campioni gratuiti su
www.lambda-gb.com/freesample

readerservice.it n.17101