

LA VERIFICA FORMALE AL SERVIZIO DELL'ALIMENTAZIONE

Ersin Beyret
Sequence Design

Le tecniche di verifica formali costituiscono un valido ausilio per i progettisti impegnati nella realizzazione della griglia di alimentazioni di dispositivi SoC realizzati in geometrie da 65 e 90 nm

Il numero dei componenti utilizzati nei dispositivi SoC (System-on-Chip) aumenta in maniera esponenziale nel momento in cui i progetti vengono realizzati con tecnologie da 90 e 65 nm. Il compito di assicurare l'erogazione dei livelli di potenza appropriati a tutti i componenti diventa quindi sempre più difficile. I progettisti sono quindi impegnati nella prevenzione di problemi di natura funzionale e di prestazioni prodotti dalle cadute, variabili col tempo, della tensione fornita ai componenti. Il numero e il tempo di esecuzione delle simulazioni delle cadute di tensione e la quantità di dati che deve essere esaminata crescono continuamente. Le anomalie strutturali nella rete di alimentazione (ovvero connessioni resiste di elevato valore imputabili al taglio del metallo) vengono individuate solo mediante queste costose simulazioni, che devono essere ripetute una volta che le anomalie sono state rimosse, il che comporta l'esecuzione di iterazioni non necessarie.

L'individuazione di problemi localizzati risulta più ardua nel momento in cui la mole di dati aumenta di pari passo con la complessità del chip.

Attualmente è disponibile una nuova tecnologia che i progettisti possono utilizza-

re per il "sign off" della rete di alimentazione prima di effettuare simulazioni relative alla caduta di tensione o all'elettromigrazione. La tecnica in oggetto è simile alla verifica formale, dove le asserzioni possono essere dimostrate indipendentemente dalla scrittura di un apposito test bench da parte degli ingegneri che si occupano della verifica logica.

Problemi derivanti dalla caduta di tensione

Anche con circuiti realizzati con geometrie da 130 nm, la distribuzione dell'alimentazione a bordo del chip rappresenta un serio problema. Il package di tipo flip chip, sebbene costi, può rappresentare un valido ausilio, anche se i progettisti che eseguono il tape-out senza aver eseguito un numero sufficiente di analisi possono riscontrare problemi. In tabella 1 vengono riportati alcuni esempi di malfunzionamenti legati alla distribuzione dell'alimentazione.

Problemi di gestione dell'alimentazione

Di seguito vengono elencati alcuni dei principali problemi che gli ingegneri che si occupano di gestione della potenza si trovano ad affrontare:

- correttezza del collegamento tra i pin di alimentazione di tutte le macro hard (ad esempio memorie RAM) e la rete di alimentazione;
- correttezza della connessione tra i pin di alimentazione di tutte le celle standard e la rete di alimentazione;
- esistenza di difetti nelle geometrie della rete di alimentazione.

Questi problemi vengono enfatizzati dai nuovi progetti in quanto questi ultimi sono caratterizzati dalla presenza di un numero maggiore di macro hard, di celle standard e di poligoni che formano la rete di alimentazione.

Durante la fase di floorplanning, gli ingegneri eseguono il layout degli anelli di alimentazione delle griglie, eliminano alcune parti della rete per far posto alle macro hard, assottigliano i segmenti della griglia per rendere disponibili maggiori risorse di routing e mettono in atto altri stratagemmi.

Alcune volte progettano alcune parti della rete in modo che si connettano "appoggiandosi" le une sulle altre.

Tutte queste modifiche devono essere verificate rispetto alle tre problematiche sopra elencate.

Le domande da porsi sono innumerevoli: come essere sicuri che in presenza di

due partizioni fisiche confinanti la griglia di alimentazione attraversa i confini della partizione senza che si verifichino fenomeni di circuito aperto? Cosa accade se viene eliminata una parte della griglia di alimentazione per far posto alle risorse di routing? Cosa accade se le vias sono mancanti?

Nel caso vengano spostate le posizioni delle macro hard nel floorplan, oppure il più recente file LEF del fornitore del blocco IP è differente, questi sono ancora collegati in maniera corretta? Come fare a stabilire se tutti i pin di alimentazione delle centinaia di macro hard presenti in un progetto sono collegate in modo corretto dopo le ultime modifiche del floorplan?

Cosa succede se qualcuno rimuove un collegamento di alimentazione?

Per rispondere a tutte queste domande in maniera adeguata gli ingegneri solitamente fanno girare simulazioni relative alla caduta di tensione per verificare, verificano la forma dell'occhio sulla mappa della caduta di tensione per i problemi di carattere globale, esaminano i buchi neri della mappa ed effettuano lo zoom attorno alle macro e verificano i valori della caduta di tensione.

Alcuni ingegneri eseguono una post-elaborazione dei risultati della simulazione della caduta di tensione ed effettuano l'analisi di dV/dx , che permette di individuare difetti localizzati che provocano notevoli differenti di tensione (dV) in due punti molto vicini (dx), in considerazione del fatto che in una rete connessa in maniera appropriata, la tensione diminuisce gradualmente e il valore dV/dx dovrebbe andare via via riducendosi.

A queste domande è possibile risponde-

Tabella 1 – Esempi di malfunzionamenti imputabili alla distribuzione dell'alimentazione

Tipo di applicazione	Malfunzionamento	Costo
Flip-chip, 90 nm, networking	Elevata corrente di picco in modalità scan	4 mesi di debug sul silicio + respin
Flip-chip, 90 nm, set top box	Induttanze reciproche sull'I/O	3-4 mesi di debug+normalizzazione della griglia di alimentazione +respin
Flip-chip, 90 nm, networking	I buffer di I/O distanti dalle piazzole evidenziano cadute di tensioni di picco	Simulazione SPICE per il debug + respin
Flip-chip, 130 nm, DSL a larga banda	Elevata corrente di picco in modalità scan	Respin
Flip-chip, 130 nm, networking	Scarsa densità di decap attorno alla logica di controllo della memoria	Ritardo di 6-9 mesi
Giunzione di un ponte PCI, 130 nm	Bitter di clock eccessivo dovuto alla caduta della tensione di picco	Respin
Giunzione Bluetooth, 130 nm	Elevata corrente di picco in modalità di test	Pezzo consegnato con test incompleto, risolto in fase di re-spin
Giunzione di dispositivo consumer, 130 nm	Elevata corrente di picco attorno agli scan flop	Respin

re subito, senza dover eseguire queste simulazioni mediante la verifica formale della griglia.

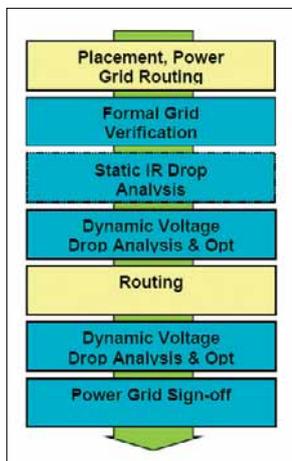
I due significati di "statico"

La parola "statico" assume due diversi significati in due differenti porzioni della progettazione elettronica. Per quanto attiene la caduta di tensione, la parola statico significa che i generatori di corrente sono mediati su intervalli temporali, per cui gli effetti delle capacità e delle induttanze possono essere ignorati. D'altro canto, l'analisi della caduta di tensione "dinamica" è un'analisi tempo-variante dove vengono calcolati gli effetti dell'accumulo di carica dei condensatori e gli effetti di oscillazione dell'induttanza. In entrambi i casi, al circuito sono applicati specifici stimoli: stimoli differenti corrispondono ad attività

diverse, che danno luogo a correnti differenti e quindi a cadute di tensione diverse. Nel mondo della temporizzazione, analisi statica significa propagare tutti i possibili percorsi di segnale per trovare il ritardo peggiore, senza uno stimolo specifico. D'altro canto, l'analisi dinamica vuole dire effettuare una simulazione con vettori specifici, con valori di ritardo reali dedotti da un file SDF e osservare la correttezza dell'uscita. Nel settore delle temporizzazioni, l'analisi dinamica è stata superata dalle metodologie di analisi statica negli anni '90.

La differenza fondamentale risiede nel fatto che la caduta di tensione sia statica sia dinamica sono analoghe all'analisi delle temporizzazioni di natura dinamica. Tutte e tre fanno riferimento a uno specifico vettore o a un insieme di vettori. Il problema per un progettista deriva

Fig. 1 – L'integrazione dei metodi formali nel flusso relativo alla griglia di alimentazione



dal fatto che esistono casi limite in cui i vincoli in termini di temporizzazione (o tensione) non vengono soddisfatti e i vettori di simulazione non sono in grado di garantirne la copertura.

Le tecniche “vectorless”

Nel mondo delle temporizzazioni, i metodi basati sui vettori sono quasi completamente superati, mentre in quello delle tensioni parecchi costruttori mettono a disposizione tecniche “vectorless”, anche se viene ancora effettuata una simulazione. Le tecniche vectorless generano un vettore di qualche tipo, anche se non è possibile sapere se esso sia in grado di modellare il caso peggiore reale, per cui può dar luogo a esiti negativi falsi e a esiti positivi non riscontrati.

Alcuni algoritmi vectorless possono generare uno stimolo che non è raggiungibile: ad esempio, questi algoritmi possono trovare un percorso di registri a elevata attività che si trova in uno stato non consentito della macchina a stati. Nel caso in cui durante questo stato venga rilevata una caduta di tensione di valore elevato, si tratta di un esito positivo falso, poiché tale stato non potrà mai verificarsi. Attualmente, nessun produttore è in grado di garantire che gli insiemi di vettori generati siano in grado di coprire un caso peggiore reale. Nel caso di uno stato non previsto in cui si verifica un elevato livello di attività che gene-

ra una caduta di tensione, si è in presenza di un esito positivo non riscontrato. È possibile che gli algoritmi che verranno sviluppati in un prossimo futuro possano dar vita a uno schema “vectorless” perfetto, capace cioè di generare il peggior stato raggiungibile reale. Il vettore chiaramente esiste: si tratta semplicemente di trovarlo. In ogni caso i progettisti devono effettuare il tape out senza dover andare alla ricerca del Santo Graal.

Verifica della griglia formale

Una tecnica che può dare risultati senza dubbio migliori è analoga alla verifica formale. Nel mondo della verifica funzionale, le tecniche formali stanno tentando di soppiantare le tecniche basate sulla simulazione. In questo caso, piuttosto che sfruttare vettori creati manualmente o basati su ATPG, un apposito tool si preoccupa di verificare le affermazioni (assertions). Per esempio un tool può dimostrare se una codifica one-hot di una macchina a stati lo è veramente o se un protocollo d’interfaccia è soggetto a fenomeni di stallo (deadlock). Nel momento in cui un’affermazione è dimostrata, il tool può generare un traceback che dimostri in che modo l’affermazione potrebbe essere violata. Al giorno d’oggi, nella verifica formale, nessuno può generare un insieme completo di affermazioni per “aggirare” completamente la simulazione, anche se la classe di affermazioni funzionali dimostrabili è in continuo aumento.

Per la verifica della griglia di alimentazione esistono simili affermazioni che possono essere dimostrate. Così come le tecniche formali non sono in grado di sostituire completamente la simulazio-

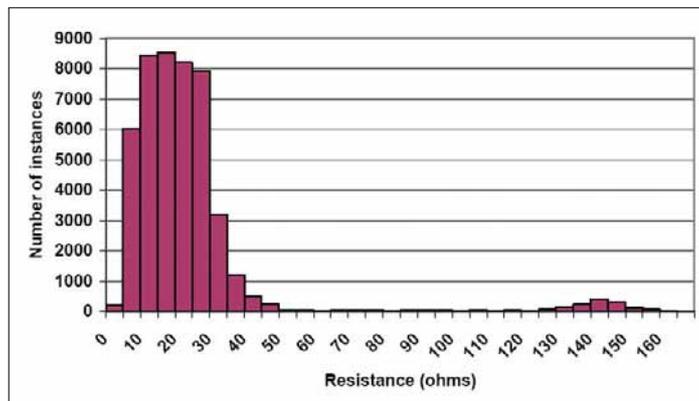
ne nel mondo funzionale, la verifica della griglia formale non sostituisce completamente l’analisi dinamica per quel che concerne la caduta di tensione. In ogni caso, ha il notevole vantaggio di una completa indipendenza dal vettore. Nella figura 1 viene riportata l’integrazione della verifica formale nel flusso complessivo che riguarda la progettazione della griglia di potenza. La quasi totalità degli errori può essere rilevata nelle fasi iniziali, ancor prima dell’esecuzione dell’analisi statica tradizionale. Ciò ancora una volta è imputabile alla natura dell’analisi, che è indipendente dal vettore. Il gruppo di progetto che si occupa della griglia di alimentazione non deve quindi attendere informazioni riguardanti la simulazione o la temporizzazione.

Analisi della resistenza effettiva

Col trascorrere del tempo, l’insieme di affermazioni dimostrabili relative alla griglia di alimentazione è destinato ad aumentare. Un esempio di affermazione dimostrabile può essere il limite per la resistenza effettiva da ogni istanza fino all’alimentazione.

In un circuito di piccole dimensioni, è possibile misurare con semplicità la resistenza da un punto all’interno della griglia di alimentazione fino all’alimentazione: ad esempio convertire i resistori serie e parallelo in una singola resistenza effettiva. Oppure è possibile applicare tecniche matriciali per ottenere la resistenza effettiva per una griglia cagliata (mesh) contenente milioni di resistori. Un altro metodo prevede l’uso di qualsiasi tool per la caduta di tensione statica e l’inserimento di un solo un generatore di corrente relativo all’istanza di interesse. La caduta di tensione di picco si avrà nei pressi del generatore di

Fig. 2 – Istogramma della resistenza effettiva



corrente, con una progressiva diminuzione della caduta di tensione nei punti alimentati, dove tenderà ad annullarsi. Una volta nota questa caduta di tensione di picco, la resistenza effettiva è ottenuta con una singola moltiplicazione.

Naturalmente, l'esecuzione di un'operazione di questo tipo per ciascuna istanza del progetto non è fattibile dal punto di vista computazionale. Il nuovo sviluppo è un metodo per calcolare in maniera efficiente questi valori.

Una volta disponibile una tecnica per calcolare la effettiva resistenza relativa a ogni istanza, esistono parecchi metodi per visualizzare i risultati. Uno prevede la rappresentazione mediante un istogramma della resistenza per ciascuna istanza, come riportato in figura 2.

Un metodo più intuitivo per visualizzare i risultati prevede l'uso di una scala termica a colori (Fig. 3). In genere, scale di questo tipo utilizzano il colore rosso per enfatizzare un risultato negativo. In questo caso, i colori blu e verde rappresentano aree in cui il valore della resistenza è abbastanza ridotto, mentre i colori arancio e blu si riferiscono ad aree dove la

resistenza è troppo elevata. La figura 3 rappresenta la resistenza effettiva per un piccolo blocco del progetto. Il colore nero si riferisce ad aree dove non sono presenti istanze. Si possono evidenziare quattro canali di alimentazione verticali distanziati in maniera regolare, quindi di colore blu. In mezzo a questi canali verticali, la resistenza aumenta leggermente, come prevedibile, dando luogo a tre aree verdi verticali. In ogni caso, nella parte in basso a sinistra è presente

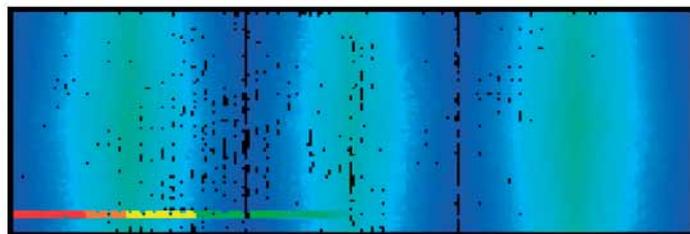
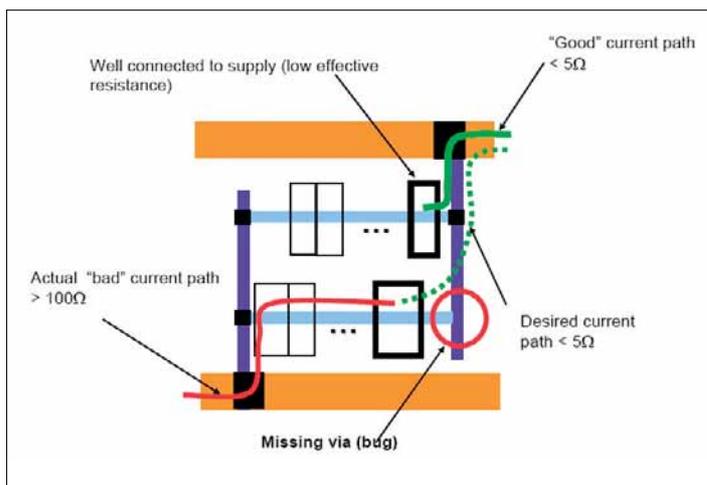


Fig. 3 – Rappresentazione termica della resistenza effettiva

Fig. 4 – Traceback relativo alla resistenza effettiva



un'area a elevata resistenza, contraddistinta dai colori arancio e rosso, che sono presenti in un paio di righe. In tutte le altre righe, dove il bordo sinistro è collegato direttamente al bus di alimentazione verticale, queste righe non appaiono. Questo problema è provo-

cato dalla mancanza di vias, dove i canali situati a sinistra e nella parte centrale a sinistra dovrebbero avere vias che li collegano alle linee di alimentazione orizzontali.

Traceback della resistenza

In alcuni casi, come quello riportato in precedenza, i motivi per cui si manifesta una resistenza elevata potrebbero risultare ovvii. In altri casi la situazione è differente. Nella verifica formale, ogni violazione di un'affermazione dovrebbe essere accompagnata da un traceback, dove i tool generano alcune informazioni che il progettista può utilizzare per esaminare il problema. Lo stesso vale per la verifi-

ca formale della griglia di alimentazione. Nella figura 4 viene riportato un esempio di traceback che può essere impiegato per comprendere il motivo di un malfunzionamento.

L'istanza relativa al lato superiore destro è collegata in maniera corretta. Il traceback per la sua corrente è mostrato dalla linea verde continua. Per contro, l'istanza sul lato inferiore destro non è collegata in maniera corretta, in quanto è assente una via. Il traceback relativo a questa istanza è evidenziato da una linea rossa. Il traceback previsto per questa istanza è segnalato dalla linea verde tratteggiata: questa strada comune esiste solo nella mente del progettista, a causa dell'assenza di vias. Per utilizzare il traceback è necessario confrontare il traceback effettivo evidenziato dal tool con il traceback di istanze vicine, definite accettabili per scoprire il problema.

Tecnologie complementari

Una volta disponibile, questo innovativo approccio per trovare i problemi legati alla distribuzione dell'alimentazione, sorge spontaneo domandarsi l'utilità di impiegare i tradizionali tool per l'analisi della tensione statica e dinamica. Potrebbe accadere che le tecniche formali possano sostituire l'analisi statica tradizionale. Ma non bisogna dimenticare che le tecniche formali relative alla griglia di alimentazione permettono di individuare e risolvere solo uno dei due problemi fondamentali che i progettisti si trovano ad affrontare.

Fondamentalmente, l'elevata caduta di tensione è prodotta o da un alto valore di resistenza o da un alto valore di corrente. Le tecniche adottate per la resistenza effettiva saranno in grado di individuare qualsiasi problema collegato alla resistenza, ma non quelli relativi alle correnti elevate.

Se una porzione della griglia di alimentazione è progettata correttamente per

un impiego di tipo generale, ma esiste un picco di corrente imputabile alla commutazione simultanea di celle ad alta intensità di pilotaggio, può ancora verificarsi un caduta di tensione istantanea in quell'area.

Un problema di questo tipo non viene rilevato mediante l'analisi statica: con una verifica formale della griglia seguita dall'analisi dinamica, il ruolo dell'analisi statica può ritenersi superato.

Tale problema può essere affrontato con tool automatici di ottimizzazione della caduta di tensione. Questi nuovi strumenti, che permettono di eliminare gli hot spot e inserire automaticamente condensatori di disaccoppiamento (decap) di dimensioni ottimizzate, possono risolvere questo problema.

Sfortunatamente, il rilevamento e le azioni correttive per questo tipo di spike di corrente dipende ancora dalla scelta del vettore. Nessun tool fornisce la soluzione ideale. Le attuali tecniche di generazione di vettori sono in grado di rilevare alcune ovvie configurazioni e generare i relativi vettori.

Un esempio è rappresentato da un bus di ampie dimensioni che attraversa il chip da un blocco all'altro. Ogni bit del bus sarà pilotato da un buffer e le porte del blocco potrebbero intenzionalmente essere in una linea retta molto densa. Come effetto collaterale, ciò potrebbe portare tutti i buffer a elevata potenza sullo stesso terminale della griglia di alimentazione locale, il che darebbe origine a una caduta di tensione di valore elevato al verificarsi di una commutazione simultanea. I tool per la generazione di vettori di tipo vectorless sono in grado di effettuare rilevamento di bus di ampie dimensioni e generare il vettore di commutazione simultaneo. Un progetto ben fatto, comunque, dovrebbe integrare tecniche di codifica del bus in modo che la commutazione simultanea non abbia a verificarsi.

Di conseguenza, anche se la verifica della griglia formale costituisce un valido ausilio nella progettazione della griglia di alimentazione, non permette di risolvere tutti i problemi. I team di progettazione devono ancora far ricorso a vettori di simulazione, o alla generazione di vettori con tecniche "vectorless" per individuare i problemi causati dalla commutazione simultanea. Una volta rilevati questi problemi, le tecniche di ottimizzazione della caduta di tensione possono essere utilizzate per risolverli.

Prospettive future

Non vi è dubbio che il progetto della griglia di alimentazione è divenuto sempre più complesso. I classici tool per l'analisi della caduta di tensione statica non sono sufficienti a evitare guasti relativamente ai processi delle ultime due generazioni. Mentre i tool per l'analisi della caduta di tensione dinamica rappresentano un ausilio nella ricerca di errori nella griglia di alimentazione, essi dipendono dai vettori, come le "vecchie" analisi di temporizzazione dinamica. Le tecniche per l'analisi della caduta di tensione di tipo "vectorless" sono in grado di generare vettori, anche se la creazione del vettore nel caso peggiore resta un problema irrisolto. Le nuove tecniche formali per la griglia di potenza possono dimostrare le affermazioni circa la griglia di alimentazione e generare il traceback del problema, proprio come i tool per la verifica formale funzionale. Mentre la verifica della griglia di potenza formale non sostituirà l'analisi dinamica, la comprensione di questa nuova tecnologia rappresenta un fattore critico per i team coinvolti nella progettazione della griglia di alimentazione.



SequenceDesign
www.sequencedesign.com