

Ambienti innovativi per la verifica e la prototipazione di progetti complessi

Zibi Zalewski
General Manager
Hardware Products Division

Chris Szczur
Technical Support Manager
Hardware Products Division

Aldec

La tecnologia di simulazione hardware embedded (HES) di Aldec permette di accelerare la simulazione mantenendo tutte le capacità di debugging di un simulatore HDL standard

Complessità e dimensioni sono le caratteristiche che oggi meglio contraddistinguono i progetti digitali. Per tale motivo, una delle esigenze più importanti per i gruppi responsabili della verifica, è la possibilità di ridurre i tempi di simulazione e verifica del progetto. Gli acceleratori hardware e gli emulatori stanno diventando strumenti fondamentali per i laboratori di sviluppo di ASIC o per i progettisti di FPGA. Le domande più frequenti che sorgono nel momento in cui si pensa al possibile utilizzo di un nuovo strumento sono sostanzialmente due: "Perché è necessario utilizzare questo tool?", "Come posso ridurre i tempi di sviluppo del progetto?"

I metodi di verifica tradizionali sono basati sull'espletamento di due fasi - la simulazione software e la prototipazione hardware, entrambe ben note e largamente utilizzate. Gli strumenti base per la simulazione software sono i simulatori HDL, mentre la prototipazione è effettuata mediante board hardware dotate di numerose interfacce esterne. Se in una situazione di progetto ideale le due

fasi appena descritte potrebbero essere sufficienti, il progetto reale è caratterizzato dalla presenza di errori che necessitano, per la loro soluzione, di numerose iterazioni attraverso le fasi di sviluppo e test. Il debug del progetto diventa quindi, dopo l'accelerazione dei tempi di simulazione, la funzionalità chiave per la verifica efficiente del progetto.

Il problema di maggiore entità nella fase relativa alla simulazione HDL è quella del tempo di simulazione, problema che viene enfatizzato al crescere delle dimensioni del progetto. Per contro i vantaggi offerti dalla simulazione HDL - funzionalità avanzate di debugging multi livello e possibilità di accesso a tutti gli elementi del progetto - sono di notevole entità. Il problema della velocità può essere (ed è) risolto attraverso la prototipazione hardware.

Il progetto, una volta implementato sulla board, lavora ad una velocità confrontabile con quella dell'applicazione reale molto più di quanto lo sarebbe in ambiente di simulazione HDL.

Ad ogni modo la prototipazione, da sola, non è in grado di risolvere completa-

mente il problema. Infatti, se il progetto evidenzia malfunzionamenti ed errori, è necessario procedere al debugging. Una soluzione potrebbe essere quella di collegare tra loro gli strumenti software ed hardware: gli svantaggi di tale metodologia sono gli alti tempi di setup e la necessità di quantità elevate di memoria per le sonde. In ogni caso, sarebbe necessario tornare al simulatore HDL per la correzione dell'errore e la verifica della sua eliminazione. Si faccia ora l'ipotesi che esista uno strumento capace di offrire un compromesso tra velocità di simulazione, capacità di debugging e verifica hardware. È possibile partire dalle seguenti condizioni iniziali:

- si colleghi una board, sulla quale è presente un FPGA, con un simulatore. Se l'interfaccia è basata sulla sincronizzazione degli eventi ci si trova ancora in presenza di un simulatore ma con una accelerazione dei tempi di simulazione dei moduli del progetto mappati sulla board di prototipazione;

- si aggiunga un canale di debugging che offra la possibilità di debug del codice RTL e dei segnali a livello di netlist, dalla

board al kernel del simulatore, ed un visualizzatore dei risultati di simulazione;

- si abbia la possibilità di effettuare il mapping incrementale dei moduli di progetto tra il simulatore e la board. Una tale funzionalità potrebbe essere particolarmente utile quando parti di progetto siano ancora in fase di sviluppo e soggette a continue modifiche nell'ambiente di editing del simulatore mentre altre parti sono pronte per essere accelerate e verificate in hardware.

Da questa combinazione si ottiene un acceleratore hardware di simulazione caratterizzato da avanzate capacità di debugging. Come mostra la figura 1 uno strumento dotato di tali caratteristiche si inserisce perfettamente tra la fase di simulazione e la fase di prototipazione, assicurando alta velocità di simulazione e ottime capacità di debugging.

Filtro per applicazioni video

Si consideri come esempio il progetto di un filtraggio video rappresentato dal diagramma a blocchi di figura 2. Il risultato che si ottiene dalla sua applicazione è uno stream video filtrato funzione dei parametri di filtro selezionati.

Questo progetto può essere suddiviso in alcuni blocchi funzionali sviluppabili e verificabili separatamente. Questa fase di progetto può essere completamente sviluppata mediante l'utilizzo di un editor HDL e di un simulatore. Una volta che il progetto arriva alla fase di integrazione, risulta evidente che la velocità di simulazione rappresenta il collo di bottiglia per un'efficiente verifica e debug del sistema. Ciò è vero specialmente nel caso di progetti di tipo multimedia o di complessi SoCs (Systems-on-a-Chip). Nel primo caso si ha la necessità di elaborare lunghe sequenze di

dati (ad esempio numerosi frame video) mentre nel secondo caso si devono eseguire complesse sequenze di test e validazione del firmware del SoC nell'ambiente hardware target dell'applicazione.

A causa di una tale complessità è facile che i test-bench falliscano o che le simulazioni necessitino di parecchi giorni per il loro completamento. A tali problematiche si aggiunge la necessità, da parte degli sviluppatori, di efficienti funzionalità di debugging per tracciare e risolvere i problemi che potrebbero nascere in fase di integrazione. Con una tale metodologia le informazioni per il debug saranno disponibili troppo tardi nel processo di verifica: ciò si traduce in un continuo cambiamento dei piani di progetto con i ritardi che ne conseguono.

Simulazione hardware embedded

Aldec affronta le problematiche e le sfide legate alle fasi di integrazione con la tecnologia di simulazione hardware embedded (HES). L'idea che sta alla

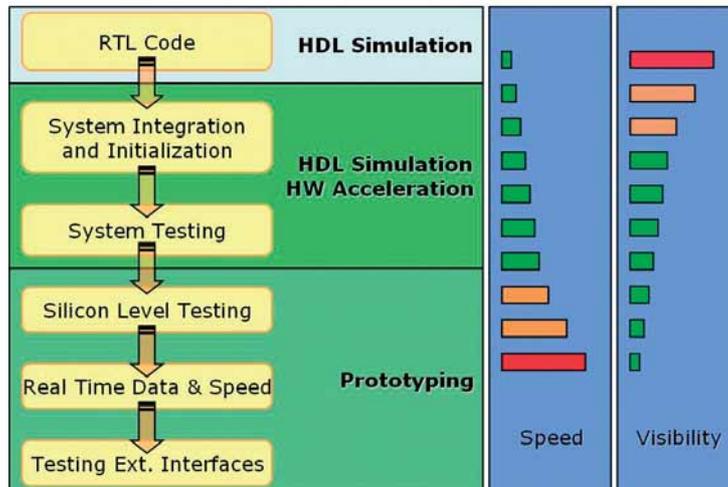
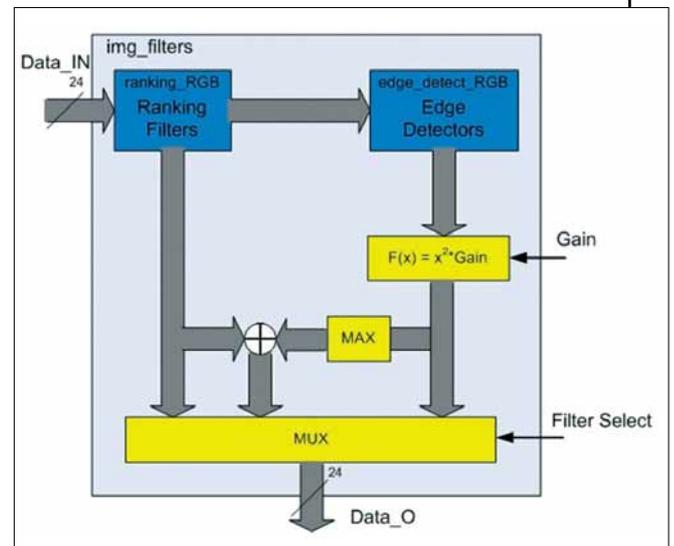


Fig. 1 - verifica di progetto e compromesso velocità/osservabilità

Fig. 2 - Diagramma a blocchi del progetto di filtraggio Video



base di tale tecnologia è ridurre il carico del simulatore, spostando alcuni blocchi del progetto sull'FPGA della board HES, che rimane connessa con il simulatore HDL come riportato in figura 3. Questo ha come risultato un'accelerazione della simulazione mantenendo tutte le capacità di debugging di un simulatore HDL standard.

Il guadagno che si ottiene, in termini di velocità di simulazione, con la soluzione di accelerazione hardware, è superiore di un fattore compreso tra 10 e le 50 rispetto a quanto si otterrebbe con una simulazione HDL pura. Il valore corretto è strettamente collegato al numero di blocchi del design totale implementato

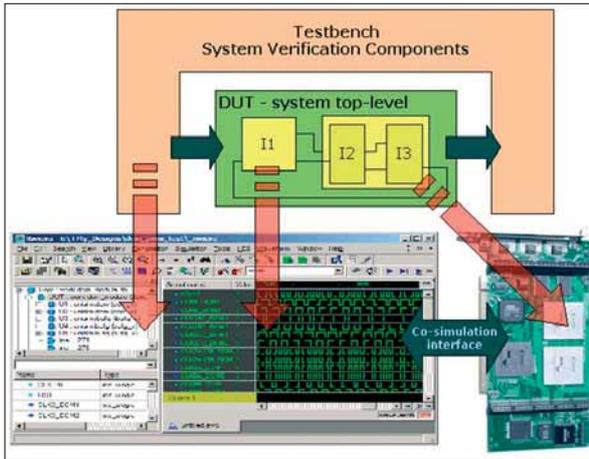


Fig. 3 - Accelerazione di simulazione con HES

sull'FPGA rispetto al numero di blocchi che viene lasciato nel simulatore. La regola è abbastanza semplice: più blocchi si implementano in hardware migliore sarà il risultato in termini di velocità di simulazione.

*Progetto di un filtro video
Benchmark di simulazione
con accelerazione hardware*

Si prenda come modello di riferimento per la verifica della metodologia di accelerazione hardware (HES) il sistema di filtraggio video rappresentato in figura 4. La verifica di tale sistema necessita il trattamento di un elevato numero di frame appartenenti a uno stream video. Il testbench legge il file AVI ed invia i

dati direttamente agli ingressi del sistema di filtraggio video. In uscita si otterrà uno stream video filtrato, funzione dei parametri di filtro selezionati, che verrà inviato ad un visualizzatore implementato direttamente nel testbench come plugin PLI.

La simulazione di un unico frame video, con un simulatore HDL standard, richiede un tempo di simulazione pari ad 1 ora. La simulazione di numerosi frame, la verifica di differenti parametri di filtro con (o senza) la funzionalità di edge detectors (rilevazione dei bordi) durerà non meno di 24 ore.

Quando tutto il codice RTL verrà implementato nella FPGA presente sulla HES Board e solo in testbench sarà presente nel simulatore, la simulazione che si effettuerà, risulterà essere 90 volte più veloce. Questo significa che un unico frame video potrà essere simu-

lato in circa 40 sec, rendendo immediatamente disponibili le informazioni necessarie per il debug e la rappresentazione video dei risultati.

Setup di progetto per accelerazione con HES

Il setup corretto del progetto per l'accelerazione hardware non è semplice se non si dispone di software di setup automatico. Molti fornitori di soluzioni di accelerazione forniscono soltanto l'hardware e, talvolta, alcune interfacce di co-simulazione, lasciando all'utente il setup del progetto.

In questi casi i benefici dell'accelerazione hardware potrebbero facilmente essere in parte annullati da una lunga e difficoltosa fase di setup.

Aldec fornisce il software di Design Verification Manager (DVM) che automatizza la fase di setup del progetto. Il DVM è totalmente integrato in Riviera e in Active-HDL ma supporta anche la maggior parte dei simulatori HDL standard. Il flusso di setup di progetto è rappresentato in figura 5.

Una volta che il progetto è disponibile e compilato nell'ambiente di simulazione potrà essere importato nel DVM. Le tre fasi fondamentali del setup del progetto sono:

- Partizionamento del progetto - in questa fase si decide quale porzione del sistema verrà implementata in hardware e quale rimarrà nell'ambiente standard di simulazione per usufruire delle funzionalità avanzate di debugging. Se la board di accelerazione è costituita da più FPGA in tale fase si partiziona il codice sui dispositivi a disposizione.

- Sintesi Logica - I blocchi RTL dovranno essere sintetizzati per poter essere portati sulla FPGA presente sulla board di accelerazione.

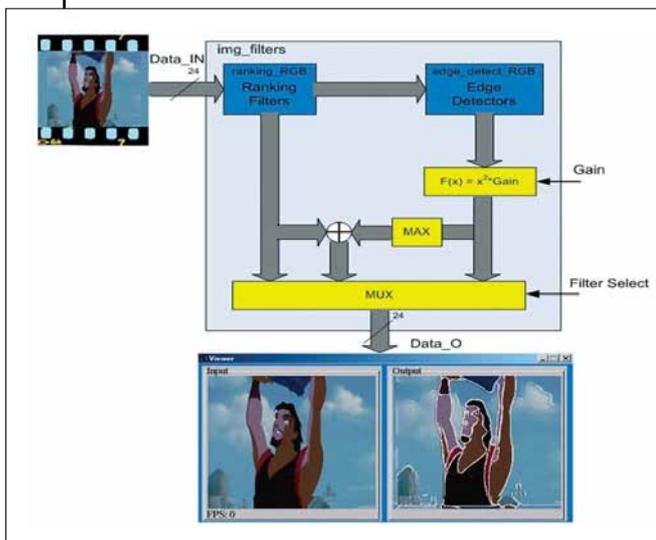


Fig. 4 - Progetto di filtraggio video con componenti del testbench

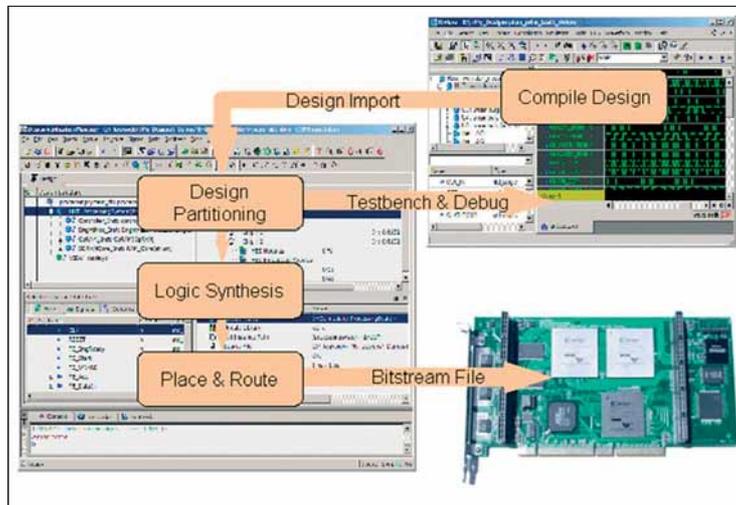


Fig. 5 - Setup di progetto per accelerazione hardware con HES

- Place & Route – in questa ultima fase viene generato il bit-stream per la configurazione dell’FPGA.

Il DVM gestirà questo flusso che integra, come evidenziato, strumenti terze parti per le fasi di sintesi logica e di place & route. L’utente potrà controllare tutte le operazioni effettuate dal DVM attraverso l’utilizzo di una interfaccia grafica (GUI) o mediante interfaccia TCL. Un’immagine del DVM durante la sua esecuzione è rappresentata in figura 6. Il software DVM è inoltre ricco di funzionalità avanzate in grado di soddisfare le diverse necessità legate alla verifica e alla peculiarità del progetto.

Le funzionalità più importanti sono:

- Funzionalità di Debugging – per la selezione dei segnali interni (a livello RTL o di netlist) dei moduli accelerati da visualizzare in simulazione. È inoltre possibile specificare l’estrpolazione dall’hardware di blocchi interi per il loro debugging.

- Gestione della Memoria – Quantità notevoli di memoria che non possono essere implementate sull’FPGA potranno essere distribuite su risorse di RAM disponibili sulla board di accelerazione HES.

- Gestione di Daughter Board (DB) – La board di accelerazione HES dispone di un connettore DB per la connessione

di una ulteriore board di tipo “off the shelf “ o “custom”.

Il DVM fornisce una semplice interfaccia per la gestione delle connessioni tra le board.

- Conversione dei Clock – Funzionalità di conversione automatica da una

descrizione di clock per ASIC (gated e divided clocks) nell’equivalente descrizione per FPGA con segnali di clock enable.

-Partizionamento Automatico – per progetti di grandi dimensioni che necessitano di più FPGA il partizionamento del codice potrà essere eseguito automaticamente.

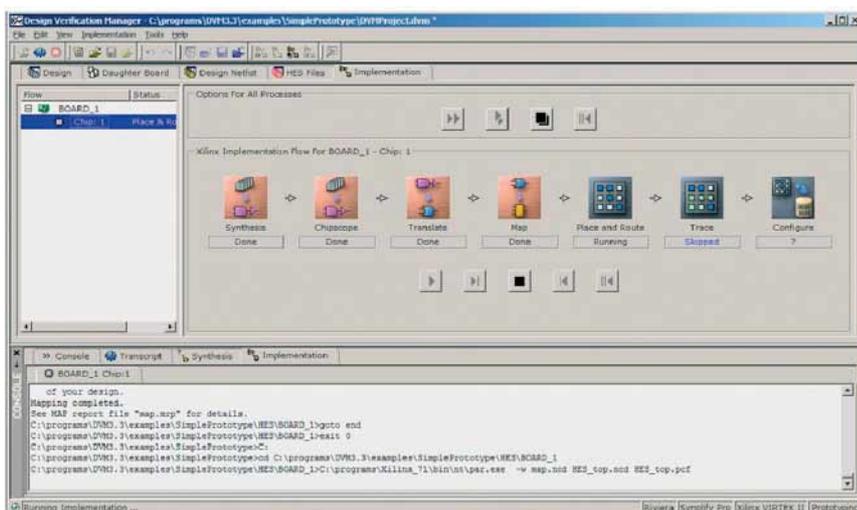
- Linguaggi HDL supportati – VHDL, Verilog, EDIF, OVA

- Funzionalità per flussi C/C++ – Interfaccia System-C, testbench in C, conversione da VHDL a C++, co-simulazione con modelli C.

La fase di verifica di progetto risulta essere un fase complessa dove strumenti differenti forniscono livelli differenti di performance (velocità) e visibilità. È essenziale, quando si considera l’intero flusso del processo di verifica, la costruzione di una catena di strumenti coerente ed efficiente, che riduca tempi e costi.

L’accelerazione hardware risponde alle necessità di simulazione e prototipazione, consentendo una simulazione veloce in ambiente hardware, mantenendo tutte le funzionalità di debug software caratteristiche della simulazione HDL standard, eliminando definitivamente mesi di verifica di progetto.

Fig. 6 - Interfaccia GUI del DVM – Flusso di implementazione e console output



Aldec (Edaway)
readerservice.it n. 30