

Una soluzione ottimizzata per il test delle memorie MCP

Kurt Gusinow
Final Test Market Development Manager
Semiconductor Test Systems Division
Agilent Technologies

Grazie all'impiego di un circuito ASIC ad alte prestazioni, Agilent è riuscita a ridurre in maniera significativa i costi di collaudo delle memorie ospitate nei package multichip (MCP) presenti in numerosi dispositivi mobile

La convergenza di telefono, multi-medialità e funzionalità PDA nei dispositivi mobili odierni, abbinate alla progressiva riduzione dei fattori di forma sta spingendo i produttori ad adottare differenti soluzioni per il packaging delle memorie.

I processori che consentono agli apparecchi telefonici odierni di funzionare come PDA, consolle di gioco portatili e televisori, richiedono memorie NAND Flash per memorizzare programmi sempre più complessi SDRAM ad alte prestazioni per garantire all'utente un utilizzo ottimale.

I package multi-chip (MCP), nei quali vengono ospitati vari tipi di memoria necessari per questi dispositivi, sono diventati uno standard per i telefoni cellulari: i modelli più recenti sono tutti dotati di almeno un MCP. L'adozione degli MCP consente ai produttori di offrire nuovi dispositivi multifunzione caratterizzati da fattori di forma ridotti. Gli MCP infatti abbinano dimensioni ridotte a offrono un formato ridotto costi contenuti e una discreta flessibilità. Dato che gli MCP contengono solo

memorie, il progetto del processore risulta indipendente dalle specifiche della memoria, fattore molto importante a causa dei rapidi cambiamenti e dei brevi cicli vita delle memorie DRAM e NAND. Mentre nel settore del packaging 3D si stanno affermando approcci quali SiP, PoP e altre tecnologie come PiP (Package-in-Package), si prevede che gli MCP continueranno a dominare il settore nei prossimi cinque anni.

La più grande difficoltà nell'adozione degli MCP è stata trovare una soluzione di test economica. Agilent è stata una società all'avanguardia nello sviluppo delle soluzioni a tale problema, al fine di stimolare l'adozione degli MCP da parte del mercato.

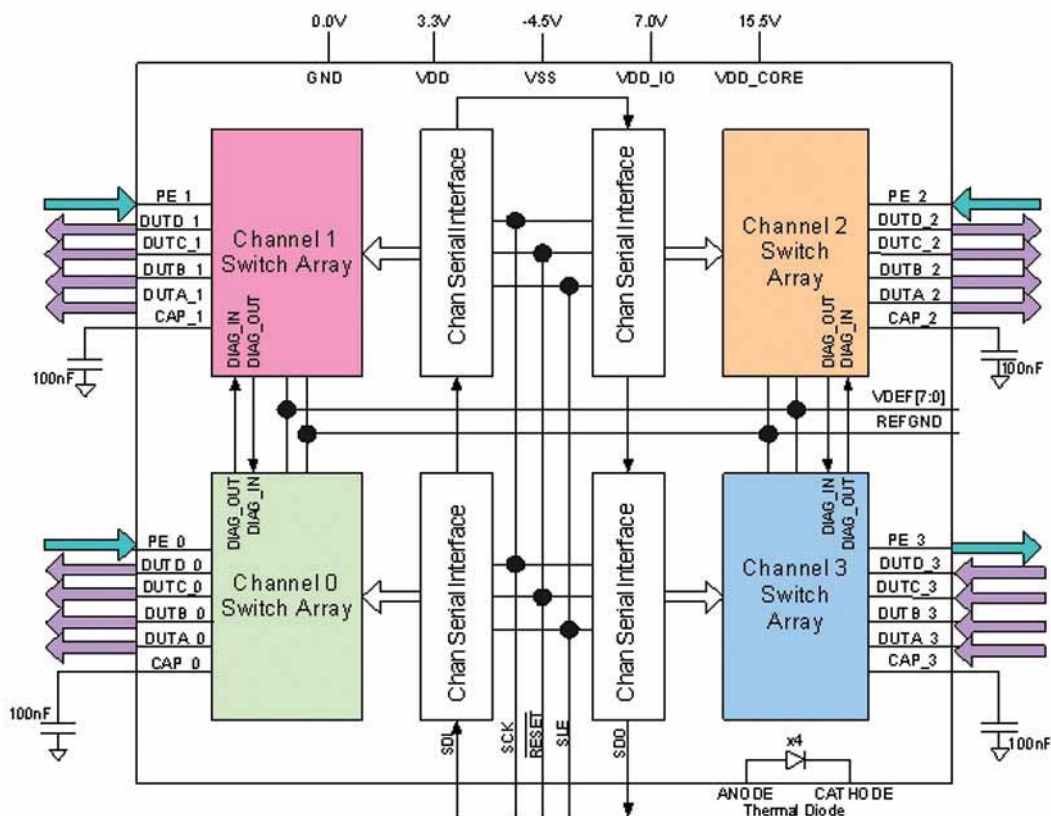
I sistemi di test standard sono inadeguati per gli MCP

I primi MCP utilizzati nei telefoni mobili erano relativamente semplici da testare. Le due memorie che li componevano, una NOR Flash e una SRAM con protocolli di indirizzamento simili, condividevano i loro indirizzi e i loro bus dati, per cui gli MCP avevano un nume-

ro di pin simile a una NOR Flash standard. Quando ai telefoni sono state richieste funzionalità aggiuntive rispetto alla semplice trasmissione della voce, i produttori hanno risposto con l'aggiunta di un processore, fatto che ha comportato il collegamento della SDRAM con un bus dalle prestazioni superiori. Di conseguenza, la NAND Flash, che si occupa della memorizzazione non volatile dei dati ad alta densità, si è dovuta "adattare" a questa situazione, utilizzando altro bus, per via delle sue prestazioni inferiori e del suo protocollo significativamente diverso. Quindi un tipico stack di queste memorie doveva potersi conformare su tre bus: un bus NOR/SRAM, un bus SDRAM a maggiori prestazioni e un bus NAND. Non sono più semplici dispositivi di memoria, i moderni MCP possono avere fino a 133 pin di segnali, compresi 66 pin bidirezionali (I/O).

L'attuale metodo standard per il test degli MCP complessi del tipo appena descritto prevede il collaudo su sistemi di test multipli. Per prima cosa, la SDRAM viene collaudata su un tester

Fig. - L'ASIC di commutazione ad alte prestazioni Kiowa



DRAM. L'MCP viene quindi trasferito su un altro tester con un'altra scheda di carico "loadboard" che connette la NOR/SRAM da testare.

Infine l'MCP viene spostato su un terzo tester, in cui ancora un'altra loadboard connette la NAND da testare.

Queste tre operazioni di inserimento hanno un impatto negativo sulla durata totale del test degli MCP, sul numero di loadboard necessarie per ogni dispositivo e sulla complessità del test, facendo aumentare il costo complessivo del test e triplicando la perdita di rendimento a causa del danneggiamento delle parti durante le operazioni di manipolazione.

Benché i tester di memoria standard riducano i costi dei test grazie alla possibilità di collaudare in parallelo quanti più dispositivi possibile, anche fino a 256 per ogni test, essi sono limitati al collaudo di dispositivi con meno di 64

pin, un numero insufficiente per i complessi MCP descritti in precedenza. Questo problema è ulteriormente esasperato nei tester DRAM, che possiedono un numero limitato di pin bidirezionali, spesso appena 9 per sito.

L'utilizzo di tester che supportino dispositivi con più di 64 pin risolverebbe il problema delle inserzioni multiple, ma, essendo i test per SRAM e DRAM molto più veloci dei test per NOR e NAND, si avrebbe uno scarso sfruttamento delle risorse dei tester.

Se le memorie debbono essere testate in modo sequenziale, le risorse connesse alle memorie non attualmente in fase di collaudo rimarrebbero inattive: ciò può significare che una media di due terzi delle risorse del tester rimangono costantemente inattive.

In entrambi questi scenari, si è costretti a pagare per risorse che per la maggior parte del tempo sono inattive.

Massimo sfruttamento delle risorse e gestione dei costi

La soluzione a questo problema di testing degli MCP, così come è stata concepita dai progettisti di sistemi di test presso la Divisione Semiconductor Test Solutions di Agilent, è stata lo sviluppo di una tecnica di interfacciamento reinstradabile implementato via software per la connessione delle risorse dei tester ai pin collaudati in una specifica fase del flusso, al fine di consentire il testing degli MCP con una sola inserzione e con elevato parallelismo, assicurando il più alto sfruttamento possibile delle risorse dei tester. Come spesso accade, le complicazioni nascono dai dettagli.

Il primo ostacolo è rappresentato dal numero totale di segnali da reinstradare. Per reinstradare quaranta segnali a uno dei quattro pin di ogni dispositivo, sono necessari 120 relé per sito. Per il

TABELLA - CONFRONTO DEI COSTI DELLE SOLUZIONI DI TESTING PER MCP

		Tester per alto numero di pin	Tester di memoria	Tutto I/O + matrice di switching
MCP a 8 die (133 pin)	n° di inserzioni	1	3	1
	n° di loadboard (≈\$100k)	1	3	1
	Parallelismo (4096 pin/head)	32	64	64
	Durata totale test	100	120	100
	Durata test/dispositivo	3,13	1,88	1,56
	Costo/Socket (senza tester)	\$ 3,125	\$ 4.688	\$ 1.563
	Sfruttamento risorse tester	33%	95%	99%
MCP a 4 die (80 pin)	n° di inserzioni	1	2	1
	n° di loadboard (≈\$100k)	1	2	1
	Parallelismo (4096 pin/head)	50	64	128
	Durata totale test	100	120	100
	Durata test/dispositivo	2,00	1,88	0,78
	Costo/Socket (senza tester)	\$ 2,000	\$ 3.125	\$ 781
	Sfruttamento risorse tester	50%	95%	99%

test di sessantaquattro dispositivi in parallelo, sono necessari 7680 relè. Non solo ciò comporta ingombri e consumi di energia davvero notevoli, ma rende tutto il sistema piuttosto inaffidabile.

I commutatori FET discreti aiutano a risolvere il problema dello spazio, ma portano con sé alcune complicazioni. Infatti, la loro capacità e i segmenti (stub) di diversa lunghezza della pista possono influenzare le prestazioni in frequenza dei dispositivi sottoposti a test. Se gli MCP fossero dotati solo di Flash, il degrado in termini di prestazioni sarebbe accettabile, ma le SDRAM per dispositivi mobili funzionano già a 133 MHz e i videogiochi su sistemi mobili certamente porteranno a prestazioni ancora superiori. Sono già disponibili FET ad alte prestazioni, ma sono piuttosto sensibili alle scariche elettrostatiche (ESD) e ciò costituisce un problema per l'affidabilità.

Al fine di risolvere molti dei problemi descritti la scelta è stata quella di puntare su ASIC ad alte prestazioni. Gli stub relativi alla lunghezza di traccia sono ridotti al minimo e si possono ottenere altissime densità di commutazione. Ad ogni modo, i lunghi tempi di commer-

cializzazione e gli elevati costi di sviluppo di tali ASIC hanno consigliato lo sviluppo di una matrice di commutazione indipendente dai dispositivi da sottoporre a test. Infatti, sarebbe proibitivo dal punto di vista economico riprogettare questa matrice per ogni singolo dispositivo. È quindi necessario un livello di interfaccia addizionale che genera nuove complicazioni per via dell'alta densità, dell'elevata affidabilità e delle prestazioni richieste dall'interconnessione. Inoltre, tutti i canali del tester devono possedere le stesse funzionalità. Diversamente, l'instradamento dalla matrice di switching al pin del dispositivo risulterebbe troppo esteso, con conseguente penalizzazione delle prestazioni e aumento della capacità del canale. La flessibilità derivata dal fatto di avere tutti i canali uguali offre anche il vantaggio di poter riutilizzare l'interfaccia specifica del dispositivo o la scheda socket. Essendo gli MCP progettati per uno specifico apparecchio mobile, non c'è corrispondenza tra la piedinatura ed un determinato package. Mentre JEDEC sta tentando di risolvere il problema mediante la stesura di standard "ad hoc", la necessità di ridurre il time-

to-market porta i fornitori a riutilizzare i progetti dei package per diversi stack. Di conseguenza, un pin M5 può essere un I/O per una NAND Flash su un MCP e può essere un pin di indirizzo per una NOR Flash su un altro MCP. Il tester deve quindi essere in grado di trasmettere un segnale di clock, di indirizzo o di I/O a tutti i pin. Se il produttore del tester ha ridotto i costi ottimizzando i canali per dare funzionalità specifiche a un certo canale, è necessario instradare il canale adeguato al pin specifico di quel dispositivo. Ogni MCP richiederà quindi una propria scheda d'interfaccia specifica. Questo costo è tanto più importante quanto più si accorciano i cicli vita dei dispositivi.

Kiowa: prestazioni racchiuse in un piccolo package

Il componente fondamentale della matrice di interfaccia programmabile di Agilent è l'ASIC ad alte prestazioni Kiowa (Fig. 1). Ognuno di questi ASIC ha la capacità di commutare otto canali di test tra sessantaquattro pin del dispositivo. Per sistamarne 1024 su ogni testhead, è stato scelto un CSP (Chip Scale Package) da 100 pin. Il bus seria-

le ad alta velocità minimizza il numero di tracce per ogni ASIC, consentendo l'adozione di una scheda meno complessa e di dimensioni ridotte.

Per ottenere le prestazioni richieste, la matrice di switching non deve aumentare in modo considerevole la capacità del percorso del segnale; una maggiore capacità rallenterebbe i tempi di salita delle memorie ad alte prestazioni, mentre molte memorie mobili a basse prestazioni non supportano linee ad alta capacità. A tal fine, la capacità della linea è stata ridotta semplificando il più possibile il percorso del segnale e utilizzando gate a bassa capacità. L'instradamento è stato implementato in modo da minimizzare la lunghezza di stub per ogni percorso di commutazione, poiché ogni stub aumenta la capacità della linea. Infine, ogni canale è stato isolato dagli altri tre canali per ridurre al minimo qualunque interferenza (crosstalk) reciproca.

A causa dell'elettricità statica che si può liberare nel momento in cui si procede all'inserimento dei componenti nello zoccolo, bisogna tener conto anche delle scariche elettrostatiche (ESD). Oltre ai diodi di blocco sui pin di messa a terra e di alimentazione, ogni canale è connesso a un condensatore da 100 nF con piccola ESR (resistenza serie equivalente) e bassa induttanza. Il minimo degrado delle prestazioni derivante dall'aumentata capacità della linea viene compensato dall'incremento dell'affidabilità del commutatore. Fornendo una capacità di commutazione equivalente a quella di 64 relè in un package piccolo e affidabile, la matrice ASIC ad alte prestazioni è un elemento fondamentale per consentire le prestazioni, in termini di commutazione, necessaria per un test economico (alto parallelismo) delle memorie MCP.

Ridurre i costi di collaudo degli MCP

L'uso di una rete di commutazione insieme a un tester corredato di tutti gli I/O migliora lo sfruttamento delle risorse durante il test degli MCP, il che assicura un maggiore grado di parallelismo e tempi di test più contenuti. La rete di commutazione consente anche il test degli MCP complessi con una sola inserzione, eliminando la necessità di progetti di loadboard multipli per ogni nuovo MCP.

L'aumento della densità continuerà a influenzare il maggiore livello di integrazione offerto dagli MCP. Visto che gli stack continuano a crescere, offrire sistemi di test economici sta diventando sempre più difficile. Come illustrato nella tabella 1, una matrice di switching può ridurre anche del 75% il costo di testing di questi dispositivi. 

Agilent Technologies
readerservice.it n. 30

SCIA



Parti per il mare. Parti per la montagna. Parti per dove vuoi. Ma solo se lo porti. Tu e il tuo amico a quattro zampe potete essere accolti in molti posti. Su amici.it trovi tutte le informazioni. E puoi anche inviare i video delle tue vacanze. Basta che l'attore protagonista sia il tuo cane. O il tuo gatto.

www.amici.it

Campagna contro l'abbandono degli animali.

in collaborazione con
 **vnu** business publications
italia