

Prestazioni potenziata per i core configurabili ARC 700

Una serie di innovazioni ha significativamente migliorato le prestazioni dei core ARC 750D che ora, grazie alle modifiche implementate, sono in grado d'interfacciare le memorie DDR2

Daniel Hansson - Project manager
Peter Hutton - VP Engineering
ARC

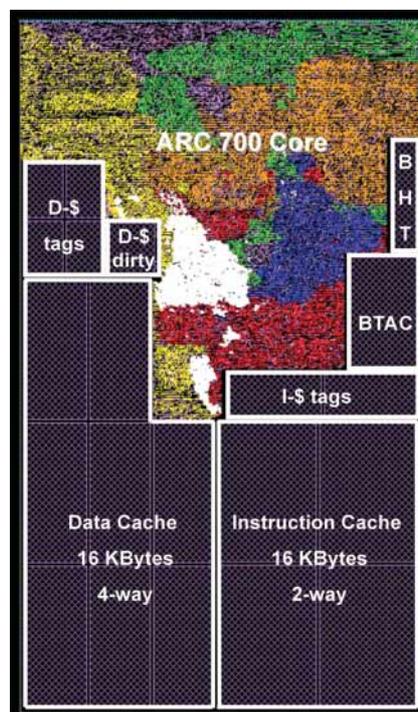
Sono state apposte ai core configurabili ARC 700 alcune modifiche che ne hanno potenziato nettamente le prestazioni. Le novità sono state decise dopo un approfondito studio sui clienti, sulle applicazioni industriali e sugli algoritmi utilizzati e i risultati hanno consentito di incrementare le prestazioni reali dei core dal 15 al 30% fino a raggiungere un massimo di 813 MIPS Dhrystone con frequenza di clock innalzata a 533 MHz. Tutto ciò mantenendo la fase di assemblaggio nello stesso generico processo produttivo in geometria di riga da 0,13 µm (Fig. 1).

La maggior velocità di clock è ora sufficiente per interfacciare le memorie di ultima generazione a doppia velocità DDR2 e, quindi, per l'intera famiglia dei core configurabili ARC si apre l'opportunità di essere utilizzabili in nuova varietà di applicazioni strategiche.

Un cuore potente

La famiglia ARC 700 incorpora un robusto motore di calcolo dotato di un efficace set di istruzioni singole con pipeline a sette stadi. Inoltre, è progettato per le esigenze dei sistemi-su-silicio (SoC) e ora ospita a bordo anche istruzioni DSP e in virgola mobile dedicate, nonché la possibilità di definire istruzioni personalizzate utilizzabili per eseguire funzioni specifiche in modo efficiente. Grazie alle numerose innovazioni inserite nei nuovi dispositivi le opzioni di configurazione, brevettate da ARC, possono ora essere sfruttate per adat-

Fig. 1 - Il core ARC 700



tare i core alle applicazioni specifiche ottenendo un'ottimale occupazione del silicio a parità di prestazioni. I core configurabili sono già stati usati in tal senso per implementare funzioni dedicate e coprocessori nei system-on-chip, ma le soluzioni tecnologiche adottate consentiranno ai nuovi core ARC 700 di essere all'altezza di soddisfare le esigenze di elaborazione più severe che necessitano di maggior velocità di calcolo, come le recenti architetture veloci realizzate da ARM e MIPS Technologies.

Ci sono numerose implementazioni preconfigurate per i core della famiglia ARC 700 che incorporano già le innovazioni introdotte. Il team di progetto ARC ha esaminato tutti gli eventi nei quali i core 700 hanno palesato blocchi di funzionamento di qualsiasi natura e ha provveduto a modificare i progetti originari in modo da eliminare ogni probabile causa, migliorando decisamente le prestazioni risultanti (Fig. 2). Il core ARC 750D (Fig. 3) incorpora la memoria cache e un'u-

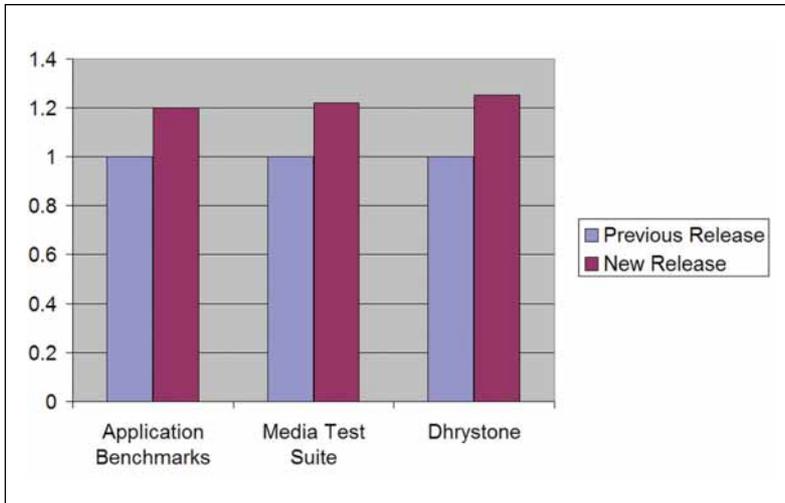
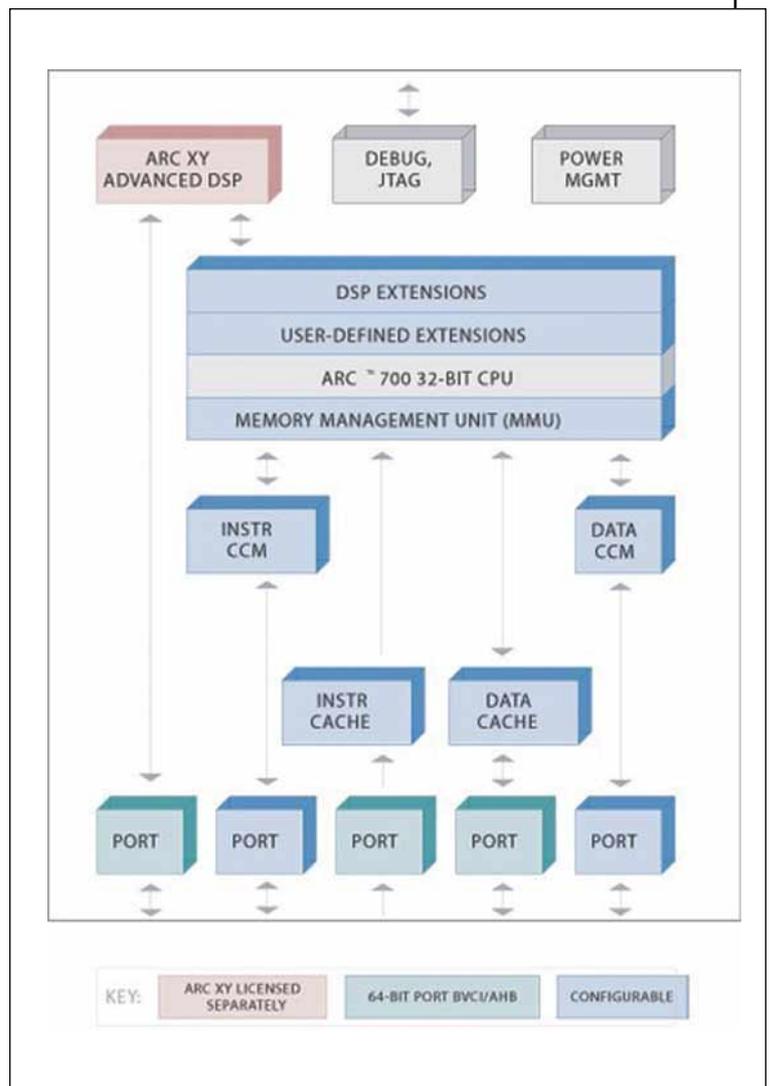


Fig. 2 - I test sulle prestazioni della versione R4.2 in confronto alla R4.1

Fig. 3 - L'architettura del core ARC 750D

nità di gestione della memoria (MMU) ad alta velocità, grazie alle quali è in grado di governare le memorie DDR con clock fino a 533 MHz. Questa facoltà è ideale per affiancare i processori host sui quali girano i sistemi operativi evoluti come Linux ed è, inoltre, indispensabile nei dispositivi SoC per applicazioni avanzate come PDA, tavole informatiche, lettori multimediali avanzati, Set-top Box e sistemi telematici per automotive. Inoltre, la possibilità di aggiungere istruzioni DSP e in virgola mobile nei core consente di implementare funzioni che prima erano gestibili solo con coprocessori stand-alone o parti hardware dedicate, le quali incidono poi sensibilmente sulle dimensioni e sui costi del SoC.

Il core ARC 725D incorpora la memoria cache, ma non la MMU e pertanto può essere usato con le memorie DDR2 solo per far girare sistemi operativi non protetti come uC Linux. Il core ARC 710D non incorpora memoria cache, ma ha una memoria specifica con interfaccia dedicata alle applicazioni embedded. Le modifiche introdotte nella versione 750D possono essere suddivise in sedici categorie, undici delle quali riguardano direttamente l'hardware e cinque il compilatore. Le modifiche introdotte alla gestione hardware delle pipeline nel core sono quelle che si ripercuotono maggiormente nel miglioramento generale delle prestazioni e che, peraltro, comportano differenze trascurabili nell'occupazione di silicio. Il core ARC 750D non ha clock dedicato per la memoria cache, ma dispone di funzioni logiche specifiche a questo scopo e misura esattamente 1,23 mm², ovvero circa il 10% in meno della versione precedente. La massima frequenza di lavoro è di 533 MHz alla quale ostenta ben 813 Dhrystone MIPS, con un consumo di potenza contenuto a 0,16 mW/MHz, significativamente inferiore a quello degli altri processori



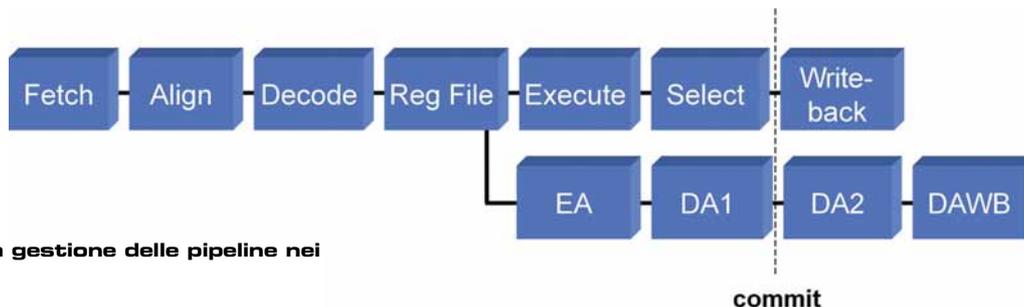


Fig. 4 - La gestione delle pipeline nei core 700

di prestazioni confrontabili. Inoltre, secondo i test EEBMC sulle prestazioni nell'esecuzione di codici applicativi, il nuovo core lavora circa il 30% più velocemente della precedente versione (vedi tabella).

Questione di pipeline

La modifica più evidente a livello hardware si nota nella gestione delle pipeline delle memorie e nell'innovativa unità di predizione BPU. In pratica, queste due modifiche producono insieme il 50% dei miglioramenti nelle prestazioni. La struttura di memoria è stata modificata con l'introduzione degli elementi Store Hit Fifo a doppia profondità che servono a creare una pausa di stallo allorché le istruzioni Store e Load richiedono simultaneamente l'accesso a un indirizzo della cache. In tal caso, il valore del registro Store viene posto nella Fifo, mentre l'accesso alla cache gli viene assegnato separatamente rispetto all'istruzione Load. Grazie alla Fifo a doppia profondità le istruzioni Load/Store possono essere gestite in successione molto velocemente, mentre la cache ha sempre il tempo di ricaricarsi. Così facendo sono evitate a priori tutte le possibili cause di stallo improprio. In pratica, se un'istruzione Load della fase DA1 chiede l'accesso a un indirizzo che ha lo stesso offset di pagina di un'istruzione Store relativa alla fase DA2, allora l'istruzione Load può essere riprocessata daccapo. Ciò significa che viene reinserita all'inizio della pipeline del processore ed eseguita di nuovo, ma questo capita raramente e, comunque, ha un modesto impatto sulle prestazioni globali.

L'altra importante modifica riguarda l'unità di predizione biforcioni BPU, Branch Prediction Unit, alla quale è stato annesso un nuovo algoritmo di predizione delle istruzioni di diramazione con una tabella di predizione doppia e con capacità associativa bidirezionale. Questo nuovo algoritmo conserva la storia delle ultime quattro istruzioni di diramazione e può così fare delle previsioni molto affidabili sulle istruzioni susseguenti, con trascurabile probabilità di commettere errori. Gli esperti ARC hanno valutato numerosi modelli pre-

dittivi, applicandoli sui codici tipici dei clienti e su codici di esempio presi da Internet finché hanno trovato il modello di previsione che dava i migliori risultati. I test hanno dimostrato che se il modello tiene conto delle ultime quattro istruzioni di diramazione, allora le previsioni sulla successiva diramazione risultano adeguatamente accurate. L'unità di predizione BPU è stata implementata a fianco a una tabella di 256 registri, doppia rispetto a prima, e con capacità associativa bidirezionale che permette al compilatore di posizionare l'istruzione di diramazione nel flusso delle istruzioni con minor rischio di conflitto.

Queste soluzioni aggiungono circa un 7% in più all'area di silicio occupata dal core, ma ne migliorano nettamente le prestazioni nell'impiego come processore host, un uso nel quale le istruzioni di diramazione sono piuttosto frequenti. Questo vantaggio è più evidente nel core ARC 750D piuttosto che nella versione embedded del core 710D. È stato cambiato anche il modulo XMAC, particolarmente utile nelle applicazioni con funzionalità DSP. Infatti, il registro ausiliario che si occupava di settare la modalità di funzionamento del MAC esigeva che la pipeline scorresse prima di ogni istruzione e ciò costituiva un problema nelle modalità che implicano la commutazione fra operazioni differenti. Ora la pipeline non scorre sempre, ma solo quando è necessario e ciò abbatte ulteriormente le probabilità di stallo nelle pipeline.

Modifiche funzionali

Altre modifiche introdotte riguardano le decisioni condizionate che prima esigevano la memorizzazione nei registri Store dei due valori di scelta. Ora i valori possono passare attraverso la pipeline e i risultati della decisione condizionata possono proseguire senza rallentamenti. Sono state cambiate anche altre funzioni come la gestione delle operazioni difficili sul moltiplicatore, le prestazioni nelle istruzioni "write-after-write" e i moduli di debug hardware. Anche se quest'ultima modifica non incide sulle prestazioni, è comunque un aggiornamento molto utile per lo sviluppo dei dispositivi SoC

IN TEMPO REALE CORE

basati sui core ARC. Prima, per innescare la modalità di debug il core doveva essere portato nello stato di Hold e, quindi, per far ciò occorreva un'apposita istruzione di Debug nella pipeline, mentre adesso lo stesso stato viene indotto con un cammino diretto che riduce drasticamente l'intrusività del debugger. Ci sono state delle modifiche anche a livello del compilatore che, in parte, riguardano l'hardware e queste modifiche sono responsabili di un aumento nelle prestazioni del 10% perché migliorano la schedulazione nelle istruzioni Load dei parametri funzionali, nonché il supporto Call-Return Stack e le istruzioni Slow Track. Queste modifiche hanno migliorato anche la schedulazione delle istruzioni condizionali, ottimizzando l'allocazione nei registri temporanei delle chiamate alle funzioni. Il compilatore, inoltre, è provvisto di un avanzato criterio di selezione per le istruzioni MPY che non usa la tradizionale moltiplicazione a somma e scorrimento (Shift Add Multiply), ma incrementa significativamente la rapidità dei confronti di uguaglianza fra due caratteri.

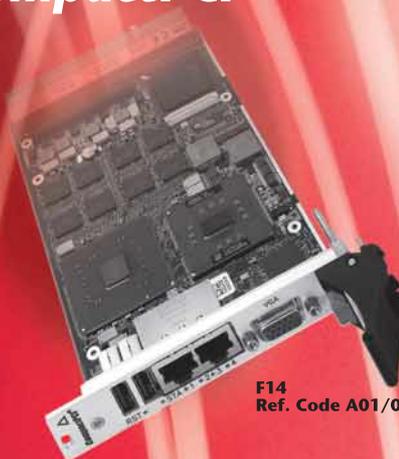
Inoltre, è stato modificato il layout del core e ciò ha consentito di rendere più accurato il clock che ora mostra un valore di skew di 150 ps che concorre a massimizzare ulteriormente le prestazioni del core. I core ARC sono stati perfezionati per usare le librerie di memorie ad alte prestazioni Virage realizzate in tecnologia da 0,13 µm e anche questo contribuisce a migliorare le prestazioni globali.

Tutte queste modifiche sono state introdotte nella famiglia di core 700 soprattutto per renderli in grado di supportare le memorie a larga banda DDR2 a tutto vantaggio del sistema operativo: i core ARC 700 ora accettano ThreadX, MQX, Java, µltron, µCLinux ed Embedded Linux. La maggior velocità permette, per esempio, ai core 750D di essere particolarmente efficienti nell'utilizzo come processori host. Le maggiori prestazioni consentono di aggiungere un maggior numero di funzionalità al core a livello software e ciò garantisce maggior flessibilità non solo nello sviluppo del sistema, ma anche in fase di aggiornamento. Infine, grazie alle nuove istruzioni DSP e in virgola mobile si possono implementare funzionalità più evolute nei core, aumentandone le prestazioni e al tempo stesso diminuendo costi e complessità, dato che non c'è più bisogno di coprocessori o blocchi hardware ausiliari. 

ARC International
readerservice.it n. 7

men
mikro elektronik

PCI-Express® Pentium® M 1..2GHz CompactPCI®



F14
Ref. Code A01/06

www.mennews.info

- Single slot 32-bit CompactPCI system master or stand-alone
- PCIe 2 x1 to 2 Gigabit Ethernet
- PCIe 2 x1 to side card
- 1 VGA / 2 DVI connections for display on 3 screens
- 8 USB 2.0 for universal periphery
- Audio AC'97
- 2 GB fast DDR2 DRAM
- 2 SATA for fast mass storage
- CompactFlash and 1.8" hard disk
- Functions available via front panel, different side cards and rear I/O
- Linux, Windows®, VxWorks®, QNX®

- For rugged environments:
 - 40 to +85°C screened
 - with Celeron® M373 1GHz,
 - passive heat sink, DRAM soldered,
 - prepared for conformal coating

RoHS
COMPLIANT
2002/95/EC

RTS 14th edition
19th edition
EMBEDDED SYSTEMS 2006

We are exhibiting: stand F26

MEN Mikro Elektronik SA
18 rue René Cassin
F - 74240 GAILLARD
Tel. +33 450 955 312
Web : www.men-france.fr
Email : info@men-france.fr

readerservice.it n.14718