

## VALUTAZIONE DELL'EFFICIENZA DI CONVERSIONE MEDIANTE LA FIGURA DI MERITO

Mark Holdaway  
Direttore marketing di prodotto  
Signal Technologies

*Nel settore dei convertitori A/D, le architetture delta-sigma di ultima generazione si stanno imponendo nei confronti delle tradizionali strutture pipeline: per effettuare una valutazione concreta è possibile utilizzare la FOM (Figure of Merit - figura di merito), indicata da IEEE come metodo di confronto oggettivo per determinare l'efficienza delle architetture di conversione*

La stima della qualità del progetto di un convertitore A/D prescindendo dall'architettura non è certamente un compito agevole. La dissipazione di potenza è un parametro importante. In ogni caso il punto di partenza per un nuovo progetto di ADC è solitamente rappresentato dai vincoli imposti da una specifica applicazione, dove le richieste a livello di sistema, in termini di ampiezza di banda del segnale, rapporto tra segnale e rumore o range dinamico libero da spurie (SFDR) sono sicuramente elementi determinanti. Al fine di fornire un riferimento utile per confrontare i differenti approcci architetture IEEE ha deciso di utilizzare la figura di merito (FOM - Figure of Merit). Questo approccio, molto semplice, prende in considerazione l'efficienza energetica del convertitore rispetto all'ampiezza di banda del segnale desiderata o la velocità di campionamento e la risoluzione effettiva che il dispositivo è in

grado di fornire. La figura di merito è descritta dalla formula seguente:

$$FOM = \frac{\text{Potenza}}{2^{ENOB} \times f_{\text{sample}}}$$

dove ENOB è dato da:

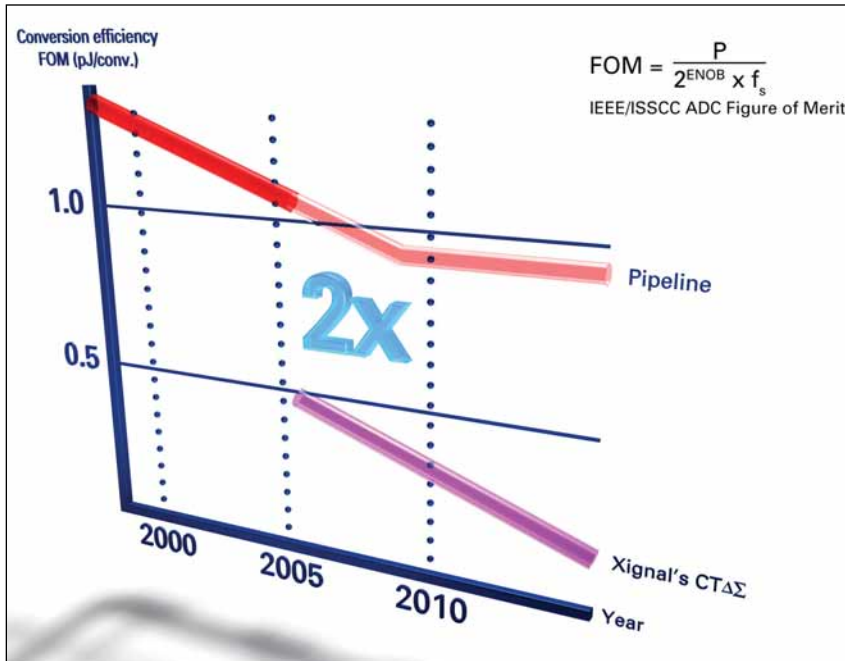
$$ENOB = \frac{(\text{SINAD} - 1,76)}{6,02}$$

I principali vantaggi di questa equazione derivano dal fatto che essa può essere calcolata velocemente a partire da un numero ridotto di parametri del convertitore A/D e utilizzata per la valutazione della prestazione relativa tra differenti approcci di progettazione. L'inclusione del numero effettivo di bit (ENOB) nella formula consente di tener conto della distorsione introdotta dal convertitore. L'impiego dell'equa-

zione che fornisce la figura di merito per i convertitori A/D ad alta velocità permette di ottenere un'ampia gamma di valori compresi tra 1 e 6 pJ/conv (picoJoule x conversione). La tabella 1 riporta il confronto tra vari dispositivi che si differenziano in termini di risoluzione e velocità di campionamento.

Tutti i dispositivi presi in considerazione, ad eccezione dei due finali, sono convertitori di tipo pipeline. Questa architettura rappresenta un compromesso accettabile grazie al quale è possibile assicurare livelli di risoluzione medi a fronte di elevate velocità di campionamento (> 5 MHz).

L'idea che sta alla base di tale architettura è rappresentata dal fatto che la suddivisione di una singola conversione su un insieme di conversioni flash a più bassa risoluzione eseguite in modalità pipeline permette di ridurre il numero di comparatori richiesti (con una conseguente diminuzione del consumo di potenza) a



**Fig. 1 – Confronto tra l'efficienza di conversione dei convertitori A/D realizzati con architetture di tipo delta-sigma a campionamento continuo (CT $\Delta\Sigma$ ) e pipeline**

fronte di un'elevata risoluzione. Il funzionamento dei convertitori A/D di questo tipo si basa sul fatto di assicurare che il segnale di ingresso venga campionato e mantenuto una volta con un livello maggiore di  $\pm 0,5$  (LSB – Least Significant Bits) durante un periodo del segnale di ingresso.

Per tale motivo è necessaria la presenza di un amplificatore SHA (Sample/Hold Amplifier) a elevate prestazioni in grado di effettuare l'assestamento in tempi estremamente ridotti. A livello di regola empirica, si può affermare che l'amplificatore S/H richiede un'ampiezza di banda superiore di un fattore compreso tra 5 e 7 rispetto a quella del segnale di ingresso analogico desiderato, il che si traduce in un consumo di potenza considerevole.

La potenza dissipata dai circuiti digitali è una funzione della velocità di commutazione e della dimensione della capacità di gate relativa a ogni commutatore attivo. La continua riduzione delle geometrie comporta una diminuzione della capacità di gate, il che consente una maggiore velocità di commutazione in presenza di tensioni di alimentazione

inferiori. Livelli di tensione più contenuti tendono a ridurre la soglia dinamica connessa al rumore termico intrinseco nel sistema. Senza dimenticare che tensioni di valore ridotto portano a un peggioramento della linearità all'interno del sistema di commutazione che presiede al trasferimento della carica all'interno dell'amplificatore S/H, un dispositivo che di per se stesso evidenzia vincoli a livello di prestazioni. Quindi i progettisti che intendono sfruttare architetture pipeline di solito sono restii a utilizzare processi dell'ultima generazione. Un convertitore A/D dovrebbe garantire un intervallo di ingresso utile compreso tra 1 e 2 Vpp. Nel caso di processi CMOS da 180 nm, il valore della tensione di alimentazione risulta pari a 1,8 V, fatto questo che impone un limite superiore sull'oscillatore dell'ingresso che si aggira attorno a 1,6 Vpp. Riduzioni ulteriori potrebbero comportare l'uso di circuiti esterni per il condizionamento dei segnali, con conseguenti penalizzazioni in termini di costi e di consumi.

Nel grafico di figura 1 vengono riportati i progressi in termini di FOM, dell'architettura pipeline rispetto a quella di

$\Delta\Sigma$  di tipo continuo messa a punto da Xignal della quale si parlerà più avanti: dal grafico si evince che nel volgere di pochi anni non sarà possibile migliorare ulteriormente la figura di merito dei convertitori pipeline.

I convertitori A/D che adottano la tecnica delta-sigma ( $\Delta\Sigma$ ) utilizzano un metodo di conversione differente. Nel caso più semplice, come quello riportato in figura 2, viene impiegato un solo comparatore in un sistema con anello di retroazione. Il segnale di ingresso è campionato da un quantizzatore (che in questo caso è un semplice comparatore) a una velocità di campionamento notevolmente superiore rispetto a quella dei convertitori operanti alla frequenza di Nyquist (pipeline). In questi ultimi la velocità di campionamento minima teorica è pari a due volte la frequenza del segnale di ingresso. Nel caso di dispositivi di tipo delta-sigma, la velocità di sovracampionamento (OSR – Over Sampling Rate) può variare in un range superiore anche di parecchie centinaia di volte. La velocità di sovracampionamento è definita dalla formula  $OSR = f_s / 2x f_{BW}$  dove  $f_s$  è la frequenza di campionamento del modulatore e  $f_{BW}$  è l'ampiezza di banda del segnale di interesse. Nel processo di sovracampionamento si esegue la media del segnale di ingresso prendendo in considerazione parecchi campioni: in questo caso è possibile ridurre il rumore di quantizzazione in

quanto esso viene disperso su un'ampiezza di banda più ampia ( $f_s/2$ ).

Il rumore di quantizzazione generato dal quantizzatore viene rimodellato (noise shaping) dal filtro di anello che opera congiuntamente con l'anello di retroazione. Il sistema di retroazione è progettato in modo che la maggior parte del rumore sia esterno alla frequenza della banda base di interesse. L'uscita del modulatore è rappresentata da un flusso di bit a elevata velocità. Esso è convertito in un campione alla velocità di campionamento desiderata mediante un filtro di decimazione digitale che può essere interno oppure esterno al modulatore.

I convertitori A/D di tipo  $\Delta\Sigma$  garantiscono una maggiore flessibilità, in quanto il progettista può decidere l'entità del sovracampionamento e l'ordine del filtro di anello analogico, oltre a poter aumentare la risoluzione del quantizzatore. Ciò consente un incremento del range dinamico ben superiore rispetto al valore di 1,5 dB/decade ottenibile semplicemente raddoppiando la velocità di campionamento. Con gli attuali

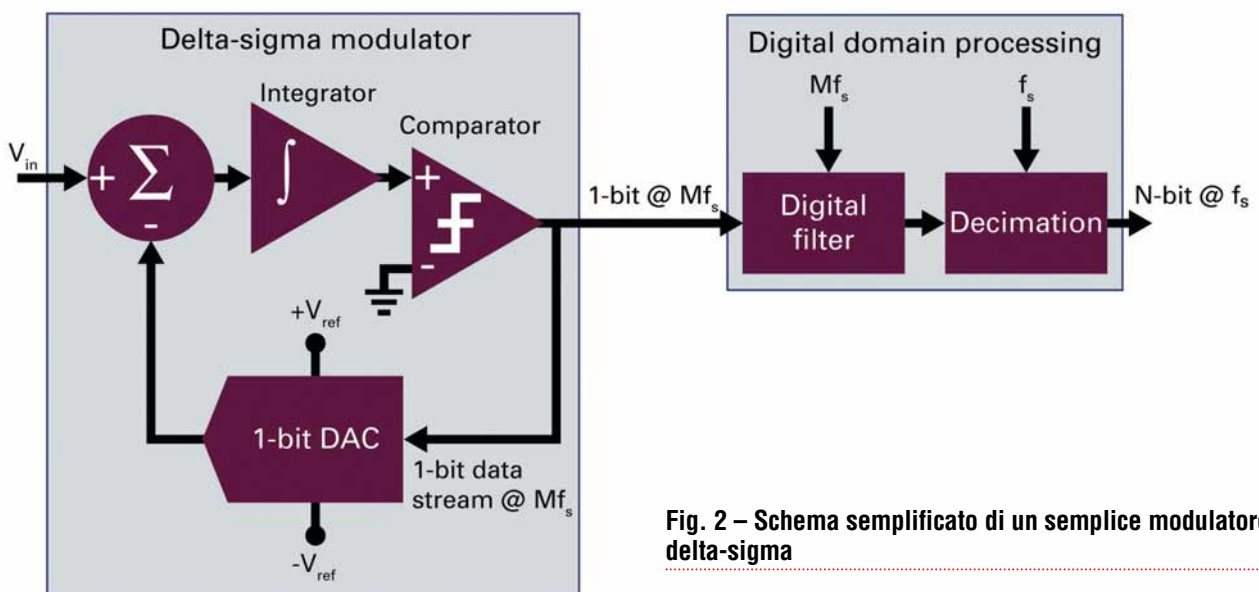
processi CMOS è possibile ottenere frequenze di campionamento anche superiori a 3 GHz. Si provi a immaginare se questa velocità intrinseca si potesse sfruttare in un progetto di un convertitore A/D mixed signal. In effetti questo è già avvenuto con i convertitori A/D delta-sigma. In questo contesto risulta di particolare interesse una categoria di modulatori delta-sigma, quelli di tipo continuous-time (CT $\Delta\Sigma$ ), ovvero a campionamento continuo. Per dispositivi di questo tipo, come riportato in figura 1, è previsto negli anni a venire un notevole miglioramento in termini di FOM.

Un convertitore di tipo CT $\Delta\Sigma$  non necessita di amplificatori S/H in ingresso, per cui non è prevista la presenza di commutatori e circuiti ad assestamento veloce. In questo modo vengono eliminati sia la dissipazione di potenza degli amplificatori S/H sia i problemi di linearità connessi alla necessità di ricorrere a tensioni di basso valore. Il progetto, quindi, può seguire l'evoluzione della tecnologia CMOS. L'ingresso al modulatore è una massa virtuale, per cui il range d'ingresso non è limitato dai ter-

minali di alimentazione. L'aggiunta, in ingresso di opportuni resistori permette di ottenere un intervallo di ingresso ben superiore rispetto a quello richiesto dalla maggior parte delle applicazioni. I convertitori A/D di tipo CT $\Delta\Sigma$  non richiedono filtri anti-aliasing mentre l'elevata immunità alle interferenze e al rumore fuori banda è una caratteristica intrinseca che permette di semplificare il progetto del front end.

### I primi prodotti

Il capostipite della nuova serie di convertitori CT $\Delta\Sigma$  è rappresentato dal dispositivo XT11400 di Signal Technologies. Come si può dedurre dalla tabella 1, questo convertitore dissipa solo 70 mW, un valore pari alla metà di quello del dispositivo concorrente più prossimo. Aspetto ancora più importante, XT11400 integra un PLL di precisione per la generazione del clock di campionamento. Il convertitore CT $\Delta\Sigma$  non rende disponibile un'ampiezza di banda eccessiva (fattore cui è attribuibile parte del suo successo) per cui il suo impiego non è vantaggioso nelle applicazioni di



**Fig. 2 – Schema semplificato di un semplice modulatore delta-sigma**

**TABELLA 1 – CONFRONTO TRA I VALORI DI FOM OTTENIBILE CON LE DIVERSE ARCHITETTURE DI CONVERSIONE A/D**


Topologia di conversione	Risoluzione	Velocità di campionamento	Valore di FOM tipico
Flash	Fino a 8 bit (tipico)	Diversi GHz	VP1058 – Zarlink, 8 bit, ADC a 25 MSPS Stato: obsoleto (incluso solo per ragioni di confronto) FOM: 259 pJ/conv
Folding/interpolazione	Da 6 a 10 bit	Fino a 1 GHz	ADC81000 – National Semiconductor, 8 b, 1000 MSPS Stato: produzione FOM: 13,1 pJ/conv
Pipeline	Da 10 a 16 bit	Da 5 a 150 MHz	ADS5421 – TI, 40 MBPS, Stato: produzione FOM: 5,5 pJ/conv AD9244-40 – Analog Devices, 14 bit, 40 MSPS Stato: produzione FOM: 2,78 pJ/conv MAX1260 – Maxim, 12 b, 40 MSPS Stato: produzione FOM: 2,54 pJ/conv LT2247 – LTC, 14 b, 40 MSPS Stato: produzione FOM: 1,05 pJ/conv
$\Delta\Sigma$ tradizionale (Tempo discreto)	> 16 bit	Da 200 kHz a 1 MHz	ADS1605 – TI, 16 b, 5 MSPS Stato: produzione FOM: 10,7 pJ/conv
CT $\Delta\Sigma$ Avanzata	Da 10 a 16 bit	Da 1 a 100 MHz	XT11 – Xignal Technologies, 14 b, 40 MSPS Stato: produzione FOM: 0,4 pJ/conv Con PLL e clock

sottocampionamento. In ogni caso, il dispositivo può raggiungere velocità di campionamento fino a 125 MHz con una risoluzione di 12 bit.

La cifra di merito ha fatto registrare miglioramenti quantificabili in circa 1,5 ENOB ogni 8 anni. Un uso improprio di questo parametro può indurre a pensare che esso non tenga conto di tutte le fonti di dissipazione di potenza di un convertitore A/D. Spesso si prende in considerazione solo il nucleo centrale del convertitore, escludendo altri com-

ponenti fondamentali per il funzionamento del convertitore stesso, come ad esempio la sorgente della tensione di riferimento. I consumi attribuibili ai driver di uscita possono essere indicati per condizioni di carico non realistiche, oppure il FOM può essere “gonfiato” utilizzando la massima velocità di campionamento con il miglior valore del SINAD ottenibile con una velocità di campionamento più bassa. Infine, il valore di questo indicatore può essere diminuito indicando i consumi in assen-

za di fenomeni di commutazione delle uscite, una situazione che difficilmente si presenta in realtà.

Se si tiene conto di questi aspetti e si comprende la vera natura del FOM, è possibile avere un quadro obiettivo dell'efficienza di conversione dei diversi convertitori A/D. 

**Xignal Technologies**

[www.xignal.com](http://www.xignal.com)