

APPLICAZIONI DSP NELLE FPGA VIRTEX-4

Mariano Severi

I dispositivi FPGA Xilinx della serie Virtex-4 consentono di realizzare sistemi DSP a elevate prestazioni grazie all'utilizzo dei moduli hardware XtremeDSP

Negli ultimi anni il mercato è stato caratterizzato dalla nascita di nuove applicazioni soprattutto nell'ambito dei sistemi multimediali, grazie alla diffusione su larga scala delle nuove tecnologie informatiche.

In molti casi, tuttavia, la complessità computazionale degli algoritmi è cresciuta oltre le capacità di calcolo dei tradizionali DSP.

Tale tendenza ha determinato, come mostrato schematicamente in figura 1, la creazione di un gap di prestazioni che

rappresenta una limitazione significativa in molti sistemi. I dispositivi FPGA Xilinx della serie Virtex-4 sul mercato sembrano rappresentare in questo senso una interessante soluzione consentendo la realizzazione di funzioni DSP a elevate prestazioni grazie all'utilizzo dei moduli hardware XtremeDSP. Nell'articolo in particolare sono descritte le caratteristiche principali di questi moduli e un esempio di realizzazione di filtri FIR mediante architetture semi-parallele.

I moduli XtremeDSP

I moduli XtremeDSP - più semplicemente indicati in seguito come DSP48 tile - sono blocchi ASMBL (Application Specific Modular Blocks) riconfigurabili in grado di realizzare in hardware funzioni complesse per l'elaborazione digitale dei segnali.

Ogni modulo consiste di due strutture - denominate DSP48 slice - connesse in cascata. La figura 2 ne riporta uno schema architeturale di principio.

I dispositivi Virtex-4 integrano da 32 (nel modello XC4VFX12) fino a 512 (nel modello XC4VSX55) slice DSP48. Ognuna di queste consiste di un moltiplicatore con due ingressi (indicati in figura come A e B) a 18-bit connesso in cascata a tre multiplexer (X, Y e Z) a 48 bit e a un sommatore/sottrattore con tre ingressi a 48 bit. La rappresentazione utilizzata per gli interi è quella in complemento a due; le due porte A e B possono essere concatenate per estendere

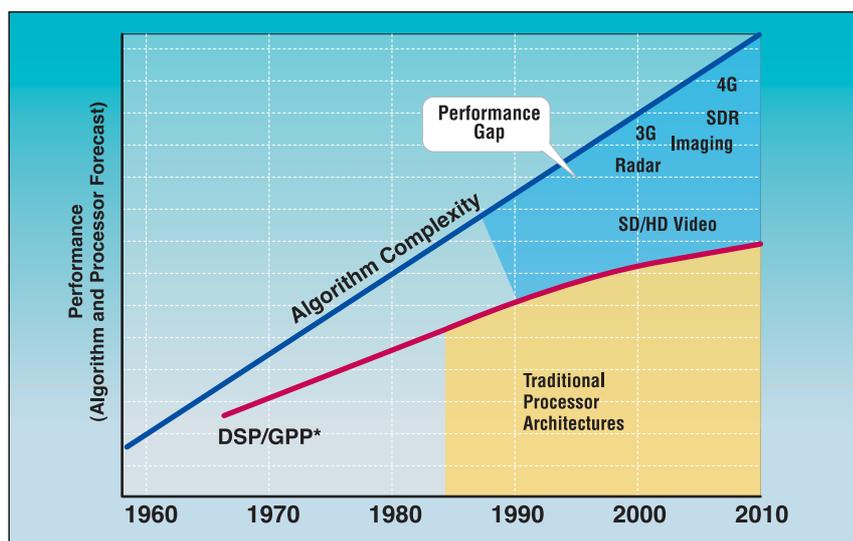


Fig. 1 - Il gap di prestazioni dei tradizionali DSP

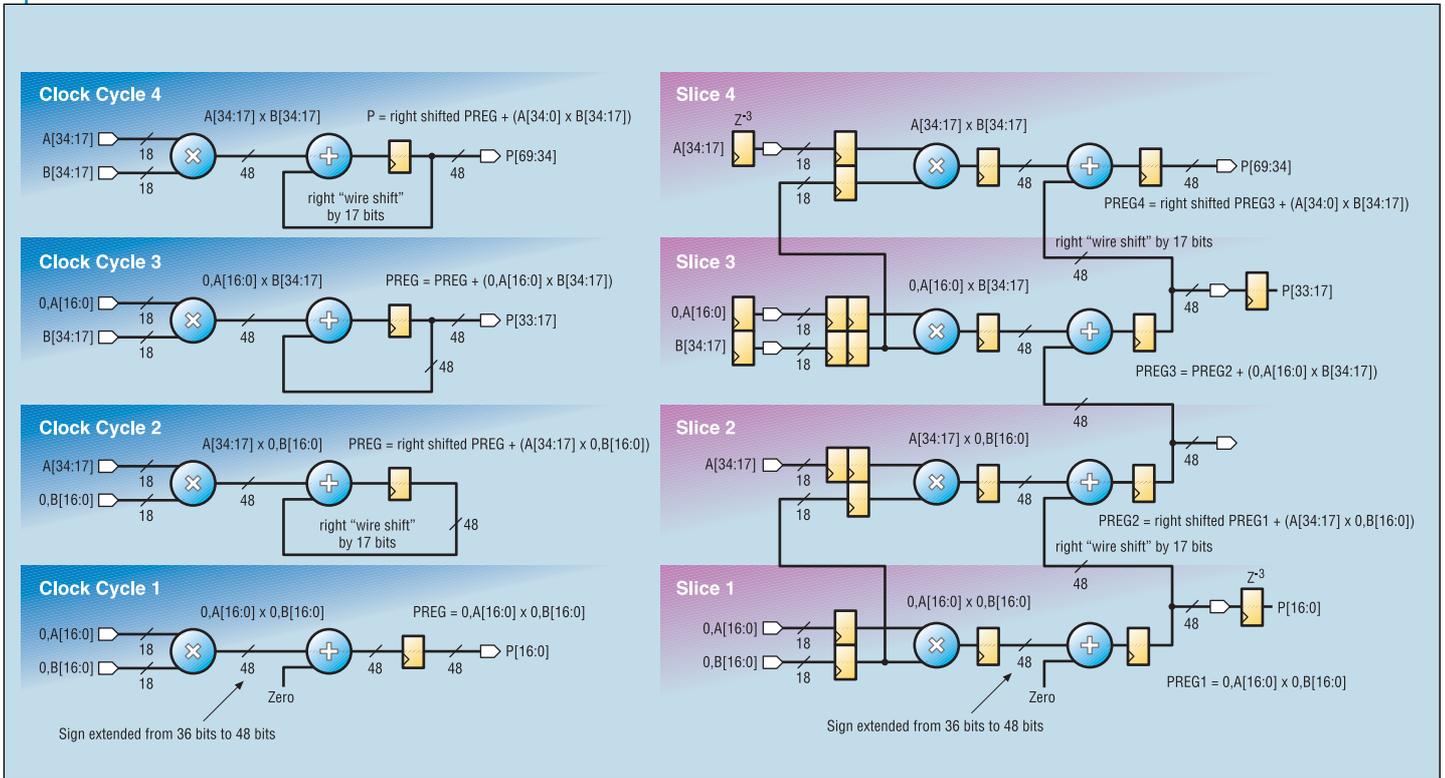


Fig. 3 - Esempi di realizzazione di moltiplicatori 35x35: architettura single-slice (a) e pipelined (b)

queste strutture grazie alla disponibilità, come discusso in precedenza, di sommatore e moltiplicatori embedded e alla presenza di risorse di routing dedicate per la logica di riporto. In generale, esistono diverse architetture per realizzazione dei filtri; queste

includono strutture parallele, sistoliche o semi-parallele. La scelta della soluzione più adeguata alla particolare applicazione dipende da diversi fattori tra i quali, prevalentemente, la frequenza di campionamento del canale in ingresso e il numero di coefficienti del filtro; la

figura 4 riporta in grafico in cui sono evidenziate le aree (in funzione di tali parametri) in cui le diverse soluzioni risultano più convenienti

Nella maggior parte delle applicazioni tipiche, in particolare, la soluzione più diffusa è rappresentata dalle architetture semi-parallele in quanto consentono di ottenere il compromesso migliore tra prestazioni e occupazione di risorse. Un parametro importante in questo caso è rappresentato dal numero di moltiplicatori utilizzati, il quale definisce il grado di parallelismo intrinseco della architettura. Tale parametro è legato alle caratteristiche del filtro e alla frequenza di funzionamento interna dalla relazione seguente:

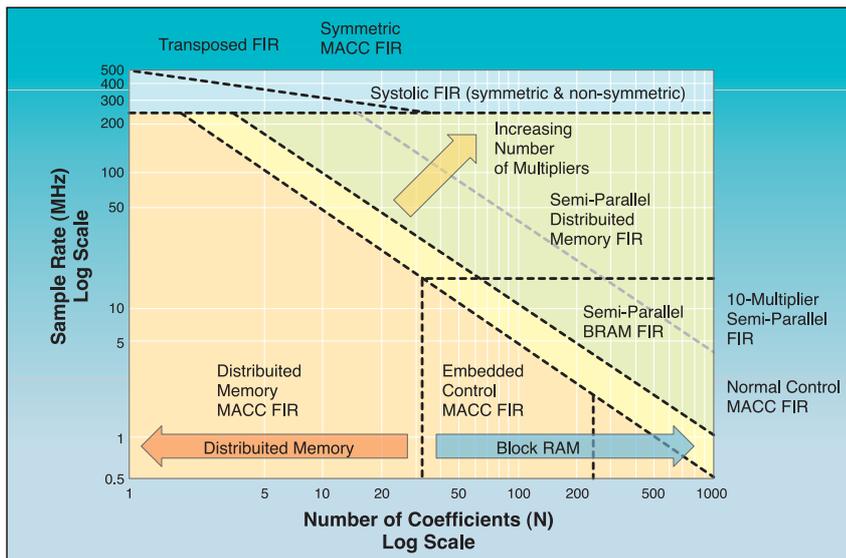


Fig. 4 - Parametri di scelta tra diverse architetture per filtri FIR

$$\text{numero di moltiplicatori} = \frac{\text{frequenza di campionamento} \times \text{numero di coefficienti}}{\text{frequenza di clock}}$$

Nel caso dei dispositivi FPGA Virtex-4, in particolare, l'elevata frequenza di funzionamento dei tile DSP48 e la possibilità di connettere in cascata diversi moduli utilizzando le risorse di routing dedicate consente di realizzare mediante strutture semi-parallele filtri FIR a elevate prestazioni e con ridotta occupazione di area. La figura 5 mostra ad esempio un'architettura per la realizzazione di un filtro a 16 coefficienti basata su quattro moltiplicatori. Utilizzando una frequenza di funzionamento interna di 450 MHz si è in grado di sostenere un sampling rate del canale in ingresso fino a 112,5 MSPS.

Come mostrato in figura, vengono impiegate quattro slice DSP48 per il calcolo dei prodotti; ogni slice contiene inoltre un sommatore connesso in cascata al precedente per il calcolo delle somme parziali. In questo modo, la somma dei prodotti viene realizzata mediante una architettura sistolica piuttosto che ad albero; questa si adatta meglio alla struttura dei tile DSP48, riducendo il numero di slice occupate e

consentendo di raggiungere frequenze di funzionamento più elevate.

Una quinta slice DSP48 viene infine utilizzata per realizzare l'accumulatore per il calcolo del risultato del filtro; il periodo di aggiornamento dei campioni in uscita è di 4 cicli di clock.

Al termine di ogni periodo l'accumulatore viene resettato modificando dinamicamente l'OPMODE della slice DSP48 corrispondente.

I campioni consecutivi del segnale in ingresso sono contenuti in quattro buffer connessi in cascata e realizzati

mediante i registri SRL16E disponibili all'interno delle CLB dei dispositivi Virtex-4. Tali registri consentono di accedere singolarmente a ogni ciclo di clock ai campioni contenuti al loro interno; mediante un opportuno segnale di controllo permettono inoltre di scorrere di una posizione il buffer. Ogni registro ha una profondità di quattro campioni; pertanto ogni CLB può realizzare fino a due registri parallelamente. I coefficienti del filtro sono invece memorizzati in quattro ROM realizzate utilizzando tipicamente le LUT delle singole CLB. La

Tabella 1 - Occupazione di risorse per alcuni tipi di filtri

| Filtro digitale | Occupazione di risorse | OPMODE |
|------------------------------|------------------------|---------|
| multichannel FIR | n DSP slices, n RAM | static |
| FIR multicanale | n DSP slice | static |
| Direct Form | n DSP slices | static |
| Transposed Form FIR | n DSP | static |
| Systolic Form FIR | n DSP | static |
| Polyphase Interpolator | n DSP, n RAM | static |
| Polyphase Decimator | n DSP, n RAM | dynamic |
| CIC Decimation/Interpolation | 1 DSP slice per stage | static |

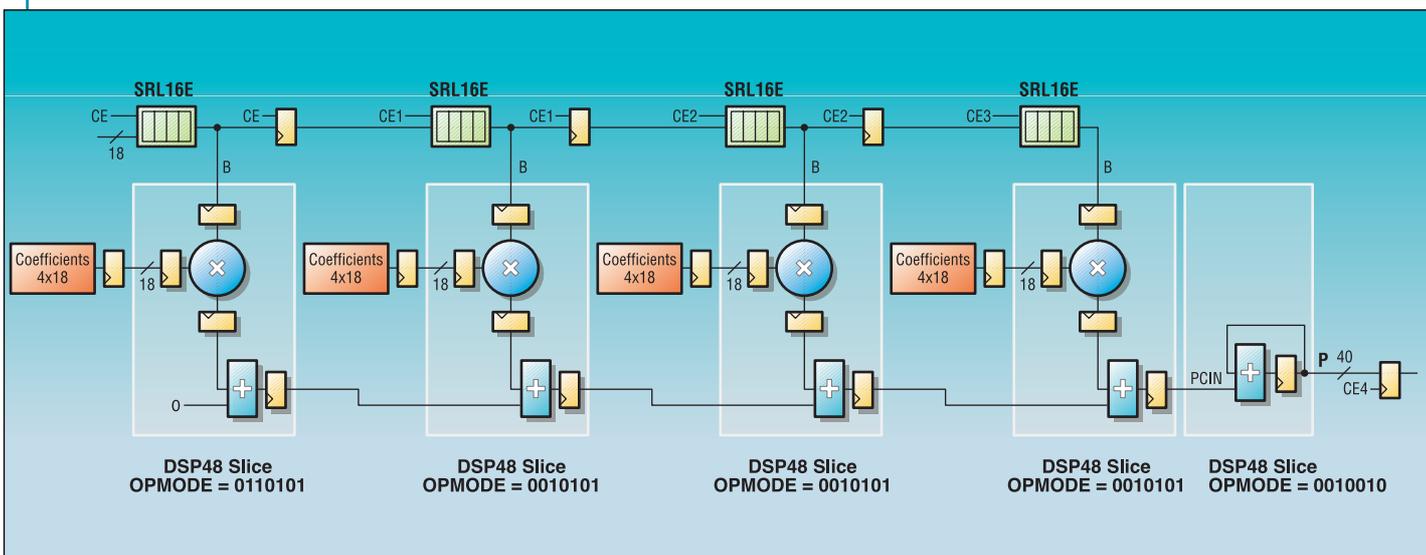


Fig. 5 - Esempio di realizzazione di un filtro FIR mediante architettura semi-parallela sistolica

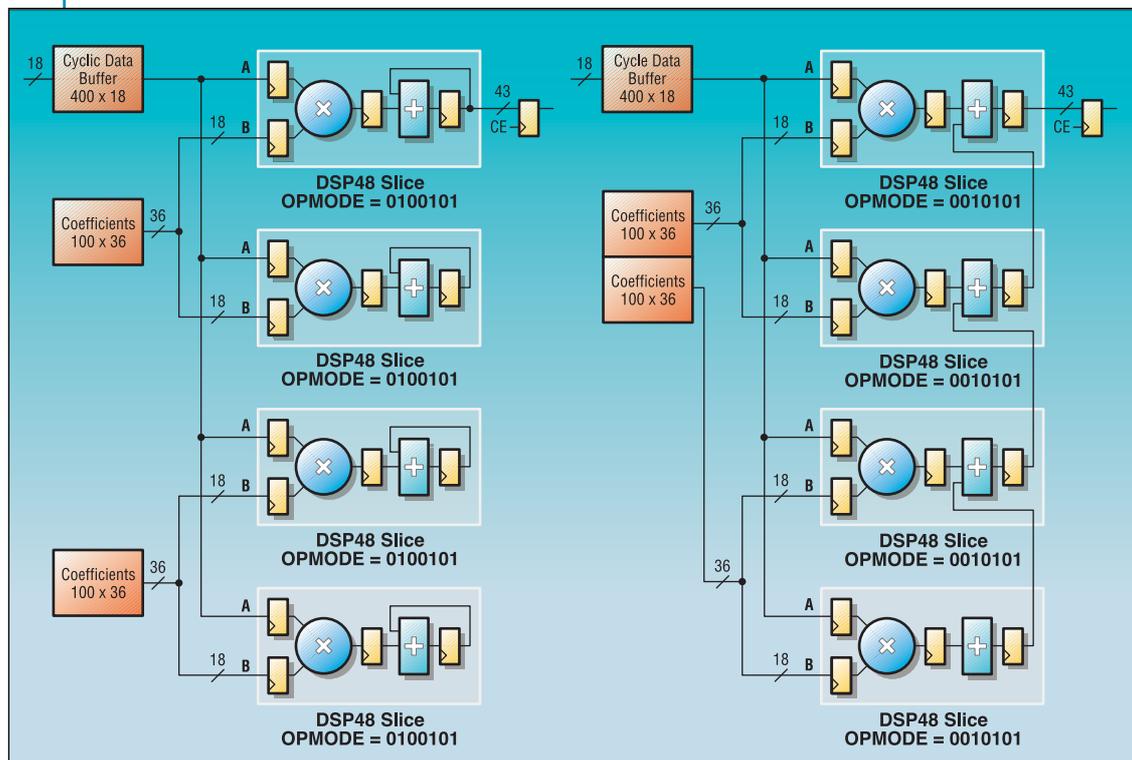


Fig. 6 - Esempio di realizzazione di un filtro FIR mediante architettura semi-parallela trasposta:
a) configurazione durante ogni ciclo;
b) configurazione al termine di ogni ciclo

logica di controllo della struttura si basa su un semplice contatore modulo quattro che genera le linee di indirizzo per i buffer dei dati e dei coefficienti; il riparto del contatore viene utilizzato per scandire, al termine di ogni periodo, lo shift dei buffer dei campioni e l'aggiornamento del risultato del filtro. Per tenere conto dei ritardi dovuta alla struttura in pipeline dei sommatore, i controlli alle quattro slice DSP48 sono opportunamente ritardati tra loro. L'occupazione di risorse complessiva del filtro discusso è di 104 slice e 5 slice DSP48. L'architettura descritta è adeguata al caso in cui il numero di coefficienti è tipicamente inferiore a 16, il quale rappresenta il limite di capacità di memoria dei registri SRL16E. In caso contrario, per memorizzare i campioni del segnale in ingresso sono utilizzati buffer circolari; in particolare, nel caso di filtri caratterizzati da un numero di coefficienti maggiore di 100 (ovvero nel caso in cui il numero di CLB necessarie alla realizzazione dei buffer circolari sia maggiore di 64) le aree di memoria per i campioni in ingresso e per i coefficienti del filtro

sono integrati utilizzando una singola block Ram per ognuno degli stadi della pipeline. Diversamente può essere utilizzata una struttura alternativa nella realizzazione del filtro, come mostrato, ad esempio, in figura 6 nel caso particolare di un filtro con 400 coefficienti. Tale soluzione, in effetti, è utilizzata tipicamente per ridurre l'occupazione di risorse nel caso di filtri di elevata lunghezza ma per i quali sia richiesto una frequenza di campionamento in ingresso piuttosto bassa; relativamente a quanto riportato in figura 6, in particolare, il sampling rate sostenibile è di 4,5 MSPS con una frequenza di funzionamento interna di 450 MHz. L'architettura proposta prevede l'utilizzo di un solo buffer per i dati, mentre nel caso precedente ne erano richiesti quattro; inoltre i buffer per i coefficienti del filtro possono essere integrati a due a due in una stessa memoria in quanto le linee di controllo sono condivise. Il periodo di aggiornamento dell'uscita è di 100 cicli di clock. A ogni ciclo di clock un campione in memoria viene inviato in parallelo ai quattro moltiplicatori per

il calcolo dei termini di prodotto presenti in quattro diversi campioni in uscita; le quattro slice DSP48 (Fig. 6a) sono configurate per realizzare accumulatori per il calcolo delle somme parziali. Al termine di ogni ciclo, invece, vengono riconfigurate (Fig. 6b) per realizzare un addizionatore in cascata. L'architettura proposta, sebbene consenta di ridurre l'occupazione di risorse, tende a peggiorare le prestazioni in termini di massima frequenza di funzionamento a causa del routing dei dati in parallelo alle diverse slice DSP48; la logica di controllo è inoltre tipicamente più complessa di quanto accada nel caso precedente. L'occupazione di risorse è di 46 slice, 4 slice DSP48 e 2 block Ram. \triangleleft

Riferimenti: il presente articolo trae spunto dal testo 'DSP: designing for optimal results' disponibile sul sito web <http://www.xilinx.com/publications/books/index.htm>