

I PROTOCOLLI SERIALI RICHIEDONO FPGA CON TRANSCEIVER INTEGRATI

Joel Martinez
Product marketing manager
Altera

Gli FPGA di fascia alta con transceiver integrati, come i componenti la serie Stratix II GX di Altera, rappresentano una soluzione affidabile per un crescente numero di protocolli seriali come Gigabit Ethernet, PCI Express, XAUI e SRIO

La trasmissione seriale a elevata velocità consente ai progettisti di chip di ridurre drasticamente - in misura pari a un ordine di grandezza - il numero di I/O rispetto a quello richiesto dalle interfacce di tipo parallelo, che tra l'altro operano a velocità inferiori. Un numero inferiore di I/O comporta parecchi vantaggi, tra cui riduzione dei costi e della dissipazione di potenza del chip: il progettista di sistema può quindi minimizzare gli ingombri sulla scheda e comprimere al massimo i costi complessivi. La trasmissione di tipo seriale contribuisce a semplificare la fase di sbroglio (routing) e ad aumentare la distanza dalla quale è possibile pilotare un I/O, a fronte di un netto miglioramento in termini di integrità dei segnali.

Non c'è affatto da meravigliarsi del fatto che nei più diversi mercati e nelle più svariate applicazioni - comunicazioni cablate e wireless, sistemi di misura e collaudo, memorizzazione, broadcasting, elaborazione embedded e DSP - vengano utilizzati in misura sempre maggiore i più recenti standard di protocolli seriali. I produttori di FPGA, preso atto della crescente diffusione di tali standard, stanno provvedendo a soddisfare le richieste degli utilizzatori mediante l'integrazione di transceiver

nei loro prodotti. Il problema principale per i costruttori è quello di progettare un transceiver che da un lato sia in grado di supportare il gran numero di protocolli esistenti, che prevedono differenti velocità di trasferimento dati, e dall'altro assicuri un'integrità dei segnali particolarmente spinta.

La struttura del transceiver

Un transceiver risulta formato da due blocchi: il blocco PMA (Physical Media Access), di natura prettamente analogica e il blocco PCS (Physical Coding Sub-layer), di natura essenzialmente digitale. Il compito del blocco PMA è serializzare i dati in trasmissione e deserializzarli in fase di ricezione. I progettisti di transceiver per gli FPGA si trovano a dover affrontare il problema della realizzazione di un blocco PMA di tipo general purpose capace di supportare la più ampia gamma di velocità di trasferimento dati garantendo nel contempo un'elevata integrità dei segnali in tutto il range di funzionamento. Mentre il progetto di un blocco PMA caratterizzato da eccellenti caratteristiche in termini di jitter in presenza di una singola velocità di trasferimento dati è un compito abbastanza semplice, l'implementazione di un transceiver operante in range diffe-

renti che garantisca le medesime prestazioni è un'operazione senza dubbio più complessa. D'altra parte, il supporto di differenti velocità di trasferimento dati permette l'impiego dell'FPGA con un gran numero di protocolli, i più diffusi dei quali operano in un intervallo compreso tra 622 Mbps e 6,375 Gbps.

Un altro aspetto da prendere in considerazione è il tipo di canale che il transceiver deve pilotare. Il pilotaggio di un segnale attraverso una piastra realizzata in FR-4 da 30", come ad esempio un backplane, a una velocità di 6,375 Gbps richiede il condizionamento del segnale: tale operazione non è necessaria per il pilotaggio di un segnale a 622 Mbps attraverso una piastra dello spessore di un paio di pollici. In presenza di velocità superiori a 1 Gbps si assiste a una degradazione del segnale a causa dell'interferenza tra i simboli nel momento in cui attraversa le piste sulla scheda a circuito stampato. Questa degradazione è anche imputabile ai fenomeni dell'effetto Kelvin e della perdita dielettrica a causa dei quali il contenuto ad alta frequenza su ogni segnale viene distorto dall'attenuazione. Per tale motivo, quando si osserva il diagramma a occhio questo appare quasi chiuso. Gli FPGA delle famiglie Stratix GX e Stratix II GX dotati

di transceiver includono funzionalità quali pre-enfasi in fase di trasmissione ed equalizzazione in quella di ricezione nel blocco PMA al fine di contrastare l'effetto Kelvin, il che visivamente si traduce in un diagramma a occhio più ampio. Queste funzioni del blocco PMA sono di fondamentale importanza e comuni a tutti gli standard.

Oltre a queste funzioni base, alcuni standard di tipo seriale hanno requisiti particolari per quanto riguarda il blocco PMA specifici dello standard in oggetto. Per esempio, lo standard PCI Express richiede l'espletamento di compiti quali rilevazione del ricevitore, rilevazione dello stato di riposo (electrical idle) e temporizzazione a divisione di spettro (spread spectrum) non previsti dagli altri standard seriali. La rilevazione del ricevitore permette ai trasmettitori di riconoscere la presenza di un ricevitore all'altra estremità del canale. D'altro canto, il rilevamento dello stato a riposo permette a un ricevitore di avvertire la presenza di un trasmettitore posto all'altra estremità del canale quanto il trasmettitore stesso è inattivo. Un problema di notevole entità che deve essere affrontato in presenza di segnali ad alta frequenza che viaggiano sulla scheda è la conformità alle normative che regolano le radiazioni elettromagnetiche (EMR). Un metodo per ridurre la radiazione elettromagnetica complessiva a una singola frequenza prevede il ricorso alla modulazione del clock in un intervallo ristretto al fine di distribuire la potenza irradiata in un intervallo di frequenze. I dispositivi Stratix GX e Stratix II GX supportano la temporizzazione a divisione di spettro che consente al transceiver di operare con un clock di riferimento modulato.

Il blocco PCS

Oltre a quelle relative al blocco PMA, le differenze esistenti nei protocolli seriali si traducono in una maggiore complessità a livello di blocco PCS. Ad esempio,

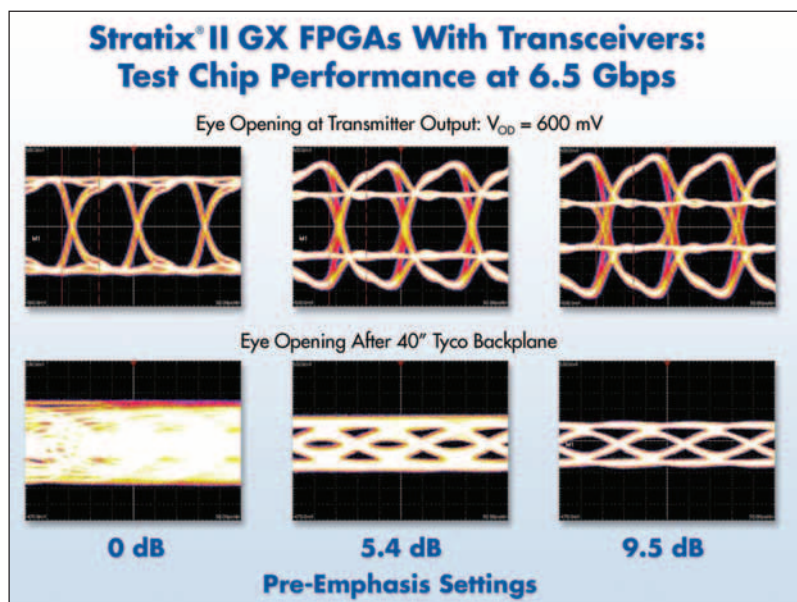


Fig. 1 - Nel transceiver dei dispositivi della serie Stratix II GX di Altera è integrato un codificatore/decodificatore 8b/10b

gli standard seriali utilizzano differenti schemi di codifica e decodifica. Lo standard SONET, il più datato tra i protocolli seriali, prevede il ricorso a una codifica cifrata non contemplata dagli altri standard. Parecchi dei nuovi standard sfruttano in larga misura concetti mutuati da altri standard, come Fibre Channel, e impiegano la codifica 8b/10b, che in qualche modo semplifica l'implementazione del blocco PCS. Comunque, esistono altre differenze significative tra i diversi standard che hanno un impatto rilevante sul blocco PCS.

I costruttori degli FPGA hanno affrontato il problema della progettazione dei blocchi PCS relativamente a un'ampia gamma di protocolli sia standard sia proprietari, oltre ad aver provveduto alla personalizzazione nei riguardi dei singoli protocolli per semplificarne la realizzazione. L'integrazione di funzionalità critiche relative al blocco PCS permette da un lato di garantire la conformità a un determinato standard e dall'altro rende disponibili le risorse


presenti nell'FPGA per lo svolgimento di altre funzioni.

Altera ha deciso di adottare questo approccio mediante l'integrazione di funzionalità critiche e che richiedono l'uso di numerosi elementi logici (LE - Logici Element) nel blocco PCS del transceiver (sotto forma di IP hard) e di implementare le funzioni non critiche nella struttura dell'FPGA (sotto forma di IP soft). I transceiver presenti nella famiglia Stratix II GX sono di tipo general purpose, quindi in grado di supportare una vasta gamma di protocolli seriali che operano nell'intervallo compreso tra 622 Mbps a 6,375 Gbps. Essi sono inoltre in grado di gestire protocolli che prevedono velocità di trasferimento dati inferiori mediante l'adozione di tecniche di sovracampionamento, in cui un segnale viene trasmesso e ricevuto più volte a una velocità maggiore per soddisfare i requisiti degli standard che prevedono velocità di trasmissione inferiori. I transceiver degli FPGA Stratix II prevedono inoltre blocchi IP

hard specifici per protocolli seriali quali PCI Express, Gigabit Ethernet, XAUI, Serial Rapid IO (SRIO), SONET e HD/SD-SDI (High Definition/Standard Definition-Serial Digital Interface). La decisione di integrare i blocchi IP hard relativi a questi protocolli è dovuta alla loro larga diffusione in una vasta gamma di applicazioni, oltre che alla maggiore efficienza che si ottiene implementando le funzionalità in blocchi hardware piuttosto che in IP di tipo software.

Nel transceiver, come visibile in figura 1, è incluso un codificatore/decodificatore 8b/10b per assicurare il supporto a un gran numero di protocolli standard e proprietari. Per esempio, gli standard SRIO, PCI Express, XAUI e Gigabit Ethernet adottano la codifica 8b/10b. I transceiver degli FPGA Stratix II GX supportano tutti i blocchi base previsti per la trasmissione seriale che includono il circuito CRC (Clock Data Recovery), un deserializzatore e un rilevatore di pattern sul lato ricevitore e un serializzatore sul lato trasmettitore.

Per adeguarsi alle specifiche di PCI Express, questi transceiver includono un'interfaccia PIPE compatibile verso il core dell'FPGA al fine di supportare i requisiti in termini di controllo e di handshaking (scambio di controllo) del livello fisico. Per tale motivo i transceiver risultano compatibili con blocchi IP PCI Express forniti da terze parti progettati per effettuare il collegamento mediante l'interfaccia PIPE. Nel caso dello standard GigaBit Ethernet, i transceiver dispongono di funzionalità di sincronizzazione, codifica, decodifica e adattamento di velocità relativi al livello MAC (Media Access Controller). Il blocco PCS mette inoltre a disposizione una funzione di auto-negoziazione con la rete al fine di assicurare l'adattamento in termini di velocità, oltre al supporto per i segnali di rilevazione di collisione e della portante. Un supporto del tutto simile è disponibile per il protocollo XAUI basato sullo standard 10 Gigabit Ethernet, dove la funzione di allineamento del canale viene fornita all'interno del transceiver.

In definitiva, gli FPGA di fascia alta con transceiver integrati sono stati realizzati per fornire una soluzione affidabile per un crescente numero di protocolli seriali come Gigabit Ethernet, PCI Express, XAUI e SRIO, utilizzati in applicazioni che richiedono un'estesa ampiezza di banda. Le caratteristiche specifiche per ciascun protocollo integrate negli FPGA della famiglia Stratix II GX di Altera semplificano l'implementazione dei protocolli stessi e, in alcuni casi, mettono a disposizione tutti gli elementi atti a garantire la conformità. Non va comunque dimenticato che gli FPGA con transceiver integrati rappresentano solamente una parte della soluzione completa. Quest'ultima richiede un dispositivo FPGA, i blocchi IP soft, il software di supporto, i report relativi alla caratterizzazione e alla conformità, gli schemi circuitali, le regole di layout e l'indispensabile supporto tecnico. 

Altera
readerservice.it n. 1