

Elaborazione Wireless in bandabase utilizzando memorie Multi-Port

STEPHEN ROGERS*, RAJIV NEMA**

Con l'evoluzione degli standard di trasmissione wireless da 2G, a 2.5G a 3G e oltre, i sottosistemi d'infrastruttura delle reti wireless si trovano a fronteggiare una richiesta di prestazioni e di capacità di banda sempre più stringente. Parallelamente, i fornitori di chip per sottosistemi devono gestire le limitazioni tecnologiche che impediscono di garantire i livelli di funzionalità e prestazioni richiesti. Al fine di indirizzare queste esigenze, le architetture di sistema devono essere ridefinite sfruttando nuovi componenti di tipo tradizionale. Le memorie multiporta – denominate anche memorie specializzate – rappresentano uno dei componenti più utili alla realizzazione dei sottosistemi per gli apparati di rete più moderni. Con l'evoluzione delle reti wireless verso il trasporto di traffico multimediale (voce, dati e video) a velocità 3G, è cresciuta anche la complessità delle specifiche di elaborazione integrate nella scheda bandabase. Per ripartire i compiti vengono utilizzati DSP, FPGA e ASIC, i quali permetto-

no di processare i dati in parallelo e di dividerli in tempo reale. Sfruttando delle memorie multiporta dotate di grandi capacità di buffering è possibile garantire le comunicazioni inter-processore. Questo articolo dimostra alcune delle tecniche progettuali utilizzate nell'ambito della scheda di elaborazione bandabase di una stazione 3G dotata di memorie multiporta.

LA SCHEDA DI ELABORAZIONE BANDABASE

In accordo al proverbio "è molto più facile parlare che ascoltare", la sezione ricevente di una scheda è molto più complessa della sezione trasmittente del flusso bandabase. Questo è dovuto al fatto che la stazione base può ricevere vari segnali d'utente, varie copie dello stesso segnale e anche segnali d'interferenza prodotti da fonti di disturbo presenti nel cammino tra utente mobile e stazione base. Separare una dall'altra queste fonti di segnale richiede grandi risorse di elaborazione. Lato trasmissione, la stazione base si limita a convertire i dati

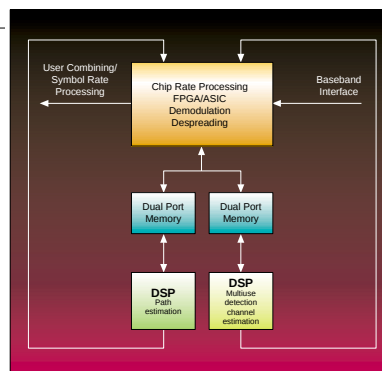


Figura2: Elaborazione chip rate utilizzando memorie dual port

nel formato utilizzato dal protocollo di interfaccia in aria 3G e ad inoltrarli. Le tecniche progettuali suggerite in questo articolo sono concentrate principalmente sul flusso ricevuto all'interno della scheda bandabase. Le sezioni di elaborazione bandabase in Tx ed Rx possono essere implementate su due schede separate per facilitare eventuali aggiornamenti o sostituzioni nell'ambito dello chassis della stazione base.

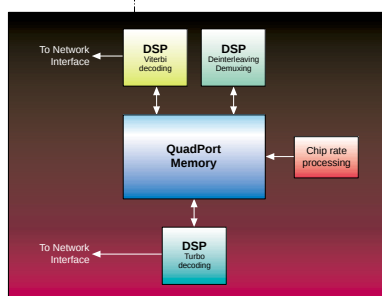


Figura3: Un'efficiente elaborazione Symbol Rate

Come evidenziato in figura 1, la sezione ricevente può essere costituita da un blocco di elaborazione chip rate e da un blocco di elaborazione symbol rate. L'elaborazione chip rate genera il segnale più forte partendo dai vari segnali ricevuti dal dispositivo mobile di un utente: l'elaborazione symbol rate estrae e codifica i dati di utente da tale segnale.

UN'EFFICIENTE ELABORAZIONE CHIP RATE

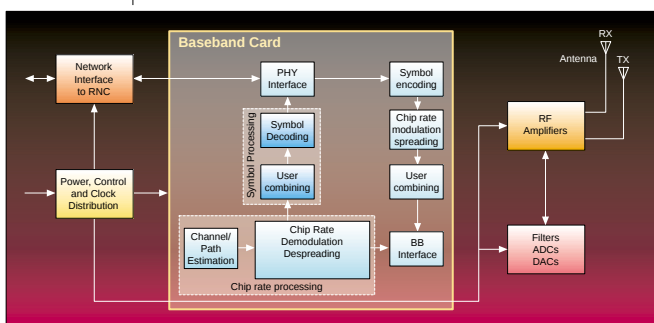
L'elaborazione chip rate lato uplink (dall'utente alla stazione base) può essere ottimizzata utilizzando una combinazione

di FPGA e DSP. L'FPGA viene utilizzato principalmente per implementare il ricevitore RAKE. Questo perché la velocità dei dati in ingresso è superiore e ciò richiede una notevole capacità di elaborazione parallela, indispensabile anche a causa dell'esigenza di gestire più utenti. I DSP sono più adatti per implementare task con grossi contenuti di calcolo, quali la valutazione del cammino o del canale nonché la funzione di Maximum Ratio Combining (MRC). Tale implementazione richiede il trasferimento di notevoli quantità di dati tra FPGA e DSP. Il ricevitore RAKE è utilizzato per risolvere il problema dei segnali multi-path. Con il termine RAKE s'intendono i segnali trasmessi dal dispositivo mobile di un utente che viaggiano su cammini differenti - compresi quelli generati da riflessioni di edifici o di altri ostacoli. La parola RAKE (rastrello) deriva dalla configurazione a "dita" multiple utilizzata nel ricevitore: tale configurazione ricorda un normale rastrello da giardino. L'FPGA trasferisce al DSP per l'allocazione e la pesatura i dati di tracciamento (costituiti da una serie di correlazioni piuttosto ampie) ma anche i dati "despread" per l'elaborazione symbol rate. La quantità di dati di tracciamento da trasferire tra FPGA e DSP dipende dal numero di canali da elaborare nella scheda bandabase, dalla velocità di campionamento del codice e dal numero di antenne che sono state sondate. Il Riferimento 1 offre un esempio che prevede un sistema WCDMA a 32 canali ciascuno con 13 Mb di dati di tracciamento per ciascuna trama radio (10ms) trasferiti da FPGA a DSP.

* Stephen Rogers, Applications Engineer - Datcom, Cypress Semiconductor

**Rajiv Nema, Product Manager - Datcom, Cypress Semiconductor

Figura 1: Schema a blocchi di un'architettura di una stazione base 3G



Da FPGA a DSP = 400Kb (dati di tracciamento per trama) x 32 (numero canali) x 100 (trama 10ms) = 1.3Gb/s.

Le memorie dual port offrono una capacità di buffering ad alta densità con accesso random ai dati a throughput molto elevati. I dati possono essere interrogati simultaneamente da entrambi i dispositivi con cui la memoria s'interfaccia – in questo caso un FPGA e un DSP – anche se questi operano su domini di clock indipendenti. La natura bidirezionale delle porte garantisce una vera condivisione dei dati tra FPGA e DSP. Le memorie dual port possono essere connesse in modo ottimizzato all'interfaccia di memoria esterna (EMIF) dei DSP. Utilizzando gli engine DMA (direct memory access) presenti nel DSP è possibile accedere ai dati bufferizzati della dual port con un intervento minimo da parte della CPU. Sfruttando il segnale di chip enable, questo schema di connessione consente di condividere facilmente - all'interno di un banco di DSP - uno stesso dato o di bufferizzarlo per utenti differenti in dual port separate. Inoltre, le memorie multiporta permettono di connettere facilmente processori che girano a velocità di clock differenti o che operano nell'ambito di domini di clock distinti, operazione impossibile con le memorie single port. Le multiporta offrono anche una connessione punto punto tra processore e memoria, mentre i dispositivi single port richiederebbero l'uso di bus condivisi. La connessione punto punto semplifica il mantenimento dell'integrità dei segnali e consente di ottenere velocità di clock superiori rispetto a quanto possibile con le architetture a bus condiviso.

Le velocità dei dati coinvolti nell'elaborazione symbol rate sono molto inferiori rispetto a quelle associate all'elaborazio-

ne chip-rate. La maggior parte dell'elaborazione symbol rate nelle schede bandabase viene svolta utilizzando solo dei DSP. Nella sezione di elaborazione

symbol rate è possibile svolgere numerose task: Le velocità simboliche sono 3 volte le velocità del dato originario. Nei sistemi 3G sono utilizzati due diversi tipi di di encoding/decoding: Viterbi - sfruttato principalmente per i canali vocali, e capace di garantire la retro-

compatibilità con i sistemi 2G – e turbo. Con l'introduzione di prodotti DSP come quelli della serie C64x di Texas Instruments (dotati di coprocessori turbo e Viterbi on chip) è stato possibile incrementare le prestazioni dell'elaborazione symbol rate.

continua a pagina 20 ➡

➔ segue da pagina 19

Elaborazione Wireless...

Anche qui, le memorie multiporta hanno aiutato ad ottimizzare le doti di processing di questa sezione della scheda bandabase. Nella figura è illustrata una implementazione basata su memorie a quattro porte – come i dispositivi QuadPort di Cypress Semiconductor. La memoria QuadPort è un elemento di commutazione a quattro porte che consente l'accesso simultaneo a un array integrato attraverso una delle porte. Essendo totalmente indipendenti, ciascuna di esse può operare su domini di frequenza separati. In questa implementazione, una porta della memoria QuadPort è connessa all'FPGA chip-rate mentre le altre tre porte sono connesse a tre differenti DSP che possono accedere contemporaneamente

te allo stesso dato. I dati dispersi provenienti dall'FPGA chip rate sono bufferizzati nella memoria QuadPort la quale viene letta dal DSP di deinterleaving/demuxing. I dati sono quindi riscritti nella memoria, cui hanno accesso un DSP incaricato della decodifica Viterbi (per i canali vocali o per i dati provenienti da un dispositivo 2G) o un DSP che esegue la codifica turbo (per i dati dei canali 3G). Le interfacce EMIF sui DSP - controllate dagli engine DMA - permettono alla CPU di continuare nella sua elaborazione mentre i dati vengono trasferiti dalla memoria multiport esterna alla cache interna. Lo spazio di memoria nella QuadPort può essere ripartito per immagazzinare i dati interallacciati originari in uno spazio dell'array e i dati separati (elaborati) in spazi distinti cui accedono i DSP di decoding. ■