

IMPIEGO DELLA TECNOLOGIA BOUNDARY SCAN IN SISTEMI CON I/O MULTI-GHz

Jeff Rearick
Sylvia Patterson
Krista Dorner
Agilent Technologies ASIC Product Division
Fort Collins, CO

In questo articolo viene descritta una soluzione poco "invasiva" che permette l'integrazione del boundary scan nei dispositivi che impiegano I/O operanti ad alta velocità. L'inserimento dei registri di boundary scan avviene nell'area a bassa velocità che caratterizza il registro parallelo del trasmettitore, mentre il boundary scan della sezione ricevente, realizzato secondo le tecniche descritte nella specifica IEEE 1149.6, opera nella sezione seriale ad alta velocità

Sono due i trend più interessanti per gli ingegneri di test che riguardano le interfacce esterne dei circuiti integrati: un significativo miglioramento della testabilità determinato dalle normative IEEE (raccolte sotto l'ombrello della 1149) e una richiesta di aumento di queste prestazioni per

soddisfare la crescente "fame" di velocità e bande passanti. Sfortunatamente questo secondo fattore costituisce una seria minaccia per il primo, in quanto il progettista tende a trascurare, se non ignorare, la testabilità in favore delle prestazioni. Un significativo esempio di questo conflitto lo si trova nel settore

delle interfacce ad alta velocità come quelle utilizzate nei canali SerDes (Serializzatore/Deserializzatore) che operano a frequenze superiori al GHz. Le tecniche tradizionali di boundary scan descritte nella IEEE 1149.1 [1] e anche quelle avanzate riportate nella IEEE 1149.6 [2], se applicate indiscrimi-

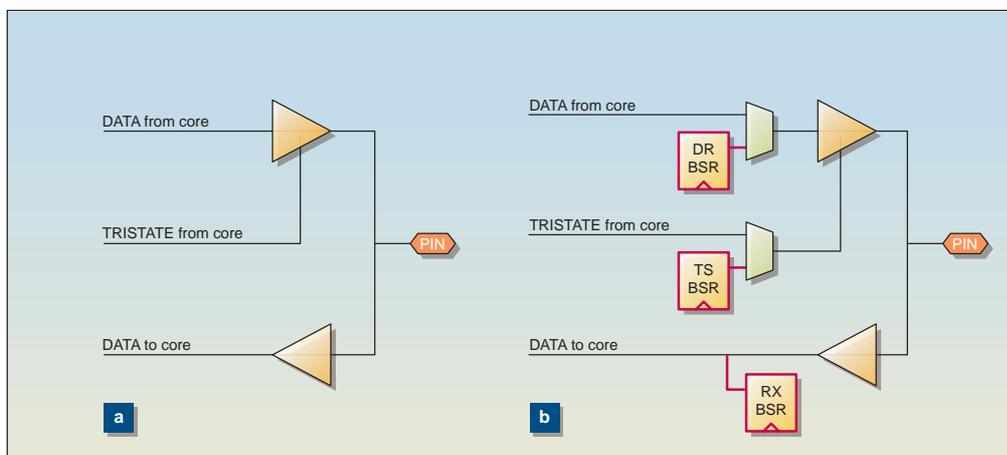


Fig. 1 - Aggiunta del Boundary Scan a un pin di I/O bidirezionale secondo quanto previsto dalla 1149.1

natamente, possono seriamente degradare le prestazioni di questi I/O ad alta velocità. Applicando in modo creativo le norme della 1149, è possibile soddisfare entrambi questi obiettivi di velocità e testabilità.

Boundary scan

La crescente difficoltà di avere un accesso fisico ai terminali di un dispositivo montato su un circuito stampato (PCB) dovuta sia ai package per montaggio superficiale sia al sempre più largo impiego di PCB multistrato ha spinto un gruppo di membri della comunità che raggruppa gli specialisti di test a organizzare un Joint Test Action Group da cui sono scaturite le linee guida per il test che utilizza il boundary scan, codificate nella IEEE1149.1. Il principio che sta dietro al test di boundary scan di un PCB prevede che nei dispositivi integrati montati sulla scheda sia contenuta la circuiteria di test, e che questa circuiteria venga utilizzata per attivare le interconnessioni tra i vari dispositivi. La normativa 1149.1 specifica che i punti di controllo e di osservazione devono essere aggiunti ai pin di I/O del circuito integrato, e che questi registri di scansione siano connessi in modo tale da realizzare una catena a cui sia possibile accedere grazie ad un Test Access Port (TAP) utilizzando un insieme di istruzioni standard, attraverso le quali si abilitano le interconnessioni chip-to-chip senza accedere fisicamente ai pin dei vari dispositivi. Le figure 1a e 1b mostrano in modo semplificato come è realizzato un pin di I/O prima (a) e dopo (b) l'aggiunta del boundary scan secondo quanto previsto dalla 1149.1.

L'aggiunta della circuiteria di figura 1b permette all'I/O di:

- forzare un livello logico sul pin prelevandolo dal registro denominato DR DSR (grazie all'istruzione EXTEST);
- porre il pin in modalità tristate attraverso il registro denominato TS BSR;
- leggere il livello logico presente sul pin utilizzando il registro denominato RX BSR.

Dato che il pin può essere abilitato a realizzare queste funzioni attraverso una logica funzionale contenuta nello stesso chip, appare evidente che questa circuiteria addizionale semplifica in modo significativo la creazione di interconnessioni a livello di scheda "bypassando" la logica interna grazie all'impiego di istruzioni standard e delle interfacce specificate nella IEEE 1149.1.

Due limiti della IEEE 1149.1 sono rappresentati dalla sua incapacità di maneggiare reti accoppiate in AC e la "scarsa" capacità di rilevare i guasti su reti differenziali. Questi due specifici punti sono trattati dalla IEEE1149.6, basata sulla 1149.1, anche se prevede l'aggiunta di una circuiteria addizionale che consente l'esecuzione di test edge-based (oltre al test DC level-based) di reti accoppiate in AC e anche per la

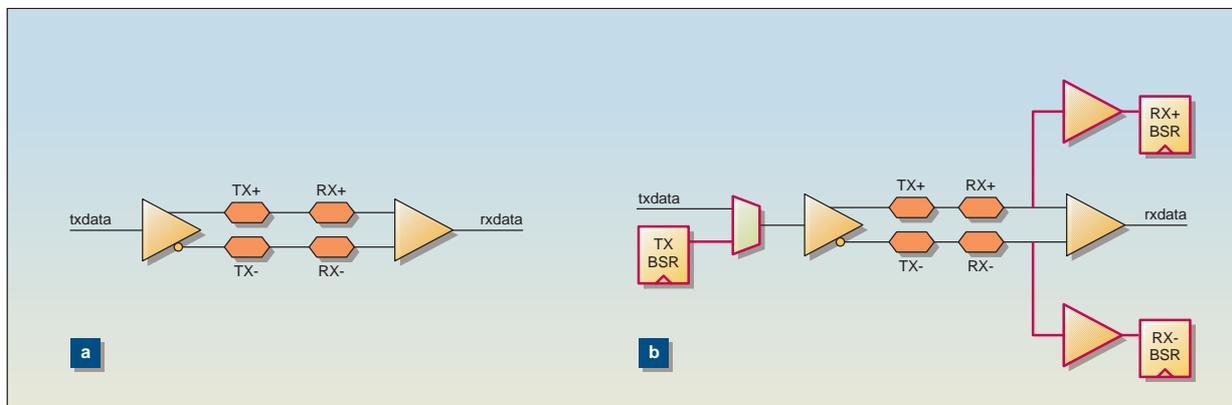
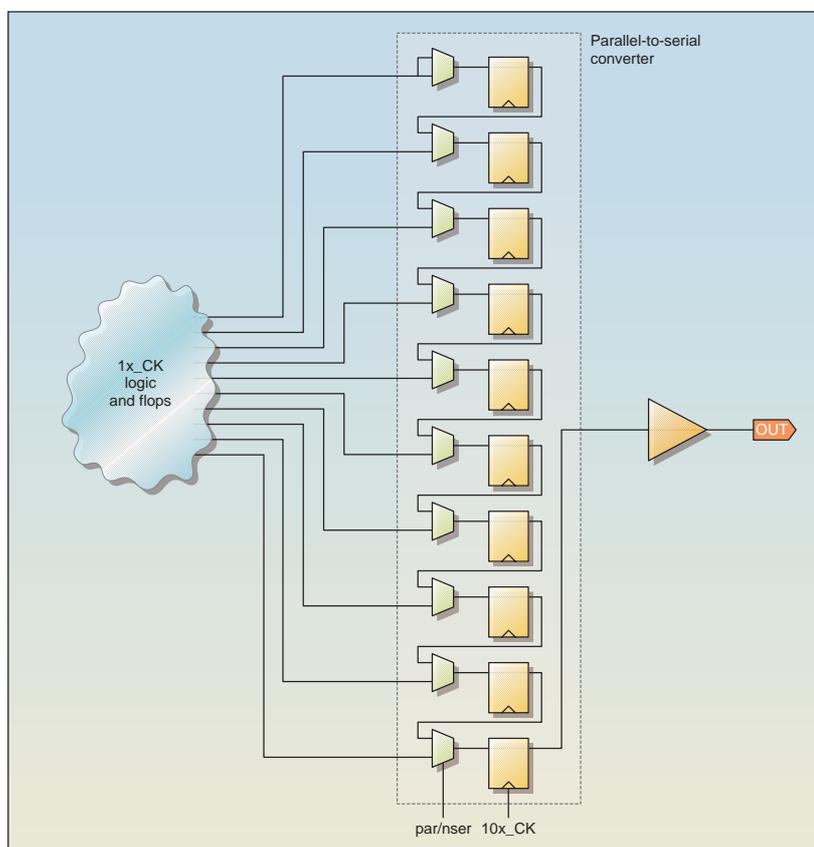


Fig. 2 - Aggiunta del boundary scan 1149.6 a un Canale Differenziale

Fig. 3 - Schema semplificato dell'Uscita di un Serializzatore High-Speed



gestione di ricevitori differenziali trattati come uscite single-ended duali. Le figure 2a e 2b mostrano uno schema semplificato di un canale differenziale prima (a) e dopo (b) l'aggiunta del boundary scan previsto dalla 1149.6. La sezione 6.2 della IEEE 1149.6 specifica l'impiego di ricevitori di test dedicati (denominati "testrx" nella Fig. 2b) realizzati impiegando comparatori con isteresi posti all'ingresso del registro di boundary scan; grazie a questa soluzione è possibile ricostruire la forma d'onda utilizzata per il pilotaggio di reti accoppiate in AC.

L'aggiunta della circuiteria di figura 2b ci mette in grado di:

- forzare la polarità desiderata sui pin del TX utilizzando il registro denominato

TX BSR (per mezzo dell'istruzione EXTEST_PULSE);

- forzare una serie di impulsi sui pin del TX utilizzando il registro denominato TX BSR (per mezzo dell'istruzione EXTEST_TRAIN);

- catturare la direzione dell'ultimo fronte (salita o discesa) ricevuti sui pin dell'RX grazie ai registri denominati RX+ BSR e RX- BSR.

I/O veloce

La necessità di disporre di elevate velocità di comunicazione tra i dispositivi montati sul PCB, e i problemi associati all'elevato numero di piste parallele che causano problemi di sincronizzazione del clock a velocità elevate, ha visto crescere l'impiego di dispositivi che realizzano linee di comunicazione seriale ad alta velocità capaci di operare a frequen-

ze superiori al GHz, e che contengono al loro interno il clock utilizzato per il trasporto dei dati. Queste stringhe di dati vengono create grazie a un convertitore parallelo-serie che si trova nel dispositivo trasmettitore, con un corrispondente incremento di velocità, e vengono decodificate da un convertitore serie-parallelo che si trova nel dispositivo ricevente, che riporta la velocità alle condizioni originarie. La figura 3 mostra uno schema semplificato della conversione parallelo-serie che si realizza sul lato trasmettente.

È necessario porre la massima attenzione alle temporizzazioni dei clock che vengono utilizzati nel convertitore parallelo-serie: la circuiteria che si trova sul lato sinistro della figura 3 utilizza un clock 1X_CK, mentre lo shift register contenuto nel registro parallelo-serie opera a una frequenza 10 volte superiore con un clock 10X_CK. Questo comporta un funzionamento ad alta velocità dell'area seriale e impone seri limiti di progetto che possono rendere inaccettabile l'aggiunta di una circuiteria di test.

Problemi derivanti dall'impiego di un boundary scan tradizionale

L'aggiunta dell'hardware di boundary scan al pin di un dispositivo (Fig.1), andrà sicuramente a peggiorare le prestazioni della soluzione originale a causa dell'introduzione di un ritardo dovuto al multiplexer posto in serie alla linea dati che pilota il driver (lo stesso problema affligge il controllo del tristate), e l'aumento del fanout della sezione ricevente dovuta al carico aggiuntivo. Focalizzando l'attenzione sul lato del driver e tenendo presente l'elevato livello di prestazioni richiesto a una uscita che deve pilotare una linea seriale ad alta velocità, appare subito chiaro che l'aggiunta del boundary scan nell'area seriale pone serie limitazioni alla funzionalità del sistema che ne impediscono la realizzazione. Prendendo come esempio una linea dati serializzata che opera a una velocità di 3,125 GHz, si potrà osservare che un periodo presenta una durata di 320 pS. Il ritardo introdotto dal multiplexer può impegnare una porzione significativa del periodo e la logica aggiunta può solo portare un aumento delle problematiche legate al jitter. Naturalmente esistono molte altre possibili soluzioni per realizzare la circuiteria di un driver seriale oltre a quella presentata in questo esempio, ma rimane in ogni caso sempre problematico aggiungere un hardware di test nell'area di dominio dell'alta frequenza. Fortunatamente esiste un'alternativa "intelligente" che consente di superare elegantemente questo scoglio.

Il boundary scan del driver nel dominio parallelo

La collocazione del registro di boundary scan di uscita subito prima del driver non è imposta dalla IEEE 1149.1, ma è

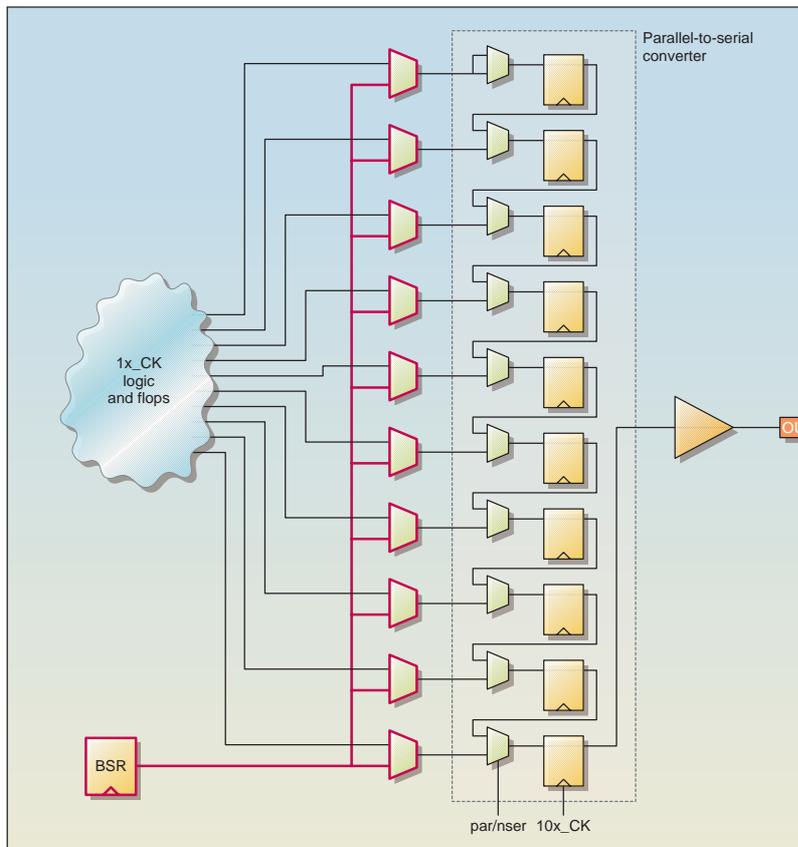


Fig. 4 - Inserimento del boundary scan nel dominio parallelo del trasmettitore

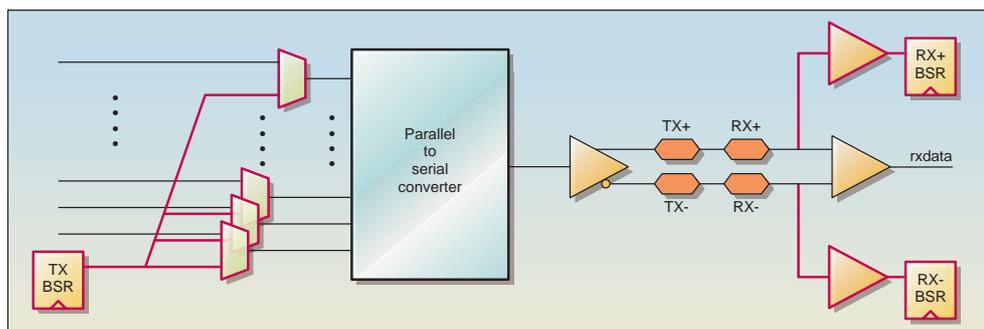
puramente illustrativa. Questo posizionamento è stato scelto perché consente il trasferimento del valore caricato nel registro di boundary scan sul pin durante l'EXTTEST. Di fatto lo standard IEEE 1194.1 consente l'inserimento di un circuito analogico arbitrario tra il registro di boundary scan e il pin (Fig. 10-7 della IEEE 1149.1-2001). Anche se il convertitore parallelo-seriale precedentemente descritto può apparire per sua natura digitale, può essere trattato alla stregua di un circuito analogico inserito nel sistema allo scopo di applicare in modo

“creativo” lo standard 1149.1. Sulla scorta di tale ragionamento si perviene alla naturale conclusione che porta a collocare il registro di boundary scan nel dominio parallelo (Fig. 4). In questo caso è necessario giungere a un compromesso tra area di silicio occupata e tempo di propagazione: l'aggiunta del boundary scan incrementa di un fattore 10 il numero dei multiplexer rispetto alla soluzione precedente, ma ogni multiplexer può essere facilmente gestito poiché in questo caso utilizziamo un clock con un periodo 10 volte superiore.

È importante notare che il numero dei registri di boundary scan non aumenta di un fattore 10 anche perché la specifica impone una corrispondenza univoca tra il registro di boundary e il pad. Il funzionamento di questo circuito è semplice: il livello logico presente nel registro di boundary scan viene applicato a tutti gli ingressi paralleli (10 in questo esempio), e quindi serializzato e presentato come una sequenza ad alta velocità di valori (ovviamente costanti), ciclo dopo ciclo. Questa stringa ad alta velocità di valore costante non può essere distinta da un valore in DC e soddisfa quindi le richieste del boundary scan.

Un punto molto importante merita di essere qui evidenziato: questo posizionamento del registro di boundary scan richiede che il convertitore parallelo-seriale sia attivo durante il test, come pure il clock utilizzato in questa parte del circuito. A prima vista questa può apparire come una violazione degli intenti della

Fig. 5 - Realizzazione di un boundary scan per il test per un canale di SerDes



IEEE 1149.1, che prevedono l'assenza di dipendenze funzionali sul chip per eseguire un'operazione di EXTEST. D'altro canto, esistono due risposte ragionevoli. In primo luogo, molte tipologie di circuiti di I/O richiedono un preconditionamento prima di poter operare, e non è insolito trovare una sezione di "design warning" nel BSDL relativo a un dispositivo che utilizza questo tipo di I/O che definisce il preconditionamento da effettuare per poter realizzare il boundary scan che in questo caso includerà la sequenza necessaria atta a fornire il clock più appropriato. In secondo luogo, e più in linea con lo standard 1149.1, contando sul fatto che la maggior parte dei convertitori parallelo-serie utilizza un PLL (phase-locked loop) per generare il clock ad alta velocità, si potrà utilizzare un oscillatore libero che non richiede un riferimento esterno come segnale di riferimento del PLL durante il test boundary scan. Anche se la frequenza e la fase di questo oscillatore non sono controllate con precisione e non possono essere utilizzate durante il funzionamento normale del dispositivo, non creano problemi durante il test via boundary scan in quanto il dato (nominalmente DC 0 o 1) è indipendente dalla frequenza e dalla fase, e questo fa sì che non esista una dipendenza funzionale tra la logica del dispositivo e il funzionamento durante l'EXTEST; ovviamente il "circuito analogico" che può essere collocato tra il registro di boundary scan e il pin comprende anche questo generatore di clock autonomo.

Il collocamento del registro di boundary nel dominio parallelo richiede che un gran numero di componenti siano attivi per poter effettuare anche il più semplice test di boundary scan. Questo è sicuramente vero, ma non può essere visto come una violazione della normativa (e di fatto non lo è) o come un punto di debolezza di questo approccio; al contrario, si può affermare che un test di boundary scan che ha esito positivo dimostra che non solo le interconnessioni sono corrette ma che lo è anche una considerevole porzione del dispositivo. Ipotizzando che il dispositivo sia stato completamente testato a livello di componente e non abbia subito un guasto legato alla mortalità infantile, un errore nel test di boundary scan può quasi certamente essere ricondotto a un problema di interconnessione, anche se è corretto affermare che esiste una marginale probabilità che il circuito integrato possa essere considerato "sospetto" se ci si raffronta con una implementazione di boundary scan più prossima al pin.

L'ultimo punto da evidenziare relativamente alla collocazione del registro di boundary sul lato del driver nel dominio parallelo, consiste nel fatto che le modifiche specificate dalla IEEE 1149.6 per quanto attiene la generazione dei fronti, sono identiche a quelle che si avrebbero collocando il registro di boundary nel dominio seriale.

Boundary scan del ricevitore nel dominio seriale secondo IEEE Std 1149.6

L'integrazione del boundary scan sul lato ricevente di una connessione ad alta velocità è un problema relativamente più semplice di quello posto dal driver. Le ragioni che giustificano il piazzamento del registro di boundary scan nel dominio parallelo del driver non possono essere trasferite al lato del ricevitore. Nello specifico, una delle funzioni chiave svolte su una stringa di dati di ingresso ad alta velocità, consiste nel recupero del clock, per mezzo del quale le transizioni dei dati vengono usate per derivare il clock utilizzato dalla circuiteria del convertitore serie-parallelo. Si è visto che durante il test boundary scan è presente un segnale DC costante e non risulta quindi possibile estrarre un clock, ma è d'altro canto possibile ottenere questo risultato iniettando un clock dall'esterno, come accade nel caso del driver. In questa situazione non risulta necessario posizionare il registro di boundary scan del lato ricevente nel dominio parallelo; di fatto, per quanto riguarda i canali differenziali (molto diffusi negli I/O ad alta velocità), ciò non è affatto desiderabile.

L'argomento che riguarda il posizionamento del boundary scan sul lato ricevente di un I/O avanzato come quello delle linee seriali ad alta velocità viene attentamente esaminato e specificato nella IEEE 1149.6. Questo nuovo standard descrive nel dettaglio il progetto di un ricevitore di test in grado di rilevare sia il fronte in un sistema accoppiato in AC, sia il livello in un sistema con accoppiamento in DC (come previsto dalla IEEE1149.1). Questi ricevitori di test sono connessi in parallelo al ricevitore principale, e si trovano di conseguenza nel dominio seriale se riferiti al tipo di I/O qui descritto. La simulazione e le misure mostrano che la presenza del ricevitore di test ha un impatto trascurabile sulle prestazioni del ricevitore principale.

Realizzazione su silicio e risultati

La realizzazione completa del boundary scan riportata nella figura 5 è stata implementata su silicio utilizzando un processo da 0,13 micron che utilizza una alimentazione a 1,2V tramite alcune copie di trasmettitori e ricevitori differenziali, già descritti nella [3]. I nodi denominati TX+, TX-, RX+, e RX- rappresen-

tano i punti di misura. I risultati dei test di boundary scan ottenuti dal silicio e riferiti all'EXTEST basato sul livello in DC sono riportati in tabella 1, mentre quelli relativi al fronte e basati su EXTEST_PULSE sono riportati in tabella 2.

La notazione "VV" in tabella 1 indica che il valore memorizzato (V) nel ricevitore di test non si modifica durante l'esecuzione di EXTEST quando il driver è accoppiato in AC al ricevitore, e questo corrisponde esattamente al comportamento desiderato, dovuto al fatto che il condensatore di accoppiamento blocca il livello in DC.

Oltre alla verifica del corretto comportamento di tutte le operazioni di boundary scan (relative sia alla 1149.1 che alla 1149.6), i test hanno mostrato che le prestazioni della comunicazione seriale non sono state modificate dall'aggiunta della circuiteria aggiuntiva.

L'introduzione di jitter sul lato del driver ha per definizione un effetto nullo, grazie al fatto che i dati serializzati subiscono un processo di ricostruzione che utilizza il clock 10X_CK, e se il ritardo del multiplexer aggiunto per realizzare la cella di boundary scan nel dominio parallelo viene tenuto correttamente in considerazione nell'analisi temporale statica, non avremo alcun impatto sulle prestazioni del trasmettitore ad alta velocità. Di fatto, il jitter misurato sul silicio (circa 20 ps picco-picco nel caso pessimo) può essere ricondotto esclusivamente al duty-cycle del clock e al rumore nel

TABELLA 1 - RISULTATO DEL TEST DC OTTENUTO PER MEZZO DI EXTEST

Livelli di pilotaggi di test per TX+ TX-	Dato ricevuto (accoppiamento in DC) RX+ RX-	Dato ricevuto (accoppiamento in AC) RX+ RX -
01	01	VV
10	10	VV

TABELLA 2 - GENERAZIONE E RIVELAZIONE DEL FRONTE PER MEZZO DI EXTEST_PULSE

Transizione su TX+ TX-	Dato ricevuto sulla scheda (accoppiamento in AC) RX+ RX-	Dato ricevuto sul chip (accoppiamento in AC) RX+ RX -
01 to 10	10	10
10 to 01	01	01

dominio seriale, che nulla hanno a che vedere con la circuiteria di boundary scan. La elevata impedenza di ingresso del ricevitore di test aggiunge un carico trascurabile al ricevitore principale. Il chip di test rappresenta un significativo successo che ha dimostrato non solo la prima implementazione su silicio della 1149.6, ma anche la possibilità di collocare il boundary scan nel dominio parallelo del trasmettitore e di aggiungere un ricevitore di test nel dominio seriale del ricevitore.

In definitiva, nonostante la manifesta impossibilità di aggiungere il boundary scan all'I/O che opera a frequenze superiori al GHz, questo documento ha dimostrato non solo che esiste una soluzione progettuale percorribile sia per la sezione driver che per quella del ricevitore, ma ha presentato risultati del tutto soddisfacenti ottenuti dalla prima realizzazione su silicio. Le innovazioni più significative consistono nella collocazione del registro di boundary scan della sezione driver nel dominio parallelo in modo da minimizzare l'impatto nella sezione che opera ad alta velocità e l'uso del ricevitore di test realizzato in accordo alla 1149.6 e collocato nel dominio seriale. Questo approccio non ha solo dimostrato che è possibile una implementazione di boundary scan, ma che la stessa presenta un impatto trascurabile sulle caratteristiche funzionali di un serializzatore/deserializzatore ad alta velocità. 

Agilent Technologies
readerservice.it n. 1

Riferimenti

- [1] IEEE Std 1149.1-2001, "IEEE Standard Test Access Port and Boundary-Scan Architecture," IEEE, USA, 2001
- [2] IEEE Std 1149.6-2003, "IEEE Standard for Boundary-Scan Testing of Advanced Digital Networks," IEEE, USA, 2003
- [3] Vandivier, Wahl, and Rearick, "First IC Validation of IEEE Std 1149.6", Proc. International Test Conference, 2003, pp. 632-639

Tratto dall'articolo originale: "Integrating boundary scan into multi GHz I/O circuitry". Si ringrazia l'organizzazione IEEE per la collaborazione