

*Le prestazioni dei processori possono essere ottimizzate
in funzione dell'applicazione di destinazione,
ma solo a patto di usare gli opportuni strumenti*

Steven Leibson
Technology Evangelist
Tensilica

I vantaggi dei processori configurabili

I processori configurabili sono più veloci e nettamente più efficienti rispetto ai microprocessori embedded standard, tanto che alcuni possono essere utilizzati per il progetto degli integrati specifici, sostituendo totalmente le tradizionali tecniche di progetto basate sull'elaborazione del codice RTL.

Cos'è un processore configurabile? Cos'è realmente in grado di fare in più rispetto agli altri processori? Quando e perché conviene usarlo? Come e perché può sostituire lo sviluppo di un codice RTL? A queste domande risponde Steven Leibson di Tensilica, noto esperto del settore.

I limiti attuali

Le più popolari architetture dei microprocessori embedded, come ARM, MIPS e PowerPC, sono state originariamente ideate e progettate negli anni '80 come chip a sé stanti. Queste architetture general-purpose sono effettivamente molto efficaci nell'eseguire un'ampia varietà di algoritmi, ma in un numero non trascurabile di casi costringono il progettista ad accelerare alcune funzioni hardware per sopperire alla poca efficienza di esecuzione di talune particolari funzioni software che non possono essere accelerate neanche ricorrendo

alle architetture DSP. Giacché numerose applicazioni implementate sui microprocessori embedded standard non vanno sufficientemente veloci, gli ingegneri hanno ben pensato di trasformare le tecniche DSP in algoritmi Verilog o VHDL per cercare in qualche modo di emularne le migliori prestazioni. Tuttavia, le logiche RTL fatte "su misura" richiedono un non trascurabile tempo di sviluppo e, inoltre, i blocchi RTL non possono essere facilmente sostituiti una volta che sono stati installati, poiché richiedono sempre una fase di verifica consistente e, purtroppo, non è infrequente dover modificare le caratteristiche circuitali quando i prodotti sono già in produzione.

In quasi tutti i progetti RTL, le linee circuitali "datapath" consumano sempre più energia rispetto a quella realmente assorbita dalle porte logiche RTL. Un tipico percorso "digitale" può essere largo 16 o 32 bit e lungo centinaia di bit. Tipicamente attraversa diversi registri dati e alcuni blocchi significativi di RAM, oppure delle interfacce che connettono altre RAM nascoste rispetto agli altri blocchi RTL. Per contro, il blocco logico RTL contenente la macchina a stati finiti (Finite State Machine, FSM) non contiene dati, ma solo istruzioni di comando e controllo. Tuttavia,

data la sua relativa complessità, la FSM incorpora anche la maggior parte dei rischi che tipicamente insorgono nelle fasi di progetto e verifica.

Naturalmente, ogni eventuale modifica sul funzionamento del sistema si ripercuote soprattutto sulla FSM, piuttosto che sulle linee circuitali. Ciò nondimeno, i processori configurabili dimostrano di essere realmente in grado di ridurre i rischi grazie alla loro natura programmabile che consente ai progettisti di correggere le funzionalità dei sistemi anche in corso d'opera, durante lo sviluppo.

Cos'è un processore configurabile

Un processore configurabile è tale perché può essere adattato "su misura" per una particolare applicazione, o per un gruppo di applicazioni. In generale, ci sono tre modi per configurare un processore:

- selezionando una configurazione fra quelle predefinite che hanno già delle istruzioni specifiche, per esempio, relative alla larghezza dei bus, al funzionamento delle interfacce, alla gestione delle memorie, alle modalità di eseguire le operazioni in virgola mobile e così via;
- aggiungendo al codice di programma-

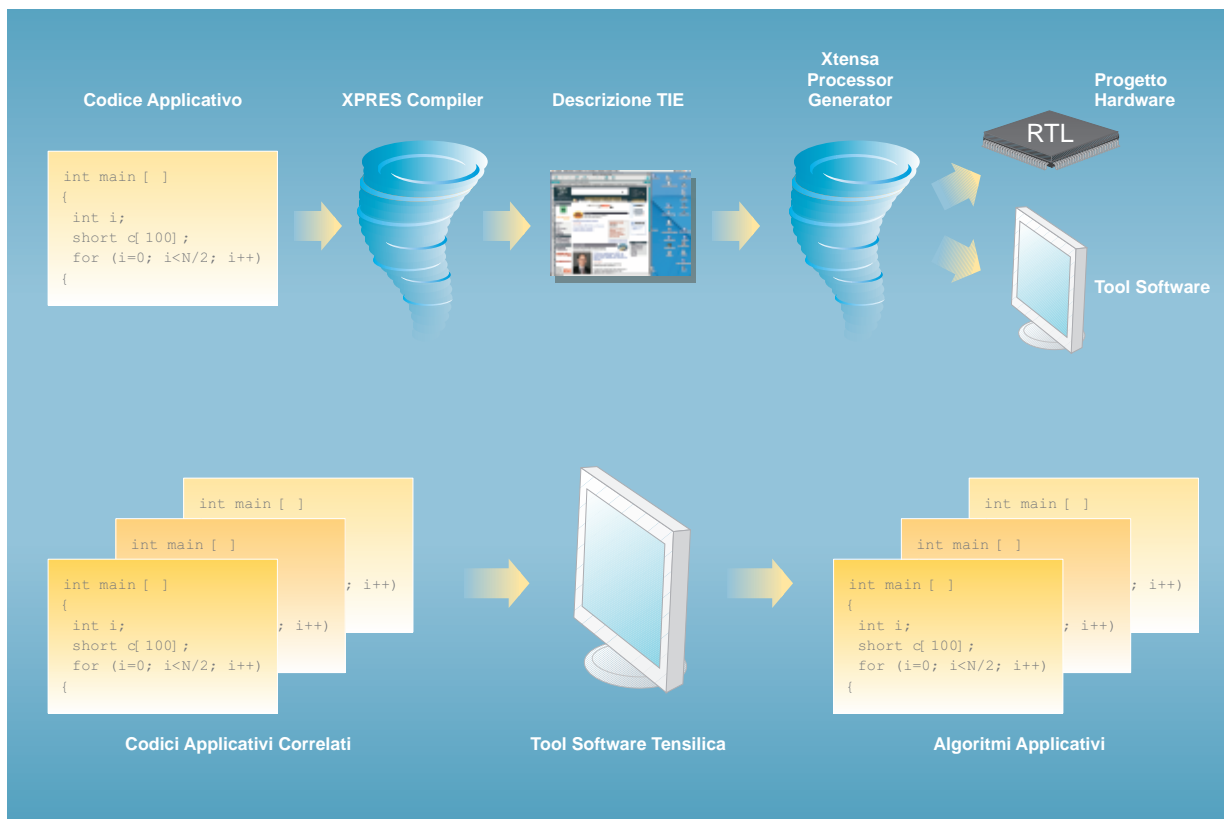


Fig. 1 - Il processo di sviluppo di un processore configurabile automatizzato con i tool Tensilica

zione delle istruzioni specifiche per descrivere nuovi registri e/o nuovi tipi di dati, come ad esempio le parole da 56 bit necessarie alle tecniche di crittografia, oppure le stringhe di dati lunghe 256 bit che possono essere usate nell'elaborazione dei pacchetti;

- usando dei programmi che automaticamente analizzano il codice C e determinano la miglior configurazione possibile per il processore.

I processori configurabili si basano sul codice RTL sintetizzabile ottimizzato per la fabbricazione su FPGA, o per il progetto dei SoC, e generalmente sono offerti insieme al proprio tool di sviluppo software che consente di modificarne le istruzioni di programmazione. Ad esempio, il linguaggio Tensilica Instruction Extension (TIE, una versione semplificata del Verilog) permette agli sviluppatori di modificare l'architettura a 32 bit dei microprocessori Tensilica Xtensa per adattarla ad applicazioni specifiche. Il linguaggio TIE è

ottimizzato per essere più ad alto livello, semplice e conciso rispetto all'RTL, perché interviene direttamente sul firmware del processore, rispettandone il set di registri e le istruzioni, mentre il firmware della FSM è usualmente scritto in C, o C++.

Ci sono compilatori in commercio capaci di esaminare il codice C di un particolare algoritmo e suggerire le estensioni più adatte per accelerarne l'esecuzione. Il tool Tensilica Xpres Compiler può analizzare automaticamente un algoritmo, identificare le istruzioni cicliche più critiche e le altre opportunità di ottimizzazione e creare alcune configurazioni di prova con varie estensioni TIE di modifica, che consentono di migliorare le prestazioni del processore. Inoltre, Xpres Compiler visualizza i grafici che confrontano le prestazioni delle diverse configurazioni proposte in termini di velocità e gate occupati: valutando in tempo reale gli effetti delle modifiche, si può realmente contenere

al minimo il tempo di sviluppo. Il tool può essere usato in modalità totalmente automatizzata, con il programma C/C++ in ingresso e le istruzioni ottimizzate TIE in uscita, oppure in modalità totalmente manuale, nella quale il progettista può scegliere le modifiche e verificare di volta in volta quali di esse offrono i migliori vantaggi dal punto di vista hardware.

Il ciclo di sviluppo di un processore configurabile

Il procedimento occorrente per creare il codice RTL di un processore configurabile varia secondo il produttore. Alcuni permettono ai progettisti di inserire manualmente le istruzioni nel codice RTL del processore, ma quest'approccio non offre adeguati meccanismi di controllo sulla correttezza delle istruzioni modificate manualmente e questa mancanza può, in realtà, diventare una grossa preoccupazione per il progettista poco esperto. Se le istruzio-

TABELLA 1 - L'ACCELERAZIONE CHE I PROCESSORI CONFIGURABILI CONSENTONO NELL'ELABORAZIONE DEGLI ALGORITMI FFT

dimensioni codice (Byte)	lunghezza FFT	C (con moltiplicatore software) 430 + librerie	C (con moltiplicatore hardware) 430	C (con istruzioni TIE nelle operazioni butterfly FFT) 158	Miglioramento nelle prestazioni
prestazioni (cicli)	128	763548	169739	2269	+337
	256	1787645	386498	4711	+379
	512	3975245	867133	9841	+404
	1024	9241893	1922644	20603	+449

ni aggiunte sono sconosciute al processore, infatti, il progettista deve preoccuparsi di scrivere anche le subroutine e le funzioni necessarie a farle eseguire e, probabilmente, alcune di esse le dovrà scrivere in linguaggio assembler.

I tool Tensilica automatizzano il processo di messa a punto dei processori configurabili e garantiscono risultati privi di errori. Il metodo Tensilica è basato sui seguenti quattro passaggi fondamentali: 1) Il programma applicativo originale scritto in C/C++ viene compilato dal Xpres Compiler che provvede ad analizzare milioni di possibili combinazioni di istruzioni. Solo le migliori sono mostrate al progettista.

2) Il progettista sceglie la "miglior" configurazione per l'applicazione di destinazione e, se lo desidera, può anche apporre manualmente qualche ulteriore modifica alla configurazione prescelta.

3) Il processore viene realizzato usando il tool automatizzato Xtensa Processor Generator che crea il codice RTL e tutto il necessario per gli altri tool software di sviluppo, ovvero compilatori, debugger e simulatori.

4) Il codice originale C viene compilato senza modifiche per poter essere

eseguibile sul processore appena configurato.

Tutto ciò può essere svolto dal tool automaticamente senza alcun intervento da parte del progettista.

I processori configurabili come alternativa ai codici RTL

I processori configurabili destinati a sostituire i programmi RTL usano le medesime strutture dei tradizionali blocchi RTL: pipeline lunghe, istruzioni parallele, registri di stato specifici per ogni task, bus dati larghi e uguali sia per le memorie locali sia per le memorie centralizzate. Questi processori offrono le stesse prestazioni e supportano le stesse interfacce di quelle offerte dai corrispondenti programmi RTL.

Tuttavia, il controllo sulle strutture di linea datapath nei processori configurabili è sostanzialmente diverso rispetto alle controparti RTL. Semplificando, il controllo a livello del firmware tipico dei processori configurabili conviene rispetto alle tradizionali soluzioni RTL per sei importanti motivi:

1. aumenta la flessibilità: per modificare i blocchi funzionali basta agire sul firmware;

2. lo sviluppo può essere totalmente software: per implementare le modifiche si possono usare tutti i tool disponibili in commercio a basso costo;

3. la modellazione del sistema è più rapida e completa: per un progetto da 10 milioni di porte logiche, anche il più veloce simulatore logico RTL può non riuscire a eseguire più di qualche ciclo al secondo. Per contro, la simulazione del firmware nei processori configurati può eseguire centinaia e, addirittura, migliaia di cicli al secondo;

4. controllo e dati possono essere uniformati: migrare da un sistema basato su RTL a un processore configurabile rimuove la separazione virtuale fra l'elaborazione dati e l'elaborazione dei segnali di controllo;

5. time-to-market: viene nettamente semplificato lo sviluppo dei SoC, accelerata la modellazione dei sistemi e velocizzate le funzioni hardware;

6. migliora la produttività: viene sensibilmente ridotta l'ingegnerizzazione dello sviluppo RTL e la sua verifica. Inoltre, diminuisce notevolmente il lavoro necessario nell'eventuale comparsa di un difetto di progettazione.

Il fondamentale vantaggio di scegliere

TABELLA 2 - È EVIDENTE IL VANTAGGIO DI USARE LE ISTRUZIONI OTTIMIZZATE TIE NELLA DECODIFICA DEI FILMATI VIDEO MPEG-4

Video Clip	prestazioni decoder Mpeg4 originale	prestazioni decoder Mpeg4 ottimizzato	frequenza di clock (15 frame/secondo)	miglioramento in velocità
Miss America	3,126 G cicli	76,8 M cicli	7,7 MHz	40,1x
Suzie	3,389 G cicli	102,2 M cicli	10,3 MHz	33,2x
Foreman	10,045 G cicli	359,5 M cicli	13,5 MHz	27,9x
Car Phone	9,222 G cicli	308,7 M cicli	12,2 MHz	29,9x
Monsters Inc.	29,327 G cicli	822,8 M cicli	8,6 MHz	35,6x

un processore configurabile al posto di un codice RTL è la sostituzione del blocco RTL che rappresenta la FSM, complesso tanto nella fase di progetto quanto nella verifica, con un core processore già verificato che, quindi, offre maggiore sicurezza e migliore affidabilità.

Processori e algoritmi

I processori configurabili e modulari permettono realmente agli sviluppatori di adattare le prestazioni dei sistemi alle applicazioni di destinazione. Grazie a essi, lo sviluppatore può implementare funzioni specializzate, registri di larghezza variabile, moduli di calcolo specialistici e bus di larghezza adattata alla particolare configurazione prescelta per il processore. I tool come Xpres Compiler possono svolgere automaticamente gran parte del lavoro determinando le estensioni più adatte a ogni particolare processore e per ogni determinato algoritmo applicativo. Due esempi possono dimostrare i vantaggi che possono offrire i processori Tensilica Xtensa: il primo esempio riguarda l'esecuzione delle trasformate di Fourier FFT, mentre il secondo mostra come può essere accelerato un decoder Mpeg-4.

La parte più importante di un algoritmo "decimation-in-frequency" FFT (Fast Fourier Transform) è il ciclo operativo denominato "butterfly" che, fatalmente, si trova sempre nel ciclo più interno dell'algoritmo FFT. Ogni operazione "butterfly" tipicamente richiede sei addizioni e quattro moltiplicazioni per elaborare sia la parte reale sia la componente immaginaria di ciascun risultato "radix-2 butterfly". Utilizzando il linguaggio TIE, si possono facilmente introdurre nel processore Xtensa quattro sommatore e due moltiplicatori in modo tale che più della metà di un intero ciclo "butterfly" possa essere svolta in un unico ciclo macchina. L'interfaccia verso il bus dati dei processori configurabili Xtensa può essere definita con larghezza di 128 bit in modo tale che quattro numeri interi reali e immaginari possano essere trasferiti negli appositi registri in un solo ciclo. Similmente, i risultati possono

essere trasferiti alle relative memorie in un solo ciclo. In realtà, è difficile sviluppare dei moltiplicatori realmente in grado di eseguire le operazioni alla velocità di clock di alcune centinaia di MegaHertz; di conseguenza, nella maggior parte dei casi conviene splittare le moltiplicazioni in due cicli.

L'approccio adottato da Tensilica si basa su un modulo di calcolo butterfly SIMD (Single Instruction Multiple Data) che occupa circa 35000 gate logici, compresi due moltiplicatori da 24x24 bit. I vantaggi in termini di prestazioni sono riportati per comodità nella tabella 1.

Un altro importante esempio dove i processori configurabili sono sensibilmente vantaggiosi è l'accelerazione dei decoder Mpeg-4. Infatti, una delle parti più difficili della codifica Mpeg-4 è la stima delle immagini in movimento. L'algoritmo preposto a tale compito contiene un modulo SAD (Sum of Absolute Difference) che deve eseguire svariate operazioni sui dati in ingresso, come differenziarli, estrarre il valore assoluto e, quindi, sommarne i risultati. Per una generica immagine QCIF (quarter common image format) e una velocità dei frame di 15 Hz, tale compito può richiedere circa 641 milioni di operazioni al secondo. Fortunatamente, grazie al linguaggio TIE è possibile trasformare le funzioni SAD nelle relative versioni SIMD, tali per cui diventa possibile eseguire fino a 16 istruzioni SAD in un singolo ciclo macchina. Ciò significa che le 641 milioni di operazioni al secondo prima necessarie diventano ora circa 14 milioni di operazioni al secondo, con una riduzione del 98% nel numero di cicli macchina necessari. Non solo, ma è possibile ottenere altri sensibili miglioramenti in tutte le codifiche a lunghezza variabile e i risultati sono indubbiamente sorprendenti. Nella tabella 2 sono riportati i risultati delle sperimentazioni svolte dagli esperti Tensilica su alcuni filmati Mpeg-4. Come si vede, i vantaggi dei processori configurabili sono evidenti. 🐘

Tensilica
readerservice.it n. 7