

Record di velocità e densità per i nuovi Fpga

Edward Clarke
Senior product marketing engineer
Altera

Grazie a un'architettura completamente diversa da quella tradizionale gli Fpga della serie Stratix II - disponibili in versioni da 15.000 a 180.000 elementi logici equivalenti - sono in grado di garantire notevoli miglioramenti in termini di prestazioni



Le prestazioni degli Fpga continuano ad aumentare a un ritmo incalzante. La disponibilità di I/O a elevata velocità e di blocchi Ip hard quali Dsp e memorie assicura la possibilità di operare a frequenze superiori a 400 MHz, con riflessi favorevoli sulle prestazioni dell'intero sistema. Si tratta di numeri decisamente interessanti, anche se la maggior preoccupazione dei progettisti sono le prestazioni "reali". Ciò si traduce, in pratica, nella possibilità di ottenere in modo semplice e rapido implementazioni delle descrizioni RTL nelle logiche programmabili senza ricorrere a cicli di ottimizzazione che richiedono parecchio tempo. Per raggiungere tale obiettivo è necessario disporre di una struttura a elevate prestazioni realizzata mediante le più recenti tecnologie di processo e di tool di progettazione efficienti capaci di sfruttare appieno le potenzialità del silicio. Nel caso non sia necessario raggiungere le massime frequenze di funzionamento, la possibilità di raggiungere gli obiettivi prefissati senza ricorrere a operazioni di ottimizzazione rappresenta un notevole vantaggio per i progettisti di sistema. L'innovazione intrinseca nella struttura logica negli Fpga della serie Stratix II, realizzati mediante un avanzato processo da 90 nm messo a punto da Tsmc, abbinata alle caratteristiche del software Quartus II consente di ottenere prestazioni decisamente spinte. Le più recenti prove comparative hanno evidenziato che i dispositivi della linea Stratix II garantiscono un aumento medio del 39% a livello di prestazioni rispet-

to alle più veloci Fpga disponibili sul mercato. A questo punto è lecito chiedersi come può un Fpga offrire vantaggi così significativi rispetto alle altre logiche programmabili, che peraltro vengono realizzate con tecnologie di processo simili e dispongono di toolset che possono considerarsi equiparabili. La risposta è data da una combinazione di fattori che sono stati presi nella dovuta considerazione con largo anticipo rispetto alla disponibilità del silicio.

In primo luogo si è proceduto all'ottimizzazione della tecnologia di processo, fattore chiave per garantire prestazioni elevate.

Tecnologia di processo

L'arcinota legge di Moore afferma che ogni due anni una funzione implementata su silicio sarà caratterizzata da una velocità doppia e da un costo dimezzato grazie all'incremento della densità dei transistor. Questa affermazione è vera in particolar modo per le logiche programmabili, dove i produttori sono tra i primi utilizzatori dei nuovi nodi tecnologici. In ogni caso, se i ritardi di gate sono diminuiti in misura proporzionale alle geometrie, l'interconnessione non ha seguito la medesima via: questo è il

motivo per cui alle interconnessioni metalliche all'interno del chip viene addebitata la maggior parte dei ritardi che si verificano nei moderni circuiti integrati (Fig. 1). Per contrastare tale effetto negativo, Altera e Tsmc hanno cooperato per introdurre parecchie innovazioni in fase di back end, come ad esempio la metallizzazione in rame, l'adozione di dielettrici a basso K e la messa a punto di innovative strutture di sbroglio (routing). Alcuni elementi, quali l'accurata scelta della spaziatura e dell'ampiezza del metallo in funzione della distanza che il segnale deve percorrere hanno contribuito alla realizzazione di interconnessioni veloci. Il materiale dielettrico a basso K, da solo, garantisce un miglioramento in misura del 10% del ritardo dovuto alle connessioni metalliche e a una diminuzione del 10% della potenza dinamica grazie alla ridotta capacità. L'adozione di tale tecniche è essenziale per garantire prestazioni spinte senza introdurre problematiche per quel che concerne la potenza. I componenti della serie Stratix II assicurano un incremento di prestazioni dell'ordine del 50% rispetto ad altre Fpga realizzate in tecnologia da 0,13 μm . Poiché la tecnologia di processo contri-

buisce in misura pari al 30% a tale aumento, è interessante individuare a quale ragione è imputabile la percentuale restante. Per assicurare prestazioni di punta ai dispositivi realizzati con processo da 90 nm è indispensabile mantenere i circuiti lontani dai lunghi fili di metallo e implementarli all'interno di gate a elevato livello di impaccamento. In tal modo è possibile ottimizzare i benefici in termini di diminuzione dei ritardi di gate. Per conseguire tale obiettivo Altera di far ricorso a una struttura logica completamente nuova, radicalmente diversa dalla classica Lut (Look up Table) a 4 ingressi che è rimasta sostanzialmente inalterata fin dai tempi dell'introduzione dei primi Fpga, avvenuta oltre un ventennio fa.

Il modulo Alm (Adaptive Logic Module)

La nuova e innovativa struttura logica dei dispositivi della serie Stratix II assicura un netto incremento di prestazioni a livello di singola funzione. L'introduzione del modulo Alm è frutto di un'accurata indagine condotta presso i progettisti, ai quali era stato chiesto quale fosse l'ampiezza della Lut più idonea per le loro applicazioni. Come si può vedere dal grafico di figura 2, l'ampiezza più richiesta è quella a 5 ingressi.

È chiaro che l'attuale Lut a 4 ingressi rappresenta un compromesso tra occupazione di area (minore se si utilizzano Lut con ridotto numero di ingressi) e prestazioni (maggiori nel caso si adottino Lut con un numero più elevato di ingressi). Le funzioni che richiedono un numero di bit superiore a 4 richiedono quindi più livelli di logica, il che comporta un aumento dei ritardi imputabili alle connessioni metalliche. Per contro, nel caso di funzioni che richiedono un numero inferiore di bit, vi è uno spreco di area di silicio, a causa dell'utilizzo parziale degli ingressi e dei bit di memorizzazione della Lut. Sulla base dei risultati di questo studio, Altera ha deciso di sviluppare un blocco base contenente una tabella Lut di dimensioni

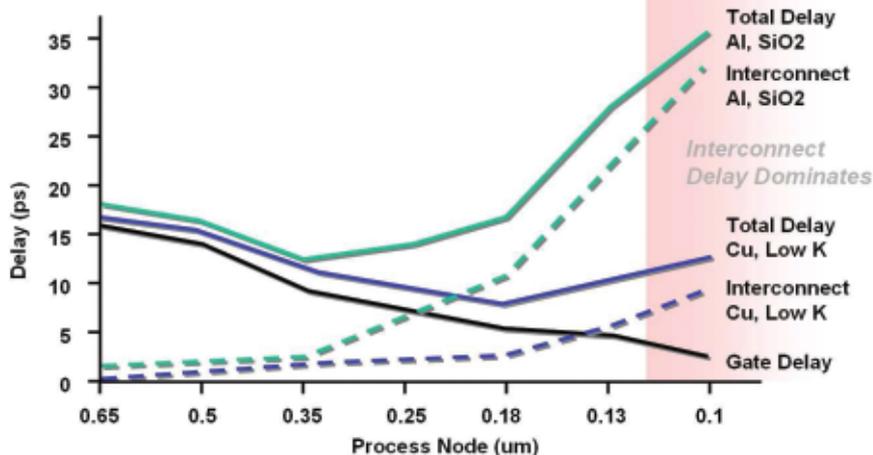


Fig. 1 - L'effetto dei nodi di processo e dei materiali sui ritardi che si verificano nei circuiti integrati

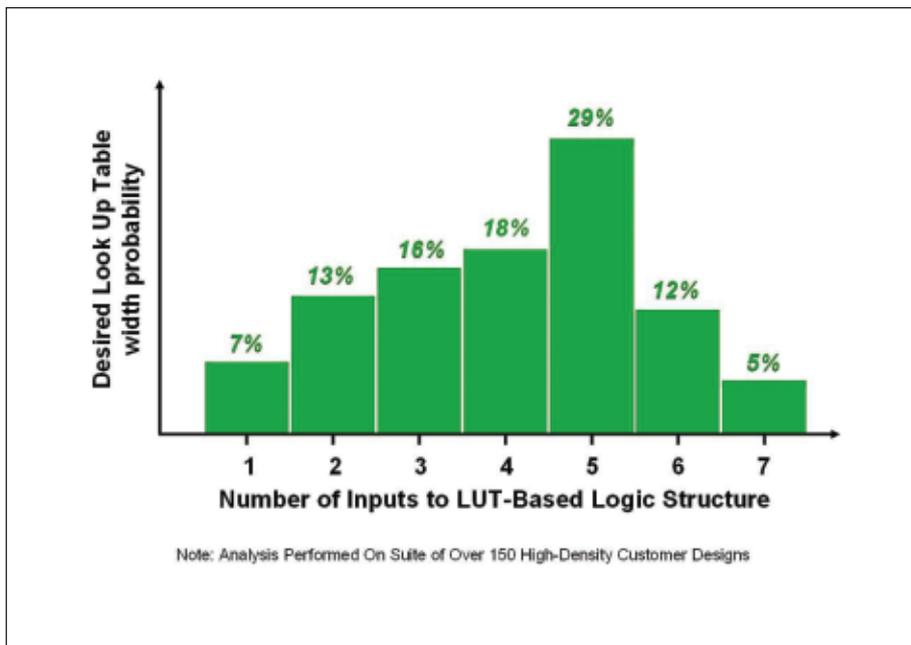


Fig. 2 - Distribuzione dell'ampiezza desiderata della Lut (il campione preso in considerazione è stato di 150 progetti)

sistivi di Altera hanno raggiunto una frequenza massima di 250 MHz (o superiori), valore non conseguito dai design realizzati con Fpga di altri costruttori. Per ulteriori informazioni su questi test e sulla metodologia di Benchmark utilizzata è possibile visitare il sito Web all'indirizzo: www.altera.com/products/ces/performance/benchmark/per-benchmarkmeth.html.

variabili, in modo da soddisfare le esigenze dei progettisti, unitamente a una funzione di addizione dedicata e il tradizionale registro. Questa nuova struttura, denominata appunto Alm, è una Lut ad ampio ingresso caratterizzata da un elevato di flessibilità grazie alla quale gli Fpga della serie Stratix II sono in grado di assicurare maggiori prestazioni a costi particolarmente competitivi grazie all'aumento della densità logica.

Naturalmente la disponibilità di un'architettura flessibile ha poco senso se i tool di sintesi, piazzamento e sbroglio non sono in grado di sfruttarne appieno le potenzialità. In questo caso, le più importanti società operanti nel mondo Eda mettono a disposizione tool di sintesi particolarmente potenti in grado di garantire il supporto al blocco Alm. Altera si è infatti premurata di condividere con i propri partner Eda i dettagli architetturali ben prima della disponibilità del prodotto finale in modo da assicurare la disponibilità di tool di sintesi adeguati. Oltre a ciò l'ambiente di sviluppo Quartus II di Altera mette a disposizione un ambiente unificato in grado di supportare l'intero flusso, dalla descrizione Hdl al file di configurazione, per una vasta gamma di circuiti logici pro-

grammabili, dai dispositivi in logica sparsa di piccole dimensioni per arrivare agli Asic strutturati da molti milioni di gate della serie HardCopy II. Quartus II mette a disposizione degli utenti:

- un engine di sbroglio per Fpga che sfrutta appieno le risorse degli Fpga della serie Stratix II;
- la possibilità di eseguire la sintesi fisica che ottimizza il progetto mediante la semplice pressione di un tasto;
- un Dse (Design Space Explorer) di uso semplicissimo che automaticamente ricerca le impostazioni atte a garantire le migliori prestazioni;
- la soluzione più avanzata per assicurare la "timing closure" nei progetti che prevedono l'uso di Fpga a elevata densità.

Analisi delle prestazioni

Il test più impegnativo per ogni Fpga è la capacità di ottenere implementazioni rapide e semplici della descrizione Rtl nella logica programmabile.

Test eseguiti su 77 progetti reali hanno dimostrato che il 95% dei progetti implementati con i dispositivi Stratix II sono caratterizzati da una velocità superiore rispetto a quelli realizzati con gli Fpga della concorrenza. Inoltre, il 13% di tutti i progetti che hanno fatto uso dei dispo-

In definitiva i risultati hanno dimostrato che gli Fpga della serie Stratix II garantiscono notevoli miglioramenti in termini di prestazioni (dell'ordine del 39%) rispetto ad altre analoghe soluzioni presenti sul mercato, facendone i più veloci Fpga al momento disponibili.

La presenza del modulo Alm, capace di ottimizzare prestazioni ed efficienza logica di un progetto, e la disponibilità della piattaforma di sviluppo Quartus II permettono di sfruttare in maniera adeguata le prestazioni offerte da questi Fpga. Essendo disponibile in volumi in tutte le versioni - da 15.000 a 180.000 elementi logici (Le) equivalenti - i componenti la serie Stratix II, oltre ad essere i più veloci, sono anche gli Fpga a maggiore densità attualmente presenti sul mercato.

Una descrizione più dettagliata dell'architettura Alm e maggiori informazioni relative al confronto con un'architettura logica tradizionale basata su una Lut a 4 ingressi sono disponibili all'indirizzo: www.altera.com/products/devices/stratix2/features/architecture/st2-lut.html ☺

Altera
readerservice.it n. 30