

## PACKAGE 3D: IL FUTURO DEGLI INTEGRATI ANALOGICI

Nikhil Kelkar  
Sadanand Patil  
Anindya Poddar  
National Semiconductor

In base alle più recenti stime di Sia (Semiconductor Industry Association) entro il 2007 il mercato mondiale dei semiconduttori dovrebbe superare i 250 miliardi di dollari, contro i 200 miliardi fatti registrare nel 2004: buona parte di questa crescita sarà imputabile ai dispositivi elettronici destinati al mercato consumer. Il diverso utilizzo dei chip, impiegati in misura sempre maggiore per la realizzazione di prodotti elettronici portatili piuttosto che per l'implementazione di "ingombranti" apparecchiature per applicazioni negli ambiti office o IT, ha avuto un impatto notevole sullo sviluppo di package innovativi caratterizzati da dimensioni sempre più ridotte ed elevati livelli di densità. Nonostante le nuove e interessanti opportunità offerte da questa evoluzione, sono notevoli le problematiche legate alla realizzazioni di package ottimizzati in termini di costi, prestazioni e affidabilità.

Storicamente, il packaging è stato visto come un passo supplementare del processo di produzione dei semiconduttori necessario solamente per assicurare la protezione e la manipolazione del prodotto. Nell'ultimo ventennio questa prospettiva è mutata in maniera abbastanza radicale: il package è divenuto un valore aggiunto dove le innovazioni apportate in termini di metodologie e di design

hanno consentito di fornire risposte efficaci alla crescente esigenze di aumento del livello di integrazione e di riduzione di dimensioni, peso e costi. Questa evoluzione è divenuta più evidente negli anni '90, con l'introduzione di package quali Bga (Ball Grid Array), Csp (Chip Scale Package) e Wlp (Wafer Level Packaging), solo per citarne alcuni. La disponibilità di tali package ha permesso di realizzare semiconduttori sempre più piccoli, densi ed economici, favorendo la rapidissima diffusione di telefoni cellulari e di un'altra miriade di dispositivi portatili.

I notevoli progressi appena sopra menzionati hanno contribuito a ridurre considerevolmente l'impatto del package sul silicio, ora ridotto a un sottilissimo "involucro" che avvolge il chip. Le future tecnologie di packaging dovranno sfruttare appieno i progressi finora compiuti e garantire un ulteriore incremento delle funzionalità dei prodotti, preservando nel contempo gli attributi propri dei package in termini di interconnessione, protezione contro gli agenti esterni, elevato numero di pin, alta velocità dei segnali, bassa dissipazione, prestazioni termiche spinte e passo di interconnessione via via più sottile.

Parecchi degli sforzi passati e presenti si sono concentrati sulle tecnologie di packaging di semiconduttori di tipo

*L'evoluzione delle tecnologie di packaging permetterà la realizzazione di circuiti integrati analogici sempre più sofisticati da utilizzare nei dispositivi consumer delle prossime generazioni, sempre più ricchi di funzionalità*

monolitico. Nel settore dell'elettronica si è cercato di spingere al massimo l'integrazione al fine di realizzare sistemi completi su un chip singolo (più noti sotto l'acronimo di SoC). Tuttavia la costruzione di dispositivi di questo tipo si andrà facendo via via più difficile in quanto le sempre maggiori prestazioni richieste non permetteranno la produzione di tutti i blocchi funzionali con un unico design e un solo processo di fabbricazione. Ad esempio, per i dispositivi in radiofrequenza e i microprocessori è necessario sfruttare differenti tecnologie di processo per la fabbricazione del wafer al fine di ottimizzare le prestazioni. I recenti progressi nel campo delle tecnologie di package consentono ora di colmare il divario tra soluzioni di tipo discreto e i SoC.

### La sfida tridimensionale

Sulla base di queste premesse, il trend più evidente è quello del package 3D, grazie al quale sarà possibile realizzare sistemi realmente integrati in maniera decisamente economica. Tra gli approcci più significativi al package tridimensionale si possono annoverare il "System-In-a-Package" (SiP) e il "Wafer Level 3D Packaging" (WL-3D). Per entrambi è possibile ottenere ulteriori riduzioni grazie all'utilizzo della terza dimensione (ovvero l'asse z in un siste-

ma di assi cartesiani) del package per incrementare il contenuto di silicio ospitato nel medesimo spazio fisico, fattore indispensabile per la realizzazione di dispositivi elettronici consumer sempre più complessi e sofisticati.

## System-In-A-Package (SiP)

I moduli multichip (Mcm - Multi Chip Module) e i package multi chip (Mcp - Multi Chip Package) sono stati i primi esempi di SiP. In entrambi i casi, più semiconduttori e componenti passivi venivano integrati su un substrato ceramico, laminato o metallico. Poiché tali package erano utilizzati principalmente in sistemi di elaborazione operanti a elevata velocità e non esistevano mercati verticali che necessitavano di elevati volumi - come ad esempio quello delle memorie - i moduli multichip non hanno mai raggiunto i volumi necessari per garantire significative economie di scala. Rispetto agli Mcm, i package multichip impiegavano substrati a basso costo ma il loro utilizzo era limitato ad applicazioni di nicchia, come ad esempio moduli di potenza per sistemi di telecomunicazione. Le più recenti evoluzioni nel settore dei SiP sono focalizzati sullo sviluppo di die impaccati (stacked die) all'interno del package e package impaccati (stacked package). Questi ultimi vengono impiegati principalmente per prodotti quali memorie mentre i primi sono utilizzati in tutta quella miriade di applicazioni dove due o più die e componenti passivi, una volta integrati all'interno di un package, forniscono agli Oem un sottosistema completamente collaudato.

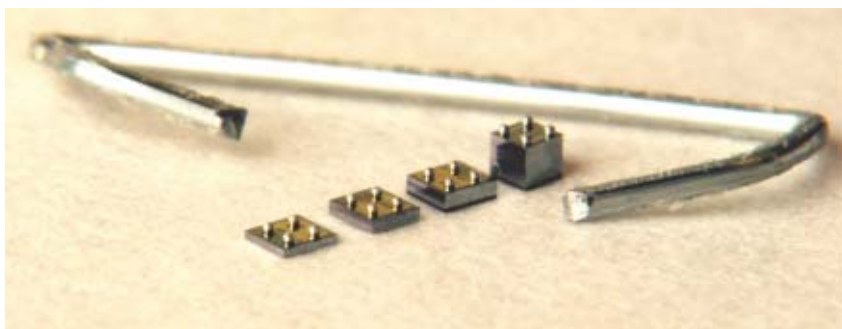
Per esempio, l'impaccamento di chip logici e a segnali misti consentono di sviluppare parecchie soluzioni per laptop e altri dispositivi portatili. Le varie funzionalità possono essere suddivise tra i die cosicché ciascuno di essi può essere realizzato utilizzando la tecnologia più idonea per l'applicazione considerata. Un corretto "mix" dei vari processi di fabbricazione può essere sfruttato per conseguire le migliori prestazioni a costi competitivi. La suddivisione delle funzionalità in blocchi più semplici permette inoltre di accelerare i tempi di progettazione e di debug del silicio, con riflessi favorevoli sul time-to-market.

## Package Wl-3D

La crescente richiesta di soluzioni analogiche discrete di piccole dimensioni e di memorie a elevata densità da utilizzare in handset mobili e Pda ha contribuito a far aumentare le richieste di package a livello di wafer. Il vantaggio più significativo dei Wlcs (Wafer Level Chip Scale Package) come ad esempio i package microSmd di National Semiconductor, è rappresentato dal fatto che il package è costituito dal die stesso, consentendo di ottenere la massima integrazione possibile nello spazio bidimensionale. Miliardi di unità di questo tipo sono già state consegnate in tutto il mondo consentendo la realizzazione di prodotti per microfoni, regolatori di tensione e amplificatori audio compatti e a elevate prestazioni. I maggiori sforzi sono attualmente concentrati sull'aumento del numero dei pin - ben oltre il centinaio - e sulla semplificazione dell'operazione di impaccamento dei

Wlcs per raggiungere livelli di integrazione ancora più spinti. I package Wl-3D sfrutteranno le infrastrutture tipiche dei package Wlcs in modo da consentire la realizzazione di moduli e sottosistemi sempre più densi. A causa dell'assenza di lunghi fili di interconnessione è possibile ottenere elevate prestazioni in termini di integrità dei segnali e di distribuzione della potenza. In maniera analoga a quel che accade per i SiP, è possibile impiegare differenti tecnologie di fabbricazione per ottimizzare la funzionalità del prodotto. Le tecnologie chiave per la realizzazione di package Wl-3D sono i processi di formazione delle vie attraverso i wafer, levigazione dei wafer (wafer grinding), redistribuzione del metallo a livello di wafer e bonding a livello di wafer (temporanea o permanente).

Come sempre accade nel momento in cui si sviluppano nuove tecnologie, il package 3D realizzato mediante die impaccati o ottenuto a livello di wafer pone numerosi problemi. Vi sono quelli legati alla scelta dei materiali diretti e indiretti e alla capacità di sfruttare le apparecchiature esistenti o di definire e acquistare quelle necessarie. Fino a non molto tempo fa la progettazione del chip, la fabbricazione del wafer e l'assemblaggio finale erano operazioni di tipo seriale. Per assicurare il successo dei package di tipo tridimensionale - o addirittura la loro fattibilità - è di vitale importanza adottare una metodologia di co-design che coinvolga prodotti, processi e package. In caso contrario non sarebbe possibile ottimizzare prestazioni, affidabilità, resa e costi. Ulteriori problemi derivano da caratterizzazione delle prestazioni del prodotto, metodi di collaudo di affidabilità e analisi dei guasti. Poiché un package 3D è spesso destinato a integrare componenti passivi e diversi chip realizzati con differenti tecniche di fabbricazione, la classificazione delle prestazioni del prodotto in termini di caratteristiche elettriche e termiche e di protezione meccanica diviene via via più complessa - per esem-




**TABELLA 1 - RIASSUNTO DELLE PROBLEMATICHE LEGATE ALLO SVILUPPO DEI PACKAGE TRIDIMENSIONALI**

		SiP	WLP 3D
Progettazione		Co-design del die, del package e del sistema	Co-design del die, del package e del sistema
Materiali		Film di collegamento al die a bassa sollecitazione	Materiali per il collegamento tra wafer e wafer, die e wafer, die e die temporanei e permanenti
		Composti di stampaggio con caratteristiche di flusso migliori	Materiali dielettrici per l'isolamento dell'interconnessione attraverso il wafer e redistribuzione
			Metalli adatti per la deposizione del film sottile e il rivestimento elettrolitico o non sul wafer
	Interconnessione attraverso il wafer		Elevato rapporto di aspetto attraverso processi di rimozione
			Isolamento della parete della via non uniforme in termini di porosità
			Rivestimento uniforme della via senza spazi vuoti
Processi e apparecchiature	Assottigliamento del wafer	Assottigliamento e manipolazione del wafer al di sotto dei 100 $\mu\text{m}$	Assottigliamento dei bumped wafer
	Bonding a livello di wafer		Collegamenti tra wafer e wafer, die e wafer, die e die temporanei e permanenti
	Connessione del die	Manipolazioni di die di ampie dimensioni ultrasottili	
		Film per la connessione di die isolati dal punto di vista elettrico e conduttivi dal punto di vista termico	
Caratterizzazione della funzionalità	Testabilità	Caratterizzazione del singolo prodotto e delle interazioni	Caratterizzazione del singolo prodotto e delle interazioni
Affidabilità	Analisi dei guasti	Isolamento dei guasti	Isolamento dei guasti
		Analisi dei guasti di natura fisica	Analisi dei guasti di natura fisica

pio la testabilità dei singoli dispositivi e delle diverse interazioni, l'impatto del progetto del package sulla gestione termica e l'influenza delle strutture composite sull'affidabilità delle interconnessioni interne ed esterne. L'impaccamento in direzione verticale di materiali differenti è causa di sollecitazioni intrinseche, estrinseche e relative all'interfaccia che risultano difficilmente interpretabili attraverso la modellazione e spesso danno adito a problemi nei collaudi di affidabilità come cicli di temperatura, resistenza a cadute e vibrazioni e così via. Le analisi dei guasti necessarie per

migliorare il progetto e il processo così come quelle relative ai guasti del prodotto sul campo sono molto complicate a causa delle difficoltà legate all'isolamento dei guasti di natura elettrica e al partizionamento fisico del prodotto. Nella tabella 1 vengono riassunte le problematiche relative allo sviluppo dei package 3D. In definitiva i nuovi dispositivi elettronici consumer - Gps palmari, cellulari multimediali e altri dispositivi portatili per l'entertainment - mettono nelle mani degli utilizzatori sempre nuove e avanzate funzionalità. Tutto ciò, non bisogna

dimenticarlo, è merito della disponibilità di dispositivi analogici a elevate prestazioni, poiché l'interfaccia verso il consumatore - sia esso video, audio o di natura sensoriale di altro tipo - sarà sempre di natura analogica. Lo sviluppo di tecnologie di packaging 3D da parte di National Semiconductor permette di realizzare semiconduttori analogici e a segnali misti sempre più evoluti per i prodotti consumer delle future generazioni. 

**National Semiconductor**  
readerservice.it n. 1