

Criteri di scelta di un convertitore A/D

La scelta di un ADC va fatta con attenzione, cercando il giusto equilibrio fra bassi consumi, elevata velocità e prestazioni ottimizzate

Atsushi Kawamoto, Richard Reay
Ph.D. Linear Technology

Le prestazioni di un convertitore analogico/digitale (ADC) ad alta velocità possono influenzare significativamente il progetto di un sistema adibito all'elaborazione dei segnali. Un progettista deve considerare l'impatto dell'ADC non solo sulla correttezza operativa del sistema in banda base, ma anche a radiofrequenza e sul funzionamento dei circuiti digitali. Pertanto, è importante conoscere i recenti sviluppi nelle tecnologie di fabbricazione dei circuiti ADC per saper scegliere con attenzione i componenti.

Giacché un ADC lavora al confine fra i domini analogico e digitale, la responsabilità della sua valutazione può ricadere

spesso su progettisti non necessariamente esperti di conversione A/D. Per questi progettisti è senza dubbio utile aggiornare le proprie conoscenze con qualche considerazione difficilmente ricavabile leggendo i datasheet dei costruttori.

Sebbene vi sia gran diversità fra gli utenti finali - spartiti fra comunicazioni, visualizzazione immagini, automotive e strumentazione - quasi tutti richiedono come requisito primario il contenimento dei consumi. In secondo luogo, sono richiesti negli ADC anche elevata risoluzione e alta velocità, due fattori che si ripercuotono nell'aumento della competitività per i prodotti finali. Si può analizzare

quest'importante tendenza di mercato in due aree applicative che stanno rapidamente crescendo: il progetto delle stazioni base di nuova generazione per le comunicazioni cellulari a banda larga WCDMA (Wideband CDMA) e il progetto delle infrastrutture per la televisione ad alta definizione HDTV.

Le infrastrutture WCDMA

I convertitori ADC per le infrastrutture wireless si sono drasticamente evoluti. Tuttavia, l'idea fondamentale della conversione dei segnali dalla radiofrequenza alla banda base non è cambiata nella sostanza rispetto a quanto avveniva nei primi ricevitori super-eterodina ideati da Armstrong. Le prestazioni sono radicalmente cambiate: superiore velocità di campionamento per sostenere i segnali a banda più larga; maggior risoluzione; migliore risposta dinamica, che permette di risolvere schemi di modulazione più complessi; bande d'ingresso più larghe che consentono di supportare i segnali a maggior frequenza dei moderni protocolli di comunicazione. Queste prestazioni sono tutte in contrasto con la pretesa di ridurre i consumi di potenza. Per le stazioni base WCDMA di terza generazione (e oltre) gli ADC ad alta

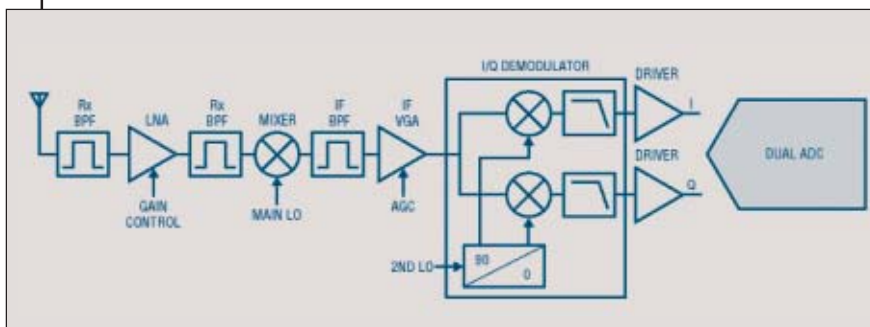


Fig. 1 - Gli ADC di prima generazione usavano configurazioni duali per demodulare i segnali entranti

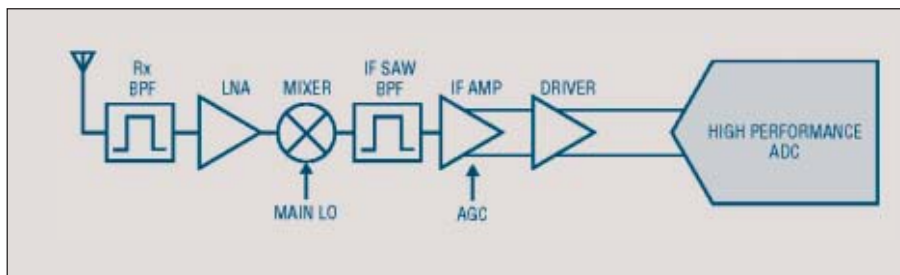
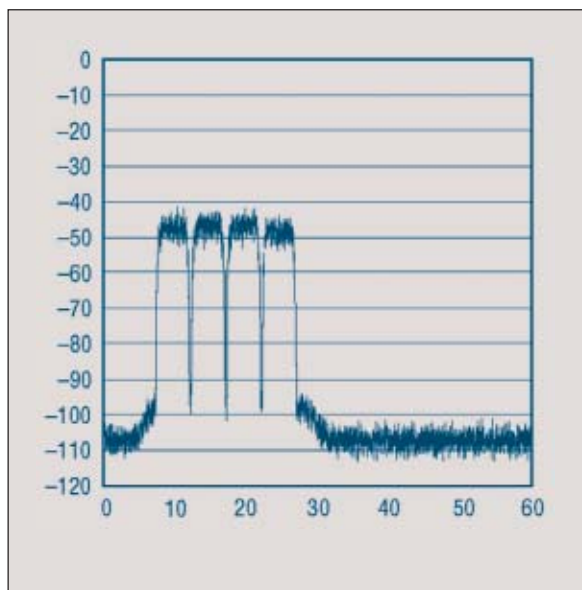


Fig. 2 - Gli ADC di nuova generazione campionano i segnali di tipo multicanale a una frequenza intermedia

velocità sono importanti tanto in ricezione, quanto in trasmissione. Mentre nei progetti di precedente generazione si usavano diffusamente ADC con consumo di potenza relativamente alto, dell'ordine dei 1500 mW, la tendenza attuale è quella di contenere il più possibile tale parametro, senza però "lesinare" sulle prestazioni. Ciò è particolarmente importante nelle reti metropolitane formate da densi gruppi di stazioni base "micro" e "pico", che devono garantire ben precisi livelli di qualità di servizio. Oltre a essere piccole nelle dimensioni, queste stazioni devono consumare meno possibile e moderare la dissipazione termica. Invero, la limitata capacità di rimozione del calore dissipato dai componenti è uno dei colli di bottiglia più critici per questo tipo di apparecchiature. Solo ADC compatti, a basso consumo e sufficientemente freddi nel funzionamento possono permettere il progetto di sistemi competitivi nelle prestazioni.

Le prime generazioni di ADC usavano configurazioni duali per demodulare i segnali I e Q di ogni canale, come mostra la figura 1. Poiché i segnali I e Q sono relativamente vicini alla banda base, in questo approccio le prestazioni richieste per l'ADC sono relativamente morigerate. Nei progetti di nuova generazione, la tendenza è d'implementare il supporto per le trasmissioni multicanale in un unico stadio ricevitore, campionando direttamente a una frequenza intermedia (IF, intermediate frequency), come mostrato nella figura 2. Questo tipo di architettura richiede requisiti molto più severi per gli ADC, come velocità di campionamento di 65 o

Fig. 3 - Lo spettro FFT di un tipico scenario con 4 portanti WCDMA centrate a 140 MHz e campionate a 122,88 MSPS con risoluzione di 12 bit



80 MSPS, risoluzione di 14 bit e buone prestazioni nel range della frequenza intermedia, generalmente fra 70 e 140 MHz. Nelle stazioni base WCDMA, oltre che in ricezione, gli ADC servono anche in trasmissione e in questa fase il collo di bottiglia nelle prestazioni è costituito dalla non linearità dell'amplificatore di potenza (PA, power amplifier) d'uscita, difetto che costringe a implementare tecniche specifiche di linearizzazione. Nei progetti di prima generazione, ciò veniva fatto con tecniche quasi puramente analogiche ("feed-forward"), mentre oggi la tendenza è quella di compensare la non linearità dell'amplificatore di potenza usando tecniche digitali che distorcono opportunamente il segnale prima che attraversi il PA e lo correggono usando un segnale di retroazione prelevato dall'uscita. Tuttavia, spesso le prestazioni dell'ADC

utilizzato per digitalizzare l'uscita del PA sono, di fatto, il vero collo di bottiglia che ostacola l'ottimizzazione delle prestazioni nell'intero sistema.

La velocità di campionamento richiesta per linearizzare l'uscita del PA dipende dal numero delle portanti da digitalizzare e dall'intervallo di frequenza nel quale la linearizzazione deve essere più efficace. Generalmente, per le stazioni base WCDMA si parla di 125 MSPS alla risoluzione di 12 bit. Per ridurre il numero degli stadi necessari a riconvertire l'uscita a radiofrequenza, la tendenza è di alzare la frequenza intermedia di campionamento. Frequenze intermedie dell'ordine dei 100 o 200 MHz sono molto comuni e pertanto l'ADC deve avere buone prestazioni in quest'intervallo. Un'importante figura di merito per questo genere di applicazioni è il rapporto di dispersione fra canali adia-

centi (adjacent channel leakage ratio, ACLR) quando vengono digitalizzate simultaneamente più portanti WCDMA. La figura 3 mostra lo spettro FFT in un tipico scenario con 4 portanti WCDMA centrate a 140 MHz e campionate a 122,88 MSPS con risoluzione di 12 bit. La qualità dell'ACLR misurato riflette la bontà del rapporto segnale/rumore dell'ADC, nonché la distorsione d'intermodulazione alle frequenze vicine a quelle di ciascuna portante. Questa misura è un valido test per valutare se un particolare ADC è adatto, o meno, a linearizzare un determinato PA.

Le infrastrutture HDTV

L'emergere delle nuove tecnologie multimediali, come la televisione ad alta definizione HDTV, è un eccellente motivo per la corsa al miglioramento delle prestazioni degli ADC. D'altronde, perché la televisione digitale si diffonda su larga scala sono essenziali le infrastrut-

ture e per queste ultime sono indispensabili degli ADC a basso consumo e alta velocità. Dal punto di vista della formazione dei contenuti, gli ADC con basso assorbimento energetico ed elevato range dinamico sono necessari per realizzare le camere di nuova generazione idonee a supportare le risoluzioni tipiche dell'alta definizione. In realtà, le prestazioni degli ADC hanno un ruolo critico nel determinare la qualità delle immagini ad alta risoluzione e adattarla alla qualità richiesta nei differenti settori di mercato come televisione, industria, aerospazio, automotive e difesa militare. Diversamente dalle applicazioni per l'elettronica di consumo che usano sempre e solo soluzioni a basso costo e integrazione spinta, le applicazioni con elaborazione di immagini ad alta qualità richiedono ADC in grado di garantire superiori prestazioni in un'ampia varietà di condizioni operative. I sensori utilizzati per queste applicazioni,

come dispositivi ad accoppiamento di carica CCD (charge-coupled device), sensori all'infrarosso IR e fotodiodi devono saper offrire range dinamici eccezionalmente elevati. L'attenzione del progettista di sistema deve essere rivolta a scegliere quei componenti analogici, compresi filtri, amplificatori e ADC, che abbiano prestazioni minime tali da non pregiudicare la risposta dinamica dell'elemento otticamente sensibile. L'innovazione nelle tecnologie di elaborazione immagini ha favorito il miglioramento delle prestazioni degli ADC in termini di risoluzione. Mentre molte delle camere per televisione a definizione alta (HD) e standard (SD) sono tutt'oggi a 12 bit, c'è una forte tendenza in atto a livello industriale volta a favorire l'adozione dei dispositivi con risoluzione a 14 bit. A seconda della risoluzione tipica di ciascun CCD la definizione standard richiede come minimo un ADC da 25 MSPS, mentre l'alta defini-

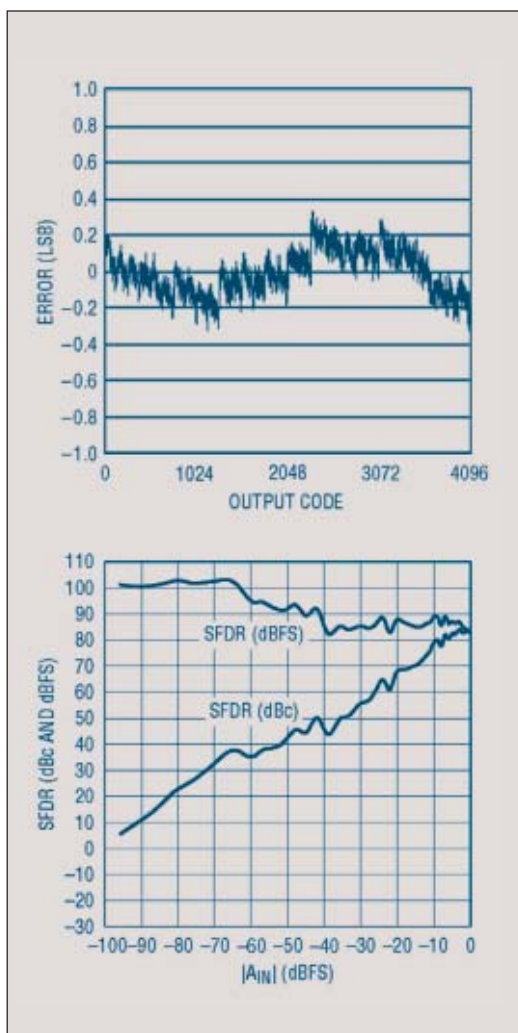


Fig. 6 - (a sinistra)
La funzione di trasferimento degli ADC a 12 bit prodotti da Linear Technology evidenzia grande linearità

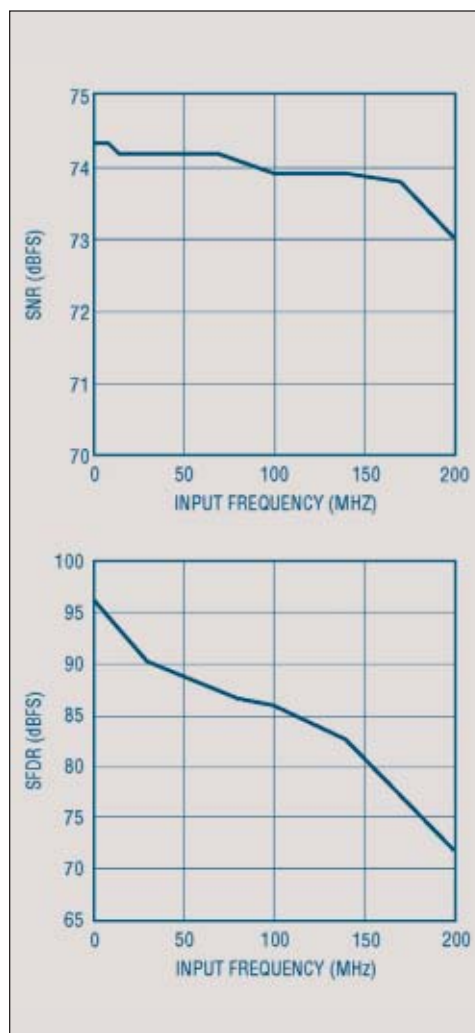


Fig. 7 - (a destra)
I valori di SNR e SFDR dell'ADC LTC2248 a frequenza lontana da quella di Nyquist

saper garantire buona linearità di risposta e minima distorsione anche alle frequenze più alte. Ciò può essere difficile per un ADC a basso consumo, perché generalmente per migliorare la linearità di risposta alle alte frequenze i consumi aumentano. Lo sviluppo di ADC a basso consumo capaci anche di offrire buone prestazioni è un passo critico nell'evoluzione dei sistemi a banda larga di nuova generazione.

Come scegliere un ADC ad alta velocità

Oltre ai requisiti imposti dall'utilizzatore, come quelli appena descritti, ci sono anche altre importanti considerazioni che non vanno trascurate quando si

sceglie un ADC. Per natura, questi requisiti non sono mai evidenti a una superficiale osservazione dei test riportati nei datasheet e le conseguenze a livello di sistema possono essere altrettanto poco evidenti durante lo sviluppo del prototipo, ma nondimeno portare alla realizzazione di un ADC con caratteristiche diverse da quelle previste all'inizio del progetto. Dunque, è utile esaminare questi requisiti già nella fase di scelta dei componenti.

Uno di questi requisiti è la velocità limite dell'ADC che generalmente il progettista sceglie in base alla velocità di campionamento nominale necessaria al sistema. In molte applicazioni pratiche, le imperfezioni nella distribuzione del

segnale di clock all'interno di un sistema possono causare variazioni inattese e insospettite del duty cycle del segnale di temporizzazione. Per esempio, in un denso sistema multicanale non è raro riscontrare sugli ADC posizionati su due lati opposti di una scheda PCB variazioni nel duty cycle del clock dal 5% fino al 10%. Allora, poiché una variazione di tale parametro del 50% significa lo spostamento del clock di una fase, è evidente che tale imprecisione può causare una disuniformità di funzionamento non trascurabile. Questa situazione non è rara nelle applicazioni di elaborazione immagini dove gli errori del 50% nel duty cycle del clock possono influenzare la correttezza operativa dei

moduli adibiti alla cancellazione del rumore. In un ADC senza un adeguato margine relativo sul valore della velocità di campionamento, queste imperfezioni possono cambiare la configurazione dei circuiti analogici. Di conseguenza, l'utilizzatore può osservare segnali incontrollabili e imprevisi all'uscita dell'ADC, come un'abbondante degradazione nelle prestazioni soprattutto in termini di distorsione. Nei casi dov'è necessaria una sostanziosa elaborazione delle immagini questi difetti si ripercuotono anche nella visualizzazione delle immagini stesse. La miglior difesa contro queste poten-

ziali insidie consiste nello scegliere un robusto ADC che sia dichiarato adatto a lavorare in certe condizioni di velocità di campionamento. Con questa premessa, fra un ADC dichiarato dal costruttore a 65 MSPS e un altro che dichiara nelle specifiche 50 MSPS ci può essere differenza sostanziale.

Dunque, è importante confrontare i dati tecnici che illustrano le risposte SNR (segnale/rumore) e SFDR (risposta dinamica) al crescere della velocità di campionamento: quanto più è piatta la risposta e tanto maggiore è il margine sulla velocità del componente. L'utilizzatore deve però preoccuparsi quando la curva della risposta è appena sufficiente a coprire la velocità di risposta dell'ADC, perché ciò implica il rischio che il margine di temporizzazione si riduca drasticamente al superamento della velocità nominale. Infatti, alcuni costruttori riducono i consumi di energia dell'ADC falcidiandone le prestazioni al crescere della velocità: questi dispositivi non offrono garanzie di affidabilità alle condi-

zioni operative di funzionamento.

Un'altra importante considerazione che interessa i sistemi per le comunicazioni wireless è la distorsione con i segnali d'ingresso deboli. La maggioranza delle trasmissioni wireless arriva agli ADC con un livello di segnale appena al di sopra del minimo rilevabile e sensibilmente inferiore al livello d'ingresso richiesto come ottimale. Il guadagno del front-end sul segnale entrante dev'essere progettato con la prerogativa di sapersi adattare al livello del segnale, in modo da conservare sufficiente efficienza nelle funzioni di compressione, soprattutto in presenza di segnali d'ingresso multipli che si sommano sull'ADC. Il problema maggiore per l'utilizzatore è che generalmente tutti gli ADC ad alta velocità garantiscono la linearità delle prestazioni in termini di SFDR solo con un singolo segnale d'ingresso scelto nelle condizioni ottimali. Chiaramente è difficile e costoso eseguire dei test sui segnali d'ingresso multipli, ma per fortuna molti datasheet offrono le caratteristiche SFDR per un'ampia varietà di livelli d'ingresso. Il progettista, pertanto, deve osservare attentamente queste curve per verificare se sono stabili e fino a che limite garantiscono prestazioni prevedibili e affidabili.

Se nei test si nota un'ampia granulosità nei livelli del segnale d'ingresso, ciò è senza dubbio sintomo di un'accentuata non linearità nella curva della risposta, oppure della presenza di forme d'onda a dente di sega nella funzione di trasferimento caratteristica dell'ADC. Spesso le cause interne di queste non linearità possono degradare le prestazioni in proporzione diretta con l'aumento della temperatura d'esercizio e anche questo parametro dev'essere tenuto in attenta considerazione. Poiché la linearità della funzione di trasferimento dell'ADC e la distorsione ai livelli d'ingresso più bassi sono correlate,

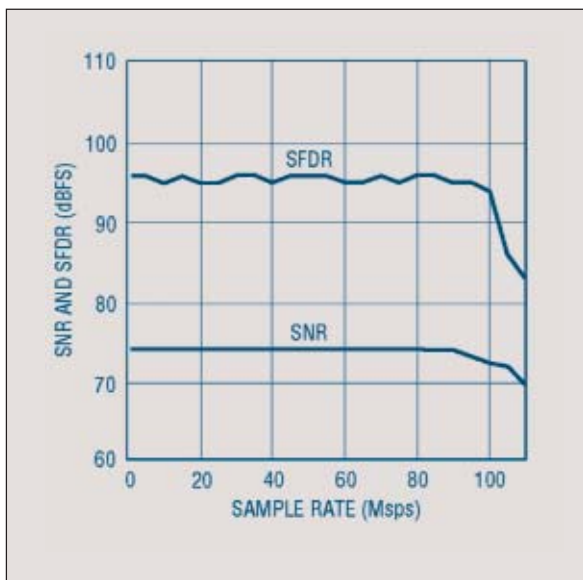


Fig. 8 - Anche se le specifiche dichiarano 65 MSPS, le prestazioni dell'LTC2248 sono lineari fino a 90 MSPS

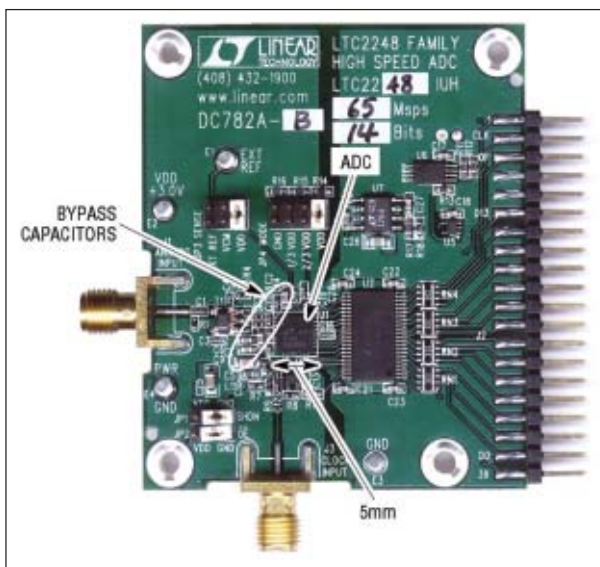


Fig. 9 - Le capacità di bypass ausiliarie sono già integrate a bordo del package QFN da 5 x 5 mm

un ADC che dichiara un elevato valore di massima non linearità integrale (integral non linearity, INL) può tendere ad avere una distorsione piuttosto stabile ai bassi livelli d'ampiezza del segnale d'ingresso.

Più generalmente, il progettista che deve promettere elevati standard di qualità nei suoi prodotti ha bisogno di altrettanto elevata affidabilità in tutti i componenti che utilizza. In questo caso, è importante scegliere ADC capaci di rispettare i limiti minimi e massimi di tutte le prestazioni dichiarate nei data-sheet come la INL, la non linearità differenziale (differential non linearity, DNL), SNR e SFDR.

Queste specifiche devono, inoltre, essere assicurate nell'intero intervallo di temperatura di funzionamento e, in più, occorre che tale intervallo non sia limitato alle sole temperature ambientali. Se non sono sufficientemente robusti, i componenti interni di un ADC ad alta velocità, come l'amplificatore operativo di precisione e i comparatori flash,

possono dimostrare drastiche variazioni di funzionamento al variare della temperatura.

Le dimensioni del sistema sono un altro requisito critico, poiché molti ADC a basso consumo devono essere utilizzati nei sistemi multi canale portatili dove lo spazio nelle schede PCB è limitato. Per soddisfare questi crescenti impieghi, molti costruttori di ADC hanno introdotto piccoli package a basso profilo come il QFN. Se l'uso di questi package riduce l'area occupata dai singoli ADC, ciò non è ugualmente vero per le schede dove lo spazio alla fine aumenta. Infatti, per polarizzare correttamente questi dispositivi occorrono numerosi condensatori al tantalio di elevato valore (tipicamente 10 μ F), i quali occupano molto più spazio sulla scheda PCB dell'ADC stesso: le induttanze parassite dei collegamenti fra gli ADC ad alta velocità obbligano a prevedere numerosi di questi condensatori esterni. Per ridurre realmente le dimensioni degli ADC, dunque, non basta scegliere quel-

li che hanno il package più piccolo, ma occorre minimizzare i componenti esterni necessari per la loro polarizzazione e soprattutto i condensatori di bypass.

L'evoluzione della tecnologia

Oltre ai progressi nelle tecniche circuitali c'è da tenere conto anche della continua innovazione nelle tecnologie di processo, le quali giocano un ruolo parimenti importante rispetto alle prime. I fabbricanti di dispositivi ADC possono, infatti, avvantaggiarsi del progressivo miglioramento dei processi CMOS, giacché dal punto di vista del disegno circuitale analogico la diminuzione della geometria di riga nel silicio determina minori consumi di potenza e maggior velocità di clock.

Diversamente dai tradizionali circuiti CMOS digitali che consumano solo potenza dinamica, la maggior parte della potenza consumata da un ADC è dovuta alla corrente statica necessaria per polarizzare i circuiti analogici come

i comparatori e gli amplificatori. In un tipico circuito analogico di polarizzazione la minor larghezza di canale (L) consentita dalla miglior precisione del processo di fabbricazione, causa l'innalzamento della transconduttanza (gm) nei transistor, la quale è un'importante figura di merito delle prestazioni del dispositivo. Le più piccole dimensioni del transistor riducono, inoltre, le capacità parassite nello stesso, mentre in ciascuno stadio all'interno dell'ADC la velocità operativa di tutte le parti analogiche è direttamente influenzata dal valore della gm dei transistor.

La minor larghezza di canale L permette maggior velocità operativa a parità di corrente di polarizzazione e, come valore aggiunto, la tensione di alimentazione necessaria nel sistema diminuisce insieme alla L, così la potenza dissipata viene altrettanto ridotta. In definitiva, l'evoluzione dei processi di fabbricazione sul silicio permette al progettista di ADC di realizzare dispositivi più veloci a parità di consumo, oppure che consumano meno a parità di velocità.

Comunque, c'è anche un importante inconveniente nella diminuzione della geometria di processo per i circuiti analogici. Riducendosi la tensione di alimentazione, l'intervallo della tensione supportata all'ingresso viene a ridursi ugualmente.

Tuttavia, anche se il livello del segnale d'ingresso diminuisce, ciò non significa che deve per forza diminuire anche il rapporto segnale/rumore, giacché viene a ridursi in proporzione anche il contributo del rumore e, quindi, il valore di SNR permane ottimo. Per capire meglio questo fenomeno sommiamo la potenza e il valore di SNR tipici alla frequenza di Nyquist per due generici ADC da 14 bit di medie prestazioni alimentati a 5V e a 3V.

Come si vede nella figura 4, i benefici del funzionamento a minor tensione sono ben evidenti, poiché il valore di SNR è nettamente più competitivo in un ADC a 3V piuttosto che in un ADC a 5V. In definitiva, la ricerca del com-

promesso ottimo fra il minor consumo di potenza e il miglior valore di SNR si rivela d'importanza critica nello sviluppo degli ADC del futuro.

L'ottimizzazione dei componenti

È chiaro che le elevate prestazioni a basso consumo sono il requisito primario per gli ADC e Linear Technology ha recentemente introdotto diverse nuove famiglie di ADC ad alta velocità proprio per soddisfare quest'importante esigenza.

I dispositivi LTC2224/2222/2223 sono ADC pin compatibili con risoluzione di 12 bit, alimentati a 3,3 V e capaci di offrire rispettivamente 135, 105 e 80 MSPS. La famiglia LTC2224 offre SNR di 67,5 dB e SFDR di 80 dB con frequenza d'ingresso fino a 140 MHz e dissipazione di 660 mW a 135 MSPS. Il progetto circuitale "track-and-hold" permette di conservare oltre 65 dB di SNR e 75 dB di SFDR anche alle frequenze d'ingresso fino a 400 MHz.

La figura 5 riassume le prestazioni ad alta frequenza dei dispositivi LTC2224, prestazioni difficilmente riscontrabili a parità di consumi nei dispositivi realizzati da altri produttori. Come si vede nella figura 6, la funzione di trasferimento di questo ADC è più lineare sia rispetto agli ADC a 12 bit, sia rispetto a molti ADC a 14 bit; inoltre, la distorsione ai bassi livelli d'ingresso è altrettanto stabilizzata.

Dunque, la famiglia LTC2224 è ideale per linearizzare il funzionamento dei WCDMA PA e nelle infrastrutture HDTV dove sono prioritari i bassi consumi al pari delle prestazioni ottime.

Le famiglie LTC2249 e LTC2229 sono ADC alimentati a 3V con risoluzione regolabile a 12 o a 14 bit e velocità operativa variabile da 80 a 10 MSPS. La tabella 1 riassume le prestazioni caratteristiche di questi dispositivi ad alta velocità, che hanno consumi molto bassi e contenuti in 230 mW a 80 MSPS per i LTC2249/2229 e 60 mW a 10 MSPS per gli LTC2245/2225. Per quanto concerne le prestazioni, l'LTC2248 offre 74 dB di SNR e 80 dB di SFDR

alle frequenze d'ingresso lontane dalla frequenza di Nyquist, come riportato nella figura 7 che evidenzia anche un ampio margine di risposta in termini di velocità. La figura 8 mostra che le prestazioni AC del dispositivo a 65 MSPS sono stabili e lineari a temperatura ambiente anche fino a 90 MSPS. Grazie al sottile package QFN da 5 x 5 mm, entrambe le famiglie offrono dimensioni compatte (vedi figura 9) e, inoltre, la maggior parte delle capacità di bypass necessarie sono integrate direttamente a bordo del chip, cosicché a questi componenti è sufficiente un numero limitato di condensatori ceramici esterni di piccolo valore per garantire le prestazioni dichiarate nei datasheet. Le famiglie LTC2249 e LTC2229 sono pin-compatibili e offrono le migliori prestazioni alla minima dissipazione di potenza, ideali in tutte le applicazioni con elaborazione d'immagini SD e HD, come le camere televisive o le attrezzature medicali d'ispezione ottica. Si può concludere osservando che, per mantenere buone prestazioni SNR e SFDR con ampi intervalli di frequenza d'ingresso sono necessari un'ampia risposta in frequenza, un circuito di tipo "track-and-hold" notevolmente lineare e un basso jitter nel segnale di temporizzazione interno necessario per il campionamento. Questi requisiti costano soprattutto in termini di consumi e rappresentano un problema circuitale non semplice da risolvere, giacché i valori di SNR e SFDR di molti ADC a basso consumo degradano rapidamente all'aumentare della banda di frequenza d'ingresso, così come il jitter nel clock interno e le non linearità nella funzione di trasferimento. D'altra parte, queste difficoltà sono da tenere in considerazione al momento di progettare un sistema per le infrastrutture wireless o HDTV di nuova generazione, apparecchiature che impongono requisiti tecnici soddisfatti solo con ADC capaci di garantire insieme elevate prestazioni e bassi consumi. 

Linear Technology
readerservice.it n.23