

System on Chip (SoC): almeno nelle intenzioni la maggior parte dei produttori di componenti elettronici, che non siano resistenze e condensatori, dichiara di avere nel loro portafoglio la soluzione SoC. Considerata una panacea i SoC si crede siano in grado di risolvere tutti o molti dei problemi che un progettista può trovarsi ad affrontare nella realizzazione dei suoi sistemi. Per fare un po' di chiarezza vale la pena rifarsi alla definizione che Gartner/Dataquest ha coniato nel 1995 per quelli che

specifica. Questo porta alla suddivisione del mercato in due aree: ASIC ed ASSP (Application Specific Standard Product).

La distinzione di base tra le due tipologie risiede nel fatto che l'ASSP può essere venduto a più di un cliente mentre l'ASIC è proprietà esclusiva di un unico committente, proprietà che acquisisce pagando i costi di engineering per la sua produzione (NRE). Se la soluzione ASSP può essere a tutti gli effetti un prodotto sviluppato completamente ad hoc la soluzione ASIC può essere

nitore avrebbe ragione nel definire i suoi componenti degli SoC.

La suddetta frase fa un po' da spartiacque ma lascia ancora molta libertà di interpretazione. Se a questo si aggiungono le evoluzioni tecnologiche offerte da due famiglie di prodotti quali gli FPGA e gli ASIC strutturati (o platform ASIC), che nella stragrande maggioranza dei casi contengono già memoria e logica e dove l'aggiunta di un DSP o di una MPU soft è facilmente ottenibile. E' da non dimenticare che Altera ha venduto più di 12.000 copie

alta di quella con cui si apprende a gestire il processo". La crescita di complessità è evidente. Cadence, per esempio, sintetizza il livello di integrazione ottenibile dai diversi livelli tecnologici: dalle poche decine di migliaia di gates offerte dallo 0,35µm si è ormai passati, con l'avvio ormai più che diffuso della tecnologia a 90 nm (nanometri), ad avere a disposizione circa 100 milioni di gates. A questa aumentata disponibilità si sono ovviamente esasperate tutte le problematiche relative: tempi e costi di engineering alle stelle, difficoltà maggiori nella simulazione e soprattutto nella verifica di strutture sempre più complesse. Questa serie di problemi si ripercuote, com'è ovvio, sulla corretta funzionalità del dispositivo progettato. Secondo un'indagine di CIR (Collett International Research) svolta su un campione di circa 250 progetti di SoC solo il 39% ha funzionato correttamente alla prima implementazione e, per ottenere il 77% di funzionanti, è stato necessario un secondo passaggio, lasciando ancora sul tappeto un 23% di progetti sbagliati. Nonostante questi dati che ha fornito Gartner mostrano che la strada SoC viene ancorata a percorsi e continuerà ad esserlo! E, soprattutto per la Piccola Media Industria dove non esistono i grandissimi volumi richiesti per compensare gli altissimi costi delle standard cell sono oggi percorribili due strade: quella dei dispositivi programmabili PLD (Programmable Logic Device), che ovviamente compongono gli FPGA, e quella offerta dai nascenti ASIC strutturati che ne ricalcano la concezione di base ottenendo la

System-on-Chip: Programmabili, Strutturati o "In-Package"?

lei chiama anche SLI ovvero System Level Integration. Dunque un dispositivo può fregiarsi del nome SoC (System on Chip) o SLI^[1] se contiene almeno "un motore di calcolo (un microprocessore o un DSP o un motore grafico o MPEG) della memoria sufficiente all'applicazione e della logica; il tutto in un chip singolo". La logica deve essere tale da poter rendere il componente adatto a soddisfare un'applicazione

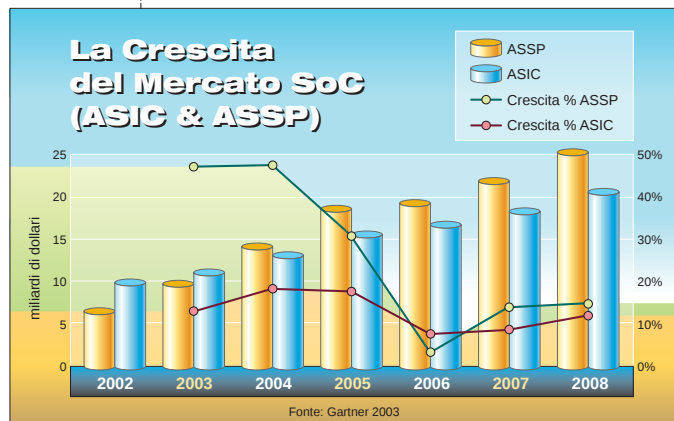
implementata sia in forma di Gate Array che Standard Cell o, come vedremo più avanti, sotto forma di PLD oppure in un mix di queste tecnologie. Se pensiamo ad un microcontrollore, anche di una generazione non recentissima, non stentiamo a trovare le tre funzionalità descritte da Gartner - micro, memoria e logica - e se non fosse per la frase "dedicato ad una applicazione specifica" la maggior parte dei for-

del kit di sviluppo per il suo soft core NIOS II. Detto tutto questo la stima del mercato diventa un bel rebus. Nel 2003 gli SoC/SLI hanno contato poco meno di 21 miliardi di dollari - circa 10 di ASSP ed il resto come ASIC - prendendosi il 54,5% del mercato totale ma questa quota è prevista crescere al 67,3% per il 2007, vale a dire che sempre più componenti della categoria risponderanno alla definizione di SoC. In particolare gli ASSP sembrano avere tra il 2003 ed il 2004 un'accelerazione improvvisa con una crescita ben al di sopra del 45% che li porta, nel 2004, a superare gli ASIC. La crescita si attenua leggermente nel 2005 ad un meno aggressivo 30% per poi allinearsi a quella del comparto tra il 2006 ed il 2008.

PIÙ GATES E PIÙ PROBLEMI

Rich Wawrzyniak di Semicore disse che "la velocità con cui si aumentano i gates è molto più

Figura 1:
Secondo Gartner/Dataquest il mercato SoC, diviso tra ASIC ed ASSP continua la sua crescita con un CAGR totale del 16,9% tra il 2003 ed il 2008; gli ASSP godono di una crescita più elevata della media tra il 2003 ed il 2005.



[1] La definizione System Level Integration (SLI) è normalmente considerata equivalente a quella di SoC.

personalizzazione con solo pochi livelli di metallizzazione negli strati finali e come ultimo passaggio di produzione.

SOPC

Dal mondo degli FPGA, i programmabili per eccellenza, nascono i 'System on Programmable Chip' che offrono oggi livelli di integrazione pienamente in grado di soddisfare la definizione di Gartner/Dataquest. Se solo tre o quattro anni fa l'integrare un core CPU come l'ARM7 all'interno di un FPGA poteva voler dire consumare la maggior parte delle risorse dello stesso, oggi, con le tecnologie a 90 nm, è possibile integrare un RISC a 32 bit di ultima generazione sfruttando non più del 5% delle risorse disponibili e lasciando spazio per la realizzazione di tutta la logica di contorno necessaria. La scelta dei 'motori di calcolo' (MPU o DSP) è ormai vastissima sia in versione hard - preincisi nella piattaforma - che soft. Tra i primi i più diffusi sono ARM, MIPS e PowerPC; vedi Excalibur di Altera che integra un ARM922T in grado di operare a 210 MHz e fornire 210 DMIPS (Dhrystone MIPS) insieme all'architettura FPGA APEX 20KE, il core PowerPC 405 di IBM è invece integrato nella Virtex-II Pro di Xilinx utilizzando l'architettura 'IP-Immersion' che consente di diffondere i core IP in qualsiasi posizione all'interno della struttura dell'FPGA e che può operare a 400 MHz di clock che gli consentono più di 600 DMIPS. Queste IP (Intellectual Property) predefinite nel silicio offrono l'indubitabile vantaggio di essere già collaudate e garantite nel loro timing riducendo quindi i tempi di simulazione e verifica. Di converso sono parte di piattaforme che non sempre nella loro architettura pre-costituita soddi-

sano appieno le esigenze di progetto.

La scelta può però indirizzarsi verso le IP soft che ne consentono il piazzamento all'interno della struttura FPGA che meglio si adatta alle esigenze progettuali. Anche su questo fronte la scelta è particolarmente variegata e, insieme all'offerta tipicamente onerosa degli stessi ARM e MIPS che si trovano nelle piattaforme citate in precedenza, esiste una più vasta gamma di core soft proprietari offerti come parte dei kit di sviluppo da parte dei produttori stessi degli FPGA. È per esempio il caso del NIOS II portatile sulle famiglie Stratix, Cyclone ed HardCopy di Altera fornendo fino a 200 DMIPS e del MicroBlaze, RISC a 32-bit di Xilinx, che, su Virtex-II Pro, può girare a 150 MHz con prestazioni da 123 DMIPS ed ottimizzabile per prestazioni o uso delle risorse dell'FPGA.

ASIC STRUTTURATI

Sono basati su una organizzazione logica predefinita molto simile nella sua essenza a quella degli FPGA: una matrice di blocchi logici pre-costituiti insieme a blocchi configurabili di memoria SRAM, macro funzioni di varia natura, distribuzione dei clock e funzionalità di testing. Questi array possono essere predifusi e metallizzati per i primi livelli lasciando scoperti solamente gli ultimi passi del processo produttivo, quelli che consentiranno di realizzare il progetto personalizzato richiesto dal cliente. Questi wafer predifusi possono essere immagazzinati come prodotti standard utilizzabili da più clienti e solamente al momento dell'ordine di quella particolare configurazione ripresi e completati con gli ultimi 1 o 2 o 3 livelli di metallizzazione e spediti al cliente.

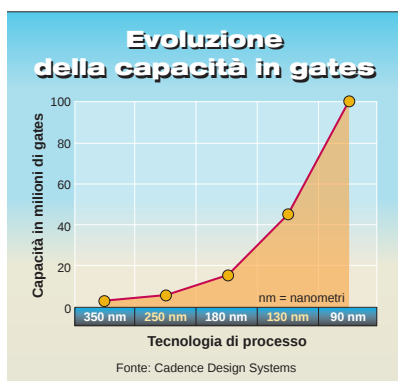


Figura 2: Dalle poche decine di migliaia di gates a 0,35µm si è passato oggi ai 100 milioni di gates resi disponibili dalla tecnologia a 0,90nm.

I vantaggi che ne derivano sono sostanzialmente diversi. La piattaforma di base diventa comune a più progetti ed i costi relativi distribuiti su un numero molto più vasto di progetti consente economie di scala più ampie. Il numero ridotto di maschere si traduce anche in costi di NRE decisamente più contenuti mentre i tempi per completare gli ultimi passi del processo produttivo si riducono drasticamente



consentendo di raggiungere, in alcuni casi, tempi di ritorno dell'ordine di tre/sei settimane. Secondo Semico il 2003 ha visto questo mercato crescere dell'80% contro il più modesto +16,8% del mercato globale degli ASIC e del +29,3% dei PLD. Dai 164 milioni di dollari del 2003 Semico prevede una crescita a 233,2 milioni per 2004 con un +42% mentre l'aspet-

tativa per il 2008 è di 1,44 miliardi di dollari con una crescita media annua del 54,4% quindi con prospettive sul medio-lungo assolutamente positive. Gli ASIC strutturati offrono effettivamente il giusto mix di costi ragionevoli di engineering, prestazioni superiori, facilità di progettazione, volumi accettabili e tempi di ritorno sufficientemente rapidi.

SIP: ALTERNATIVA AI SOC?

Nei SiP - System-in-Package - parenti stretti dei Multi-Chip-Module, si possono combinare diversi chip oltre a componenti discreti e passivi in un unico package che viene così a contenere un sistema completo. Per i contract manufacturers dei package per il i semiconduttori è questa una opportunità di allargamento del mercato che sta per essere cavalcata. A detta della società di analisi di mercato Semico Research Corp. Questo segmento è previsto crescere dagli 82 milioni di dollari del 2002 ai 747,9 milioni del 2007 con una crescita media annua del 55,6%. Questa soluzione, già ampiamente adottata nei telefoni cellulari, nei moduli Bluetooth, nei sensori di immagine ed in altre apparecchiature dove la compattezza è d'obbligo, può offrire, a costi di sviluppo decisamente inferiori a quelli richiesti per la realizzazione di uno standard cell, una strada per la realizzazione di sistemi completi e con vantaggi indubitabili:

- ✓ uso di componenti standard e quindi a costi competitivi,
- ✓ possibilità di modificare l'architettura senza dover rifare una mascheratura,
- ✓ aggiornamento delle funzionalità con l'aggiornamento di una sola parte, solo per citarne i più significativi.

Figura 3: Secondo una indagine di CIR svolta su un campione di più di 250 SoC solo il 39% era funzionante al primo tentativo; la copertura passava al 77% dopo il primo rifacimento.