

Strategie di test in una moderna linea di produzione SMT

Test: fra pressioni e rimedi

Valerio Alessandrini

PARTE I

È quasi scontato: la spinta crescente verso la riduzione dei costi, l'aumento della qualità e la riduzione del time-to-market è un fenomeno che, nel settore elettronico, sembra non avere fine. Le strategie di test possono offrire dei vantaggi, migliorando l'efficienza e la qualità dei processi e favorendo la riduzione dei costi e il miglioramento delle prestazioni attraverso l'intero ciclo di vita della produzione, dalla progettazione, all'introduzione del prodotto, alla sua fabbricazione e alla garanzia. Il ritorno sugli investimenti di una strategia ottimizzata di test delle schede può tra-

dursi in un miglioramento del time to market di tre settimane e in un risparmio di oltre un milione di euro. Ma partiamo dalla base: da dove proviene questa spinta e quali rimedi sono possibili?

Strategie di test

I produttori devono applicare strategie di test complementari e distribuite, utilizzando la forza di vari tester per ottenere una maggiore prestazione combinata. I tecnici hanno spesso utilizzato l'esperienza come criterio di assegnazione delle strategie di test, senza analizzare i benefici e i punti deboli dei diversi approcci di test in modo quanti-

tativo. Tuttavia, le schede complesse richiedono una strategia più ottimizzata. GE Force/Strategist di Teradyne risponde a questa esigenza. Si tratta di un tool software che aiuta a progettare ed implementare piani di test ottimizzati modellizzando la copertura guasti (l'efficacia di un metodo di test nel rilevare uno specifico tipo di difetto su una locazione facilmente accessibile) di ciascuna fase del collaudo a livello di pin del componente. Il tool permette l'analisi della collaudabilità durante la progettazione della scheda e consente agli ingegneri di collaudo di lavorare in modo concorrente con i progettisti.

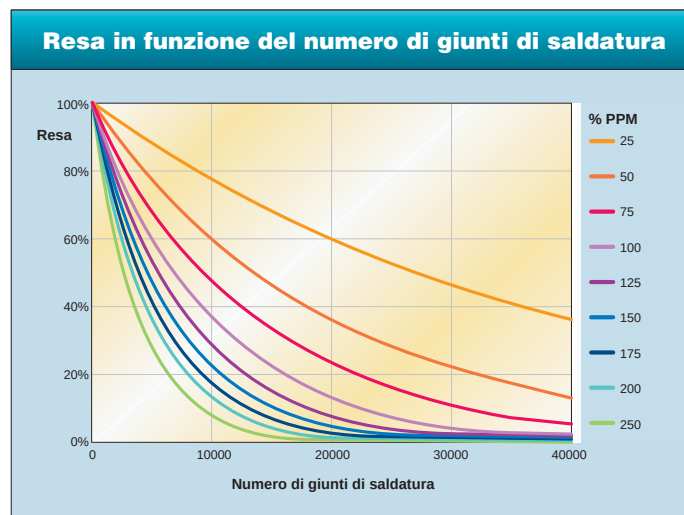


Fig. 1 – Resa al primo passaggio in funzione del numero di giunti di saldatura per i soli difetti strutturali – valido per una fase di test con copertura dei difetti strutturali pari al 100% e accesso al 100%, se non vi sono state ispezioni precedenti. I difetti elettrici ridurrebbero ulteriormente le rese stimate

Questo tipo di analisi complessa può essere eseguita solo con un software che sfrutta le informazioni geometriche, elettriche e meccaniche complete del progetto della scheda, contenute all'interno di formati come il Gencam. (Questo formato, standard 2541, stabilisce requisiti e altre considerazioni per l'intercambio di informazioni fra il software e i sistemi informativi della fabbrica). I benefici offerti dall'uso di Strategist sono minori iterazioni di progettazione, un migliore accesso per il collaudo, una maggiore copertura

dei guasti, meno intoppi, minori costi di test di produzione e un migliore time to market.

Diversi fattori limitano le strategie di test su schede che rispondono a diverse esigenze.

Accesso, costi, throughput, affidabilità, tempo di sviluppo dei test e risoluzione diagnostica sono fattori rilevanti e importanti nella determinazione di un piano di test ottimizzato. Strategist permette agli ingegneri di equilibrare questi elementi e di prendere le decisioni che rispondono meglio ai loro obiettivi. In particolare, il software Teradyne aiuta gli ingegneri a decidere quali

Acronimi e abbreviazioni

AOI	automated optical inspection (ispezione ottica automatizzata)
API	Automated paste inspection (ispezione automatizzata della pasta)
AXI	automated X-ray inspection (ispezione radiografica automatizzata)
BIST	built-in self test (autotest incorporato)
BS	boundary scan/IEEE 11.49.1
BOM	bill of material (distinta base)
CAD	computer aided design (progettazione computerizzata)
CEM	contract electronics manufacturing/manufacturer (produzione/produttore elettronico conto terzi)
DFM	design for manufacturing (progettazione orientata alla produzione)
DFT	design for test (progettazione orientata al test)
DFx	design for test & manufacturing (progettazione orientata al test e alla produzione)
ESS	environmental stress screening (analisi degli stress ambientali)
ICT	in-circuit test (test in-circuit) FPT flying-probe test (test a sonda volante)
FT	functional test (test funzionale)
HVI	human visual inspection (ispezione visiva umana)
MDA	manufacturing defect analyzer (analizzatore difetti di produzione)
NPI	new product introduction (introduzione nuovo prodotto)
OEM	original equipment manufacturer (produttore di apparecchiature)
PCB	printed circuit board (scheda) PCBA printed circuit board assembly (gruppo scheda)
QFP	quad flat pack (flat ack quadruplo)
RIP	repair/rework in process (riparazione/rielavorazione in corso)
ROI	return on investment (ritorno sull'investimento)
SMT	surface mount technology (tecnologia a montaggio superficiale)
TAP	test access point (boundary scan) (punto di accesso di test)
WIP	work in process (lavoro in corso)

apparecchiature devono fare parte dei test e li assiste nell'implementazione della strategia a livello di reparto, generando automaticamente i file d'ingresso richiesti dalle apparecchiature. Offrendo la flessibilità necessaria per creare strategie di test sinergiche con le apparecchiature di più fornitori, il tool assicura una maggiore agilità nella risoluzione dei problemi più complessi.

Soluzioni da considerare

Quando devono progettare strategie di test per gruppi di schede, i produttori si trovano di fronte a una molteplicità di soluzioni, come l'ispezione automatica ottica (AOI) e a raggi X (AXI), le sonde volanti (FPT), i test funzionali (FT) e in-circuit (ICT) e il boundary scan (BS).

Ognuna di queste soluzioni ha la propria copertura guasti e le proprie caratteristiche prestazionali. Quando considerano una strategia di test ottimale, gli ingegneri devono quindi bilanciare elementi come i costi operativi e di capitale, la copertura guasti, il throughput, la risoluzione diagnostica, l'immediatezza di feedback del processo e l'affidabilità del prodotto a lungo termine. La mancanza di accesso fisico aggiunge un'altra dimensione di complessità al problema; determinare la copertura guasti e prioritizzare i net che richiedono accesso fisico in un ambiente di test digitale e boundary scan è difficile. Tuttavia, utilizzando più tecniche di test in modo complementare o distribuito, è possibile raggiungere meglio questi obiettivi.

È necessario risolvere una quantità di questioni. Quali tool devono essere utilizzati in una strategia di test distribuito? Qual è la copertura guasti offerta da ciascuna tecnica? Come dovrebbero essere distribuiti i test per raggiungere gli obiettivi prestazionali? Qual è l'equilibrio corretto della copertura di test complementari o sovrapposti? Quali nodi richiedono un accesso di test e quali non lo richiedono?

Quali sono i rischi/gap in una strategia ottimizzata? Mentre gli utenti stanno cercando di rispondere a queste domande, le pressioni crescenti in termini di time-to-market richiedono l'ot-

timizzazione di queste strategie già durante la fase di progettazione.

Strategie di test complementari e distribuite

La tendenza verso una maggiore complessità dei prodotti e una crescente miniaturizzazione si traduce in un aumento degli I/O e della densità delle schede: vi sono infatti schede che hanno oltre 20.000 giunti di saldatura. Nello stesso tempo, è aumentata anche la complessità dei processi di assemblaggio; le schede spesso sono sottoposte a fasi di assemblaggio SMT sui due lati, assemblaggio manuale, saldatura a onda, pressfit e assemblaggio meccanico. Nonostante i produttori stiano migliorando le loro capacità di processo e riducendo i tassi di difettosità, difficilmente potrà essere mantenuto un trend discendente del numero di difetti per scheda. La crescente quantità di giunti di saldatura per scheda, unita alla maggiore complessità, sta portando a un numero più elevato di difetti strutturali.

Questi ultimi sono definiti come difetti di saldatura, piazzamento, assemblaggio o meccanici, tra cui corticircuiti, circuiti aperti, scarsa qualità del filetto di saldatura, vuoti di saldatura e componenti errati, mancanti o storti. I difetti strutturali non includono quelli di natura elettrica, derivanti dalla progettazione, da valori non corretti o da parti non funzionali. Uno studio su scala mondiale indica che il tasso di difetti strutturali può variare mediamente da 650 a 1100 ppm (giunti di saldatura difettosi per milione di giunti prodotti). La figura 1 dimostra che, quando sono presenti 20.000 giunti di saldatura, è garantito qualche difetto strutturale (una cifra) anche a un produttore in grado di raggiungere livelli di qualità eccellenti di 100 ppm.

Quando la resa di primo passaggio si avvicina a cifre singole, i produttori devono prestare maggiore attenzione allo spettro dei difetti strutturali, che tipicamente rappresentano l'80-90% dei difetti complessivi. Questa tendenza sta convincendo gli ingegneri a considerare l'uso dell'ispezione automatizzata.

Glossario del test di schede

2D/AXI può avere un accesso ai giunti di saldatura minore del 100%. Il concetto di accesso di test è indipendente da quello di copertura dei guasti.

Analisi della collaudabilità – tutte le informazioni CAD e BOM vengono utilizzate per determinare l'accesso fisico dell'ICT. Nel modello è fattorizzata la copertura dei guasti di altri metodi di test, come AXI, FPT o AOI, e vengono decisi dei compromessi circa i test che devono fornire una copertura alle varie parti e pin. Ogni lacuna di accesso viene esaminata e si determinano i pad di test richiesti in base alla copertura dei guasti di tutte le fasi di test e alle informazioni della libreria di modelli (BS, analogico, digitale).

Copertura dei guasti – efficacia di una fase di test nel rilevamento di uno specifico tipo di difetto in una posizione pienamente accessibile.

Copertura di test – prodotto della copertura dei guasti per l'accesso di test.

Gencam – formato dati conforme allo standard IPC 2541. Stabilisce requisiti e altre considerazioni per l'interscambio di informazioni fra il software di produzione e i sistemi di fabbrica. Le informazioni possono consistere di attributi e dati parametrici, dati di prodotto, ricette di processo, monitoraggio e controllo delle apparecchiature, utilizzo delle risorse e consumo di materiali (www.gencam.org).

Spettro dei guasti – possibili tipi di difetti e punti nei quali possono verificarsi su una scheda.

Test distribuito – una strategia che sfrutta le forze di varie macchine di test (misurate in termini di copertura dei guasti, accesso, velocità di test, risoluzione diagnostica o altri attributi) in modo complementare o sovrapposto per ottenere prestazioni combinate uguali o maggiori della somma dei singoli metodi.

ta, in grado di rivelare i difetti strutturali, più a monte nel processo di produzione, nell'ambito di una più ampia strategia di test.

Inoltre, la densità e la complessità delle schede sta rendendo inefficaci i metodi di ispezione visiva umana, mentre la crescente densità dei componenti sta riducendo il livello di accesso fisico disponibile per il collaudo a letto di aghi (ICT). Questo accesso ridotto si traduce in una minore copertura dei test elettrici, spingendo quindi l'adozione di metodologie senza contatto come AOI, AXI e FPT per una copertura di test complementare.

Spinte relative al time-to-market

Mano a mano che i cicli di vita dei prodotti si avvicinano all'ordine di grandezza di un anno, il time-to-market diventa un elemento chiave. Più le

organizzazioni passano velocemente dalla progettazione al prototipaggio e alla produzione, maggiori possono essere quote di mercato, fatturati e profitti. Un tool software in grado di permettere l'analisi della collaudabilità durante la progettazione delle schede potrebbe migliorare il time-to-market, perché consentirebbe agli ingegneri di test di lavorare simultaneamente con i progettisti.

Se gli ingegneri possono prevedere lo spettro dei guasti, pianificare le strategie di test, capire la copertura dei guasti e i limiti di accesso ai test prima della fase di routing del layout delle schede, possono ottenere significativi vantaggi competitivi. Ne risultano minori iterazioni di progettazione, minori errori, minori costi di test, maggiori rese di produzione e un migliore time-to-market.

Oltre ai tool software che permettono

l'analisi della collaudabilità durante la progettazione delle schede, gli utenti sono alla ricerca di strategie alternative in grado di ridurre il tempo di sviluppo dei test e facilitare un ciclo NPI veloce ma efficace fornendo un elevato livello di copertura dei guasti e di risoluzione diagnostica già nelle prime fasi del prodotto. Metodi senza attrezzatura, come l'FPT, che garantiscono elevati livelli di copertura dei guasti e tempi brevi di sviluppo dei test senza richiedere attrezzature costose e consegnate in tempi lunghi, sono altamente desiderabili per l'NPI.

Spinte relative al time-to-volume

Le aziende che soddisfano l'esigenza di prodotti innovativi già nelle prime fasi del loro ciclo di vita possono essere vincenti sia sul lato delle quote di mercato, sia su quello dei profitti.

L'aumento dei volumi di produzione in un ambiente sempre più competitivo sul piano dei costi richiede il rilevamento e il contenimento efficaci dei difetti alla sorgente, l'identificazione delle cause alla radice e, infine, una migliore capacità di processo. Metodi di ispezione come gli AXI/AOI, che forniscono dati parametrici per la misura, il continuo miglioramento e il controllo dei processi contribuiscono a ottenere rese migliori nel tempo.

Gli utenti hanno bisogno di soluzioni in grado di identificare i difetti più vicino alla sorgente, con un'eccellente risoluzione diagnostica per l'immediata rila-vorazione. Elevati livelli di risoluzione diagnostica minimizzano il WIP (work-in-process) e il RIP (repair-in-process), assicurano un debug e riparazioni veloci e facilitano tempi di ciclo brevi dei prodotti ed elevati volumi di produzione. Il time-in-process può essere nettamente ridotto utilizzando strategie di test che includono tecniche di ispezione automatizzate a completamento dei metodi di test elettrici (ICT) e funzionali (FT).

I benefici di queste strategie combinate sono molteplici. Spostando più a monte il collaudo dei prototipi, è possibile ottenere un time-to-market più veloce.

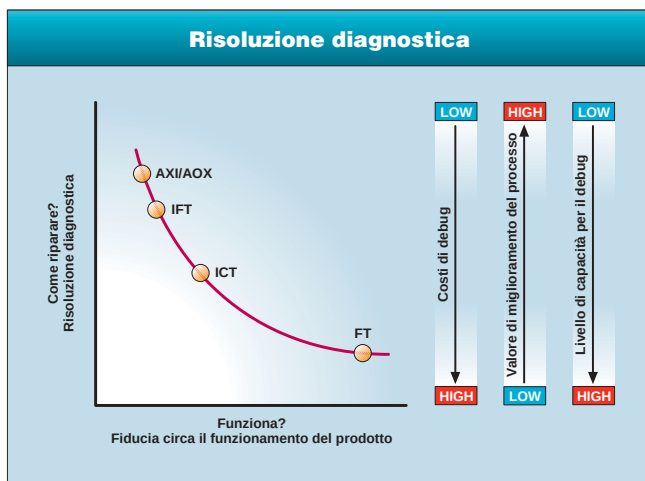


Fig. 2 – Risoluzione diagnostica – i metodi con risoluzione più elevata presentano minori costi di debug, un valore più elevato di miglioramento del processo (la causa è identificata più chiaramente) e richiedono operatori di debug con minori capacità. I metodi di test funzionale, benché aventi una risoluzione più scarsa, assicurano una fiducia sul funzionamento della scheda non ottenibile con altri metodi

È possibile raggiungere una copertura di test dei difetti strutturali vicina al 95% entro due ore dallo sviluppo dell'applicazione, contro i giorni richiesti da un approccio di test ICT. Inoltre, è possibile ottenere una qualità molto elevata delle schede consegnate, perché nella fase di ispezione automatizzata vengono individuati difetti strutturali che sfuggirebbero ai metodi elettrici. Se non vengono trovati, tali difetti strutturali possono portare a difetti latenti, a una minore affidabilità del prodotto, a ritorni dal campo e a maggiori costi di garanzia.

Sono prevedibili anche costi ridotti a livello di ICT/FT e di ESS (environmental stress screening), grazie a minori oneri di debug e riparazione. Distribuendo i compiti di test sulla risorsa più appropriata, è possibile massimizzare la copertura dei guasti nelle fasi più a monte, dove diagnosi e rilavorazioni possono essere condotte a costi molto più bassi. Riducendo i loop di ricollauda-debug-rilavorazione nelle fasi ICT/FT ed ESS è possibile diminuire i tempi di ciclo dei prodotti e migliorare l'utilizzazione delle strutture.

Nel caso delle schede ad alta complessità, un approccio di test distribuito può abbreviare il time-in-process complessivo di un fattore tre, grazie alla riduzione dei tempi di debug e riparazione. (Si definiscono qui 'ad alta complessità' le schede che hanno più di 3.000 nodi o 15.000 giunti di saldatura, destinate ad applicazioni a elevata affidabilità come il computing su workstation o lo switching nelle telecomunicazioni).

Non si tratta quindi di prodotti consumer 'usa e getta'. Elettronica di questo tipo è almeno IPC Classe 2). Pertanto, un approccio di test distribuito può nettamente migliorare l'utilizzazione delle strutture e la rotazione inventariale. 

All Data
readerservice.it n.28