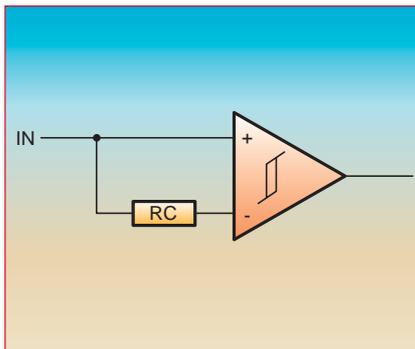


*Alcuni suggerimenti per implementare in maniera efficace lo standard IEEE1149.6 - un'estensione delle funzionalità dello standard IEEE1149.1, che rappresenta la base di ogni strategia di test di dispositivi elettronici complessi - in un componente di interfaccia LVDS (Low Voltage Differential Signalling) operante a elevata velocità*

## Progetto e implementazione dello standard IEEE1149.6

Ivan Duzevik  
National Semiconductor

Lo standard IEEE1149.6 amplia le funzionalità dello standard IEEE1149.1, pur garantendo la compatibilità con gli standard di test esistenti e le loro infrastrutture. L'obiettivo che si pone questo standard è aumentare la testabilità delle interconnessioni tra dispositivi accoppiati in alternata (accoppiamento di un circuito a un altro per mezzo di un condensatore o un altro dispositivo che consente il passaggio della componente in alternata ma non della componente statica -c.c. - di un segnale elettrico) differenziali a elevata velocità. Le reti accoppiate in c.a. presenti sulle schede a circuito stampato non possono venire collaudate mediante metodi basati in c.c.: di conseguenza è particolarmente sentita la necessità di una soluzione in grado di estendere le potenzialità della tecnologia boundary scan nel dominio in c.a. Oltre a ciò, l'implementazione dello standard IEEE1149.6 non deve interferire con il percorso di trasmissione o, in altre parole, con la modalità "mission" del dispositivo ad alta velocità in cui è implementato. A questo punto è utile una precisazione. Nello standard IEEE1149.6 vengono definite due modalità operative per un dispositivo o un pin di un dispositivo: mission



**Fig. 1 - Schema di un comparatore ad auto-riferimento con isteresi**

mode e test mode. La prima modalità si riferisce a un dispositivo o a un pin di un dispositivo che sta eseguendo la funzione principale al quale è preposto mentre la seconda fa riferimento a un dispositivo (o a un pin) che in risposta a determinate istruzioni pilota e/o riceve dati di test.

### Ricevitore di test: informazioni di base

Il ruolo del ricevitore di test è fornire supporto per le istruzioni in c.a. e c.c. definite nello standard. L'istruzione EXTEST è contemplata nello standard IEEE1149.1, mentre le istruzioni EXTEST\_TRAIN ed EXTEST\_PULSE sono previste nello standard IEEE1149.6 come istruzioni per il collaudo in c.a.

Per supportare queste istruzioni, il ricevitore di test può operare secondo due modalità: rilevazione del fronte e rilevazione del livello.

La prima viene utilizzata per il collaudo di linee di trasmissione accoppiate in c.a. del dispositivo, mentre la seconda è impiegata per il collaudo di linee accoppiate in c.c.. Il circuito del ricevitore di test deve quindi essere in grado di commutare da una modalità operativa all'altra.

### Rilevazione del fronte

In questo caso il ricevitore si preoccupa di estrarre il segnale di test anche quando il segnale ricevuto contiene un offset non noto [1]. Questa operazione viene eseguita confrontando il segnale di ingresso con una versione ritardata dello stesso (metodo di auto-riferimento), come schematizzato nella figura 1. Il segnale di test viene ricreato a partire dai fronti ricevuti delle transizioni dell'ingresso. Il ricevitore di test deve anche essere caratterizzato da ritardo di isteresi e offset d'isteresi (per il calcolo di questi parametri si può fare riferimento a [1]).

### Rilevazione del livello

Questa modalità ricorda da vicino il collaudo delle interconnessioni in c.c.

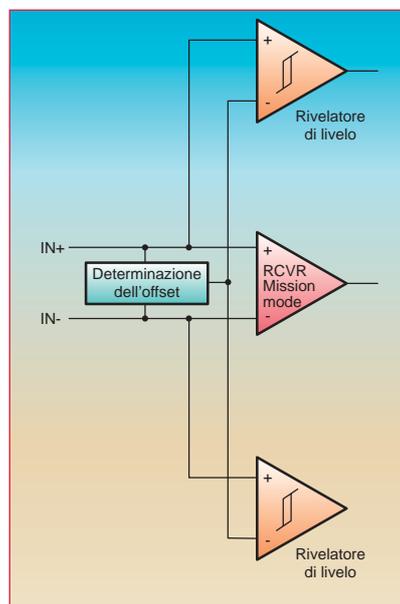
**Tabella 1 – Copertura dei guasti per una terminazione LVDS priva di riferimento accoppiata in c.a. I nomi e l'ubicazione dei terminali sono riportati in figura 6**

Guasto	TR+ (sim)	TR- (sim)	Commenti
T+ aperto	IN-	IN+	TR+ sfasato di 180°
T+ in corto con T-	Statico basso	Statico basso	Entrambe le linee nello stato logico basso
T+ in corto con GND	Statico basso	IN-	Guasto su TR+
T+ in corto con VDD	Statico basso	IN-	Guasto su TR+
R aperta prima della terminazione	IN-	IN-	TR+ sfasato di 180°
R aperta dopo la terminazione	Statico basso	IN-	Guasto su TR+
R+ in corto con R-	Statico basso	Statico basso	Guasti incongruenti TR+=TR-
R in corto con GND	Statico basso	IN-	Guasto su TR+
R in corto con VDD	Statico basso	IN-	Guasto su TR+
T+ in corto con R+	IN+	IN-	Condensatore in corto non rilevato
T+ in corto con R-	Statico basso	Statico basso	Guasto su entrambi i TR

previsto dallo standard IEEE1149.1. Il ricevitore in continua, accoppiato in c.c., confronta il segnale in ingresso con un offset in continua noto o con valore di polarizzazione in c.c. La polarizzazione di modo comune del ricevitore "mission mode" può essere usata come riferimento in continua: tuttavia in alcuni dispositivi, come quello proposto nell'articolo, ciò è impossibile a causa del fatto che il ricevitore non ha una polarizzazione di modo comune. Il ricevitore "mission mode" è progettato in modo da escludere la tensione di modo comune dell'ingresso rail-to-rail, di conseguenza la tensione di modo comune varierà in funzione del segnale di ingresso entrante. Questo dispositivo è progettato in modo da non richiedere una tensione esterna nel punto centrale ma, nel caso il progettista imposti una tensione centrale, questa determinerà l'offset in continua. Per superare l'ostacolo legato alla presenza di un offset non noto, è stato implementato un circuito per la rilevazione di modo comune per estrarre il valore di offset in continua (Fig. 2).

### Progetto del ricevitore di test

Nella fase di progetto sono state esaminate due differenti modalità per l'implementazione del ricevitore di test. La prima prevede la realizzazione di rivelatori di livello e di fronte separati. Le loro uscite vengono sele-



**Fig. 2 – Schema di un dispositivo per la rilevazione del livello con il circuito per determinare l'offset**

zionate in funzione della modalità di funzionamento e collegate all'ingresso della cella del registro dei dati (Fig. 3). Il rivelatore del fronte è un comparatore di aggancio con isteresi: i valori dell'isteresi sono stati sincronizzati in maniera estremamente precisa variando le dimensioni dei dispositivi nel carico di aggancio (Fig. 4). Il rivelatore di livello è un comparatore differenziale comune. La commutazione da una modalità di funzionamento a un'altra viene eseguita mediante la selezione delle uscite dei due comparatori. Oltre a ciò, per ridurre la dissi-

pazione di potenza, quando viene scelto un rivelatore, il commutatore disabilita (ovvero pone in modalità tristate) l'altro, in modo da impedire ogni passaggio di corrente nel rivelatore inattivo. La seconda implementazione (Fig. 5) prevede il ricorso a un circuito di rilevamento universale con offset regolabile. Per la rilevazione del fronte il circuito sfrutta un offset indotto per generare l'isteresi della tensione. Il rivelatore del fronte rifiuterà i valori di  $\Delta V_{id}$  inferiori a un valore  $V_{hyst\_edge}$  prestabilito (i calcoli per determinare tali valori sono illustrati in [ 1]). Quando il circuito viene utilizzato come rivelatore di livello, l'offset viene regolato a un valore più basso per soddisfare i requisiti previsti da  $V_{hyst\_level}$  (il questo caso il valore è pari a  $0,5 * V_{hyst\_edge}$ ).

### Impatto dell'inserzione sul ricevitore "mission mode"

Il dispositivo a cui si farà riferimento in questo articolo è un commutatore di crosspoint LVDS operante a elevata velocità. Il ricevitore "mission mode" è un ricevitore LBPECL/LVDS/CML. L'inserimento di un ricevitore di test conforme alle specifiche IEEE1149.6 sui terminali di ingresso del ricevitore "mission mode" non provoca alcuna interferenza sul funzionamento del circuito operante in "mission mode": in ogni caso esso deve risultare conforme con gli standard di segnalamento differenziale. Ad esempio lo

standard LVDS prevede un valore di  $I_{IN}$  pari a  $20 \mu A$ , il che significa che i circuiti collegati agli ingressi LVDS non possono erogare o assorbire correnti superiori a  $20 \mu A$ . Di conseguenza, nel momento in cui viene aggiunto il ricevitore di test IEEE1149.6, questo deve essere conforme alle specifiche relative alla corrente di ingresso. Un altro importante fattore da tenere in considerazione è la capacità aggiunta a massa, che influenzerà i transistori, in particolare la velocità del circuito "mission mode". Le simulazioni effettuate hanno evidenziato che entrambi i requisiti sono soddisfatti e la funzione del dispositivo è stata conservata nella modalità "mission mode" anche quando il ricevitore di test è stato aggiunto al circuito.

## Temporizzazione delle istruzioni EXTEST

Quando il ricevitore di test commuta dalla modalità "mission mode" (disattivato) alla modalità test mode (attivato), deve trascorrere un certo periodo di tempo prima che venga raggiunta una condizione di stato stazionario. Questo tempo di reazione deve essere tenuto in considerazione per la progettazione del controllore TAP e varia in funzione di diversi parametri, tra cui tipo di processo, cambiamenti di temperatura e velocità di transizione.

Un altro fattore da tenere in considerazione è il comportamento delle linee accoppiate in c.a. durante l'esecuzione della istruzione (DC) EXTEST. Quando viene utilizzata l'istruzione "pura" DC EXTEST prevista dallo standard IEEE1149.1 per collaudare le linee accoppiate in c.a., il collaudo stesso risulterà poco affidabile e nella maggior parte dei casi darà un'indicazione di guasto o indicherà una situazione di circuito aperto poiché il livello della tensione in continua (livello logico alto o basso) non può passare attraverso un condensatore di ampie dimensioni che agisce alla stregua di un filtro passa alto. Il circuito per il rilevamento del

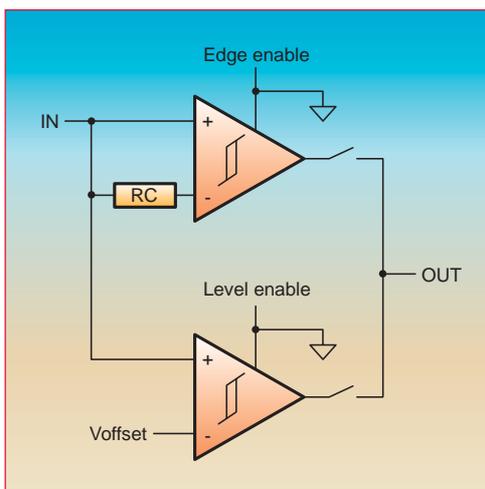


Fig. 3 - Circuito per la rilevazione separata del fronte e del livello

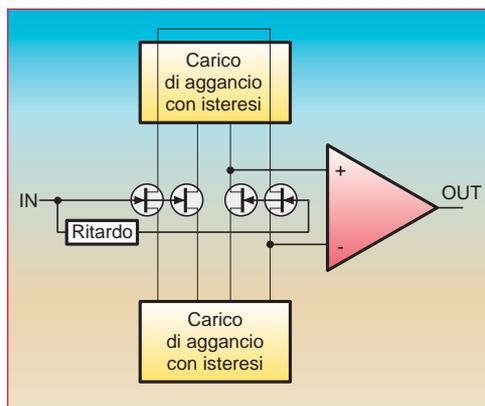


Fig. 4 - Rivelatore di fronte con carico di aggancio con isteresi

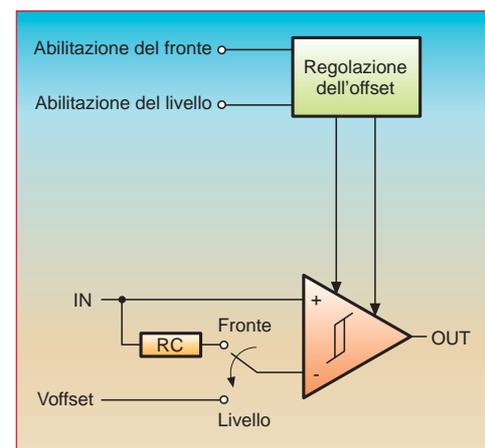


Fig. 5 - Schema di un rivelatore universale

livello cui si è fatto accenno nel corso dell'articolo dovrebbe comportarsi allo stesso modo, ovvero riportare un'indicazione di errore nel momento in cui sulla linea di trasmissione è pre-

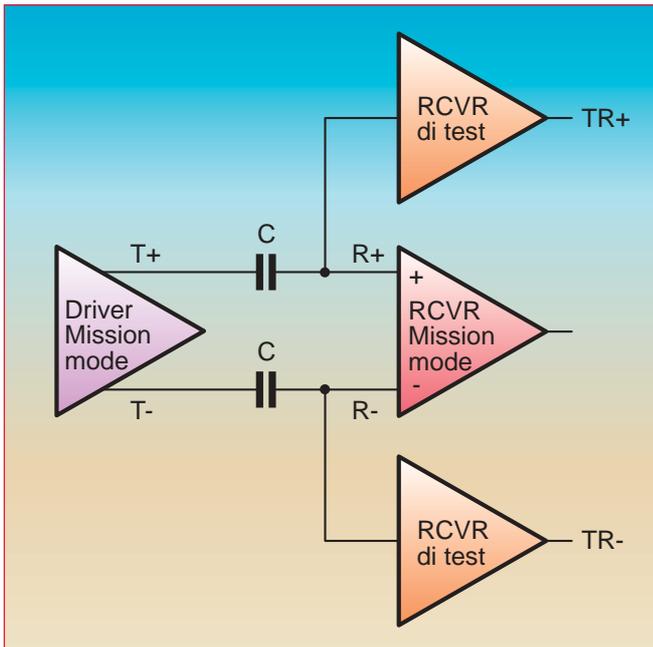
sente un condensatore accoppiato in c.a. A causa del fenomeno di decadimento (ovvero della diminuzione graduale) dell'accoppiamento in c.a., ciò può verificarsi o meno a seconda dei valori del filtro passa alto. Lo standard IEEE1149.6 prende in considerazione tale comportamento e stabilisce che il software di test debba attendere il decadimento del segnale prima di entrare nello stato Capture-DR. Comunque, se in una scheda sono presenti diversi condensatori accoppiati in c.a., il tempo di decadimento dovrebbe essere fornito dal produttore di silicio.

## Copertura dei guasti

La copertura dei guasti è stata simulata prendendo in considerazione una terminazione LVDS priva di riferimento operante a una frequenza di 25 MHz. I risultati vengono riassunti nella tabella 1: nella prima colonna è riportato il tipo di guasto, le due colonne centrali elencano il comportamento dell'uscita dei due rivelatori del fronte sui due corrispondenti terminali di ingresso mentre nella quarta colonna sono riportati commenti e interpretazioni dei risultati.

## IEEE1169.6 e IEEE1149.4: due standard a confronto

Entrambi questi standard mettono a disposizione tecniche utili per il collaudo di una linea di trasmissione accoppiata in c.a. al fine di rilevare la presenza di corto circuiti e di circuiti aperti. Questi standard prevedono l'aggiunta di circuiti di test di natura analogica e digitale a un dispositivo esistente. A livello di occupazione di spazio, la differenza è praticamente trascurabile, se si eccettua il fatto che lo standard IEEE1149.4 richiede due pin aggiuntivi per AT1 e AT2 [3]. La vera differenza risiede nella natura stessa del test. Mentre lo standard IEEE1149.6 permette l'esecuzione, in tempi ridotti, di test molto simili a quelli dello standard IEEE1149.1, lo standard IEEE1149.4 opera in real time, misurando le ten-



**Fig. 6 – Schema a blocchi del circuito per la simulazione dei guasti riportati nella tabella 1**

sioni e le correnti dei nodi. I test dello standard IEEE1149.6 vengono eseguiti in parallelo, per cui tutti i pin del dispositivo vengono effettuati in una sola passata. Lo standard IEEE1149.4, invece, durante una passata deve arrestarsi per misurare una corrente o una tensione. La scelta tra l'uno o l'altro dipende dal livello di precisione richiesto e dalla velocità del sistema di test. Mentre lo standard IEEE1149.4 può misurare i valori di capacità con un livello di precisione che sfiora il 10% [4], lo standard IEEE1149.6 segnala o meno la presenza di un condensatore. Nel caso la velocità rappresenti il fattore critico, ovvero il dispositivo o il sistema hanno più di alcune centinaia di pin, lo standard IEEE1149.6 è in grado di fornire i risultati di test (pass/fail) nel giro di pochi microsecondi. 

**National Semiconductor**  
[readerservice.it](http://readerservice.it) n.24

### **Bibliografia**

- [1] *IEEE Standard 1149.6 – 2003, “Standard for Boundary Scan Testing of Advanced Digital Networks”, IEEE, USA, 2003*
- [2] *IEEE Standard 1149.1 – 2001, “Standard Test Access Port and Boundary Scan Architecture”, IEEE, USA, 2001*
- [3] *IEEE Standard 1149.4 – 1999, “Standard for a Mixed Signal Test Bus”, IEEE, USA, 2000*
- [4] *I. Duzevik, “Preliminary Results of Passive Component Measurement Methods Using an IEEE1149.4 Compliant Device”, Proceedings of Board Test Workshop-ITC, Oct. 2002*