

I progettisti System-on-Chip di prossima generazione devono affrontare significative problematiche, legate ad esempio all'adozione di nuovi processi tecnologici, alle metodologie di progetto e ai tool EDA, all'ottimizzazione di prestazioni, costi, consumi, flessibilità e affidabilità, alla crescente esigenza di programmabilità e di configurabilità e di integrazione di blocchi di proprietà intellettuale.



Tecnologie SoC: la sfida dell'integrazione

Accent, centro di eccellenza italiano per la progettazione di circuiti integrati e di sistemi elettronici, ha implementato e validato un progetto di una piattaforma basata sul processore XPP64 riconfigurabile sviluppato dall'IP vendor tedesco PACT. Il dispositivo, di area pari a 100 mm², è stato realizzato con successo al primo silicio in processo CMOS da 0.13 mm fornito da STMicroelectronics. In seguito Accent ha messo a punto un dimostratore versatile del blocco IP, in grado di supportare applicazioni, bus e interfacce molto eterogenei attraverso un'unica piattaforma. Per ridurre il tempo di simulazione, l'esplorazione dell'architettura è stata realizzata su un livello di astrazione superiore rispetto a quello del comune HDL. Per dimensionare quest'ultima è stata effettuata l'analisi dei trade-off e del costo funzionale, con una valutazione dell'occupazione di area rispetto alle funzioni e agli algoritmi. In seguito i progettisti hanno definito il livello di astrazione dell'IP, hanno creato un modello per ciascuno di essi e hanno analizzato le prestazioni della piattaforma, generando le statistiche sul traffico del bus, sulla congestione e sull'utilizzazione della memoria allo scopo di trovare il profilo più adatto per la piattaforma stessa. Il livello di astrazione scelto per la modellizzazione dei blocchi è di tipo TLM (Transaction Level Modeling), che consente di usare direttamente le librerie fornite con i più comuni tool EDA per rappresentare il canale di comunicazione AMBA. La comunicazione tra i moduli è resa astratta tramite l'uso di chiamate funzionali (API), che consentono di semplificare l'attività di modellizzazione del blocco e ridurre il tempo di simulazione. Il blocco IP è stato interfacciato alla piattaforma tramite un semplice layer di conversione di funzioni scritto in SystemC attraverso il compilatore CoCentric di Synopsis. La scelta di questo approccio versatile ha consentito di inserire test e blocchi di supervisione nel sistema e di ottimizzare quest'ultimo in termini di consumi, flessibilità e costi, rendendolo indipendente dal core di microprocessore utilizzato. L'FPGA del sistema è stato invece modellizzato in modo accurato in VHDL.

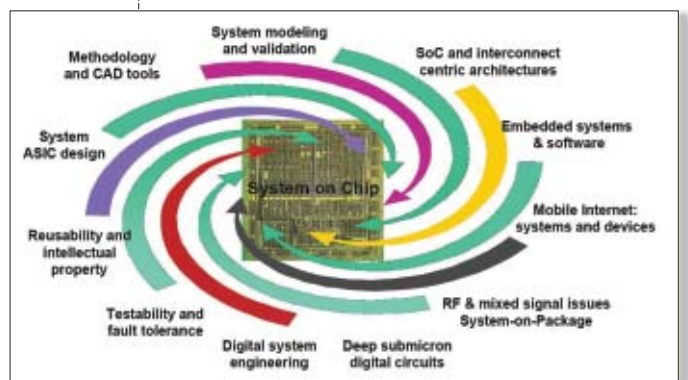
Un System-on-Chip è un sistema relativamente complesso su un singolo chip che contiene almeno un processore, ed eventualmente elementi analogici, a segnale misto, elettromeccanici (MEMS) e di comunicazione on-chip. I compiti di elaborazione dei segnali digitali sono svolti da DSP embedded, in particolare in applicazioni che comportano il trattamento di video, voce, suoni, grafici e funzioni modem. In sistemi ad alta velocità in particolare è forte l'esigenza di flessibilità, scalabilità e di un alto grado di parallelismo, che possono essere assicurati da un'architettura che integra più processori configu-

rabili. Anche soluzioni SoC basate su FPGA si stanno rapidamente affermando: per indicare queste soluzioni, sono stati conosciuti termini quali System-on-a-Programmable-Chip (SOPC), Programmable System-on-Chip (PSOC) o System-on-a-Reconfigurable-Chip (SoRC). Sebbene i System-on-Chip siano stati studiati dall'industria dei semiconduttori ormai da una decina di anni, solo lo sviluppo delle tecnologie submicrometriche ne ha consentito la realizzazione pratica. Al crescere del livello di integrazione, il costo per funzione diminuisce costantemente in virtù della legge di Moore. Cresce tuttavia l'esigenza di tool di progettazione avanzati in grado di assicurare la convergenza della temporizzazione, la gestione della proprietà intellettuale, il design reuse, il test e la collaborazione fra gruppi di progettazione eterogenei. Le metodologie DFM (Design-For-Manufacturing) consentono di verificare e di ottimizzare i layout dei SoC, tenendo in considerazione combinazioni di fattori come cadute di tensione, accoppiamenti di segnali, parassiti e variazioni di processo.

INTEGRAZIONE

L'edizione 2003 dell'International Roadmap for Semiconductor (ITRS) ha posto particolare enfasi in una delle maggiori sfide per la progetta-

Fig. 1
Competenze richieste nello sviluppo di una piattaforma SoC



zione SoC: la necessità di riutilizzare in modo consistente i blocchi di proprietà intellettuale (IP) per migliorare la produttività, e di potenziare l'integrazione a livello di sistema e la combinazione di tecnologie eterogenee, quali memorie e funzioni analogiche e a segnale misto con la circuiteria digitale. L'integrazione di blocchi analogici e a segnale misto su chip singolo sta diventando un compito sempre più arduo, a causa degli approcci eterogenei al progetto e delle complesse interazioni fra i blocchi che possono impattare sulle prestazioni del sistema. I singoli elementi devono essere macromodellizzati fin dalle prime fasi del progetto, tenendo in considerazione parametri come jitter, consumi, interazioni circuitali e fisiche, e comunicazioni fra I/O, package e l'ambiente esterno. Dal momento che le tecnologie di processo digitali sono molto diverse rispetto a quelle ottimizzate per le funzioni analogiche e per la memoria DRAM o flash embedded, la loro integrazione comporta una serie di compromessi. L'IRTS prevede che entro il 2010 le celle di memoria occuperanno circa il 90% dell'area di un SoC.

La Virtual Socket Interface Alliance sta sviluppando standard per semplificare l'integrazione di blocchi di memoria da parte di diversi produttori di IP. I principali fornitori di soluzioni EDA inoltre stanno mettendo a punto tool che consentono la co-progettazione e la simulazione di blocchi digitali e analogici.

1 NETWORK-ON-CHIP

I ritardi dovuti alle interconnessioni e alla gestione della comunicazione fra i blocchi all'interno del chip stanno diventando un collo di bottiglia per i sistemi implementati in tecnologie submicrometriche. L'au-

Il System-on-Chip EVAX1610C

di Advantech offre funzionalità Ethernet 10/100 e RS-232 in un processore RISC da 75MHz compatibile con i sistemi 80C186. Questo consente la connessione in modo trasparente ed economico di dispositivi a reti Ethernet, lo standard di fatto in numerosi ambienti industriali, professionali e domestici. I componenti altamente integrati, in combinazione con un sistema RTOS libero da licenze, assicurano una superiore affidabilità, ingombro e costi minori e un migliore time-to-market.

mento delle frequenze operative e della densità delle connessioni aumenta ulteriormente il crosstalk e il rumore. Le dimensioni del chip non scalano con la tecnologia, di conseguenza occorrono più cicli di clock (anche 10 o 20) per attraversare l'intero dispositivo. Per affrontare il problema della comunicazione all'interno del chip viene un approccio globalmente asincrono e localmente sincrono (GALS). "Network-on-Chip" è un'espressione che indica una struttura a protocolli di comunicazione stratificati e di implementazioni di interconnessioni gerarchiche per la comunicazione all'interno del chip; il concetto è stato mutuato dagli strati OSI delle reti macroscopiche.

PROTOTIPI VIRTUALI SU SILICIO

I prototipi virtuali su silicio sono un altro aspetto importante della progettazione SoC.

Agere Systems ha rilasciato

all'inizio di quest'anno un controllore a chip singolo per applicazioni quali fax termici e a getto d'inchiostro. Il SoC multiprocessore PI-301 integra 8 componenti separati, fra cui un DSP sviluppato da Agere specificamente per modem e un processore ARM 9. È in grado di gestire l'acquisizione e l'elaborazione dell'immagine, include funzionalità fax/modem e grafiche avanzate e di controllo meccanico che comprende scansione, movimento della cartuccia, erogazione dell'inchiostro, alimentazione e posizionamento della carta.

Essi consentono di rendere il progetto e la realizzazione realmente indipendenti, attraverso una rapida mappatura delle funzioni logiche a livello fisico, un immediato riscontro del progetto logico e dei requisiti del progetto, e una più efficiente ottimizzazione. Il concetto è stato ampiamente adottato dall'industria EDA, in tre distinte categorie: a livello di sistema (ESL, Electronic-System Level), di registro di trasferimento (RTL, Register-Transfer Level) e di gate. Gli strumenti ESL definiscono una piattaforma di riferimento che consente lo sviluppo di

M-Systems e Renesas hanno recentemente annunciato

l'estensione della propria partnership finalizzata allo sviluppo di architetture avanzate per telefoni mobili multimediali basate sulla piattaforma Mobile DiskOnChip. Quest'ultima è una soluzione di memoria ad alta capacità in tecnologia NAND multilivello, destinata in particolar modo per applicazioni nelle comunicazioni. Essa può essere usata per memorizzare sia il sistema operativo, sia il codice applicativo del sistema, così come dati utente quali immagini, contenuti video, informazioni personali, giochi e musica.

software a livello di sistema prima che venga implementato l'hardware e l'ottimizzazione congiunta di hardware e software. Il prototipo virtuale a livello RTL è un modello fisico del chip basato su elementi strutturali RTL pre-caratterizzati, che rende possibile una rapida stima di quanto il SoC soddisfi le specifiche di area, temporizzazione e consumi per un determinato processo tecnologico. Il prototipo virtuale a livello di gate infine fornisce una possibilità di controllo a grana più fine del chip, in grado di fornire informazioni dettagliate sul floorplan e sui parassiti.

brevi

LINUX CONSUMER ELECTRONICS SUPPORTATO DA SH-4

Renesas Technology ha annunciato il supporto del sistema operativo (OS) Linux compatibile con le specifiche proposte al CE Linux Forum (CELF) su un prototipo di piattaforma di sviluppo basato su SH-4. Questo prototipo di piattaforma è ottimizzato per una versione del sistema operativo Linux destinato ai prodotti elettronici per uso domestico (CE), come le applicazioni digitali specifiche per dispositivi d'uso domestico. Il CE Linux Forum (CELF) è stato costituito nel mese di luglio 2003 con l'obiettivo di potenziare e promuovere il sistema operativo Linux da utilizzare su prodotti elettronici per uso domestico (CE). Renesas Technology ha partecipato attivamente al CELF e il prototipo di piattaforma di sviluppo rappresenta il primo risultato del lavoro svolto dalla società. L'organizzazione sta lavorando in previsione di un ambiente di sviluppo per i prodotti Renesas Technology.

SPECIFICHE STANDARD OPEN PER MOBILE VIDEO INTERFACE

Seiko Epson ("Epson") e Renesas Technology hanno sviluppato congiuntamente le specifiche standard per Mobile Video Interface: un'interfaccia seriale ad elevata velocità, appositamente progettata per la visualizzazione di testo e grafica sui dispositivi destinati alle comunicazioni mobili. Adesso che hanno completato il nuovo standard, le due società hanno deciso di renderlo open. Le specifiche saranno disponibili dietro concessione di licenza gratuita, non solo per sviluppatori di applicazioni mobili, produttori di dispositivi mobili ed altri professionisti che operano nell'industria dei prodotti mobili, ma anche ad altri produttori di semiconduttori, nella speranza di reclutare partner dalle maggiori società, per aiutare a rendere più rapida l'adozione di questa nuova interfaccia nei mercati globali.

ELETTRODATA FIRMA UN CONTRATTO DI DISTRIBUZIONE CON FREECOM

Freecom Technologies, specialista nelle tecnologie di storage digitale, ha stretto un accordo per la distribuzione su tutto il territorio nazionale con il Gruppo Elettrodata, fornitore globale di tecnologie avanzate alle aziende. Freecom intensificherà ulteriormente la distribuzione dei propri prodotti sul mercato italiano, mentre Elettrodata potrà allargare la propria offerta anche ai prodotti per lo storage ad alte prestazioni.