

Cambiano i modelli economici per FPGA, ASIC e ASSP

JORDAN PLOFSKY*

La crescente complessità economica e tecnologica della produzione di semiconduttori sta insidiando la posizione dominante occupata dagli ASIC (application specific integrated circuits, circuiti integrati dedicati) e ASSP (application specific standard products, prodotti standard dedicati). Il passaggio a tecnologie di processo da 90-nm sta accelerando questa tendenza, anche a causa del costo sempre più elevato degli sviluppi delle sofisticate e complesse tecnologie di produzione necessarie per i dispositivi delle prossime generazioni. Mentre aumentano i costi e i rischi di progettazione degli ASIC, gli FPGA (field programmable gate arrays, gate array programmabili sul campo), con densità e con funzioni integrate di sistema sempre crescenti, stanno rapidamente dimostrando la loro economicità, flessibilità e si stanno proponendo come un'alternativa a basso rischio. Gli FPGA sono ormai diventati una tecnologia di base, che permette ai progettisti di sistema di minimizzare i tempi e i rischi dello sviluppo di un nuovo prodotto.

IL RISCHIO ELEVATO E I COSTI DI SVILUPPO DI UN ASIC

L'impatto sul time-to-market e il time-in-market — cioè la finestra temporale nella quale è possibile massimizzare il prezzo, la profittabilità e imporre il dominio di un prodot-

to sul mercato — può avere risvolti molto importanti dal punto di vista della perdita di quote di mercato e di fatturato. Anche se il costo unitario di un ASIC o di un ASSP sembra diminuire quando vengono introdotti processi via via più avanzati, è necessario tenere conto di tutti i costi periferici necessari per lo sviluppo di un singolo chip.

La riduzione delle dimensioni di un circuito integrato e l'incremento di complessità, fanno aumentare notevolmente i costi "una tantum" (NRE, non-recurring engineering). Vi sono ben pochi motivi per immaginare che i costi NRE non continuino a crescere, mentre si passa alle tecnologie da 90 e 65-nm, che richiedono processi molto sofisticati come la litografia ad ultra violetto profondo (DUV) o particolari tecniche di lavorazione di silicio.

TIME-TO-MARKET, TIME-IN-MARKET

C'è un conflitto che deriva dal fatto che la crescente complessità dei progetti ASIC richiede tempi di verifica più lunghi, che prolungano ulteriormente il tempo necessario per realizzare campioni funzionanti di un componente ASIC. Oggi, 24/27 mesi sono spesso il tempo di vita di un'intera generazione di un processo e prodotto.

Arrivare secondi sul mercato spesso può significare dover ricorrere a sconti molto elevati per guadagnare quote di mercato. Le quote di mercato conquistate a costo di una diminuzione del fatturato so-

brevi

▶ NI RIDUCE IL PREZZO DELL'ACQUISIZIONE DATI FINO AL 25% IN TUTTO IL MONDO

National Instruments ha annunciato una riduzione di prezzo fino al 25% per 13 dei più popolari tra i propri moduli di acquisizione dati, una tendenza che continua sulla scia dei 26 anni di esperienza spesi nel tentativo di ridurre il costo del controllo e della misura per tecnici e ricercatori. La riduzione dei prezzi coinvolge tutte le regioni del mondo, per le schede di acquisizione dati NI con una risoluzione che varia da 200.000 S/s a 1,25 milioni di S/s, da 12 a 16 bit e da 16 a 64 input analogici. Sfruttando tecnologie di livello commerciale basate su PC e investendo in una ricerca e in uno sviluppo innovativi, il costo di acquisizione dati di NI per ogni canale I/O è diminuito del 74% dal 1990. In tempi più recenti, NI si è avvalsa di tecnologie standard a basso costo e di significativi incrementi nell'efficienza di produzione per permettere ai clienti di godere di ulteriori risparmi. Per ulteriori informazioni: www.ni.com/dataacquisition.

▶ L'ACCESS HUB DI GERMANIA SBARCA ANCHE IN GERMANIA

Marconi Corporation è stata scelta da Versatel Deutschland, l'operatore di rete voce e dati tedesco, per la fornitura della piattaforma Access Hub (MSAN), sviluppata e prodotta in Italia. L'Access Hub permetterà a Versatel di lanciare l'offerta di nuovi servizi di accesso a banda larga all'utenza privata. Per Marconi si tratta della prima vendita annunciata pubblicamente del suo MSAN (Multi Service Access Node) di nuova generazione sul mercato tedesco. A fronte del contratto - il cui valore è intorno ai tre milioni di Euro -, Marconi fornirà le piattaforme AXH600 e AXH2500 e la piattaforma DMP (Distributed Multiservice Platform). Le piattaforme a tecnologia combinata permetteranno a Versatel di offrire una gamma di servizi di accesso flessibili, inclusi ISDN e xDSL, che possono essere adattati facilmente alle esigenze di ciascun cliente.

no, al massimo, delle vittorie di Pirro. Al contrario, la scelta di una soluzione FPGA può permettere di risparmiare anche sei mesi, nel tempo necessario per portare un prodotto alla produzione di volume. Ciò si traduce direttamente in sei mesi in più di time-in-market, periodo durante il quale il prodotto può essere venduto a prezzi più elevati. A causa dell'elevato costo di sviluppo, gli ASIC sono economicamente interessanti per quelle applicazioni ad alto volume che, nel corso della loro vita, verranno prodotte in milioni di esemplari come: microprocessori, chip grafici o chipset per i telefoni cellulari. Le applicazioni che richiedono volumi relativamente ridotti traggono invece vantaggio da un approccio alternativo basato su FPGA, che garantisce migliore flessibilità, tempi di sviluppo più ridotti e un time-in-market decisamente migliore, con un livello di rischio molto ridotto.

IL VANTAGGIO DEGLI FPGA - FLESSIBILITÀ E TIME-TO-MARKET

Negli attuali FPGA la logica condivide una porzione del chip di silicio, mentre sono state aggiunte diverse nuove funzioni - come transceiver, memorie specializzate, processori embedded, acceleratori DSP embedded e circuiti per il ripristino del clock dei dati. Queste funzioni possono essere integrate in un FPGA in modo estremamente economico e possono raggiungere le stesse prestazioni che si trovano nella maggior parte degli ASIC. La flessibilità rimane uno dei principali vantaggi di un FPGA, grazie alla riprogrammabilità. I sistemi che utilizza-

no dispositivi programmabili possono essere facilmente aggiornati o possono essere corretti direttamente sul campo. Inoltre, i produttori di sistemi possono utilizzare lo stesso componente FPGA per differenziare le prestazioni di sistema e i costi, con una mini-

DUE MONDI CON INTERESSI COMUNI

Forse uno dei migliori sintomi del fatto che gli FPGA stanno affrontando con successo il mercato degli ASIC e degli ASSP, è il fatto che i due mondi stanno man mano avvicinandosi. I venditori di ASIC

stanno introducendo nei propri dispositivi, funzioni di programmabilità tipiche degli FPGA, per ridurre i tempi di progettazione. Altri stanno sviluppando dispositivi semi-custom che integrano blocchi di proprietà intellettuale (IP) e un certo livello di programmabilità, utilizzando le metallizzazioni dei chip. Al tempo stesso, gli FPGA stanno integrando nuclei ASIC per applica-

zioni specifiche, come sistemi per l'elaborazione del segnale digitale (DSP, digital signal processing). A prima vista, tutti questi approcci possono sembrare altrettanto validi; cercare però di integrare la programmabilità in un ASIC è uno sforzo che porta a risultati limitati. Gli sforzi per integrare la programmabilità in un ASIC fino ad oggi non hanno avuto successo, poiché non vi sono prodotti commercialmente disponibili. Anche il ricorso a semi-custom, o gate array, ha presentato parecchi problemi rispetto all'impiego di FPGA. Essenzialmente, non garantisce né il vantaggio di time-to-market né la flessibilità intrinseca di un dispositivo programmabile. Inoltre non permette la funzione di riconfigurabilità dinamica tipica degli FPGA. ■

*Jordan Plofsky, Senior Vice President, Applications Business Group Altera Corporation

ASSP Development Cost at 90 nm

Function	Man Years	\$/K Years	Cost \$M
Architecture	3	250	0,75
Logic Design	50	200	10,0
I/O Design	6	225	1,35
Product Engineering	20	175	3,5
Test Engineering	12	175	2,1
Software	40	200	8,0
Apps	5	200	1,0
Masks	2 Sets		2,4
Wafers	3 Lots		0,30
Boards			0,50
Total Millions			29,9