

*Il nuovo ADC081000 di National Semiconductor è in grado di garantire la velocità di campionamento e l'ampiezza di banda del segnale necessarie in tutte le applicazioni per le quali questi parametri rappresentano un elemento critico*

## Nuove applicazioni per i convertitori A/D in tecnologia Cmos

Paul McCormack  
Application Engineer  
Data Conversion Systems - Europe  
(National Semiconductor)

L'inizio dell'anno si apre, per National Semiconductor, con una novità di rilievo. Si tratta di ADC081000, un convertitore A/D ad altissima velocità realizzato in tecnologia Cmos "pura", invece che con il tradizionale processo misto BiCmos. Rispetto ai componenti Cmos, i dispositivi bipolari sono caratterizzati da una tensione di offset più ridotta e da valori di guadagno più elevati; tali caratteristiche li rendono particolarmente idonei per la realizzazione del front end (circuito per il condizionamento del segnale come amplificatori sample & hold e via dicendo) dei convertitori A/D, soprattutto quelli operanti a elevata frequenza. A causa soprattutto dell'elevato assorbimento di corrente, la dissipazione di potenza di un componente bipolare è più elevata rispetto a quella di un analogo dispositivo Cmos.

Ad esempio, ADC081000 dissipa solamente 1 W, un valore nettamente più basso rispetto ai 3W consumati dal convertitore A/D equivalente al più basso consumo realizzato in tecnologia bipolare al momento disponibile sul mercato. Tutto ciò senza penalizzazione alcuna in termini di prestazioni: il range dinamico del nuovo convertitore di National Semiconductor permette di soddisfare le esigenze delle applicazioni di comunicazione e della strumentazione di test ad alte prestazioni, mentre il numero effettivo di bit (Enob) è superiore a 7, ben oltre a quanto richiesto dal criterio di Nyquist. ADC081000 è in grado di garantire la velocità di campionamento e l'ampiezza di banda del segnale necessarie in tutte le applicazioni per le quali questi parametri rappresentano un elemento critico. Nel corso dell'articolo, dopo una breve descri-

zione dell'architettura del componente, verranno delineate le linee guida che consentono di ottimizzarne l'uso e l'implementazione in apparati di comunicazione digitali e sistemi di acquisizione dati a elevata velocità.

### Architettura e principio di funzionamento

Per la realizzazione di convertitori A/D a elevata velocità si utilizzano di solito tre tipi di architettura: pipeline, flash o con stadi in cascata e interpolazione (folding/interpolating). Le ultime due risultano essere più adatte per supportare la continua riduzione delle geometrie tipiche dei processi CMOS.

Un convertitore A/D di tipo folding garantisce velocità molto elevate e richiede un numero di comparatori inferiori rispetto a un convertitore di tipo flash. Un convertitore a interpolazione, invece, permette di utilizzare un numero inferiore di amplificatori di ingresso e consente di ottenere capacità di ingresso più basse. L'unione di queste due tipologie permette di dar vita a un'architettura a ripiegamento e interpolazione che garantisce significative riduzioni in termini di dimensioni del die e di dissipazione di potenza, a fronte di un incremento delle prestazioni dinamiche. Per tale motivo, tale architettura è stata scelta per la realizzazione di ADC081000 (il cui schema a blocchi è visibile in Fig. 1).

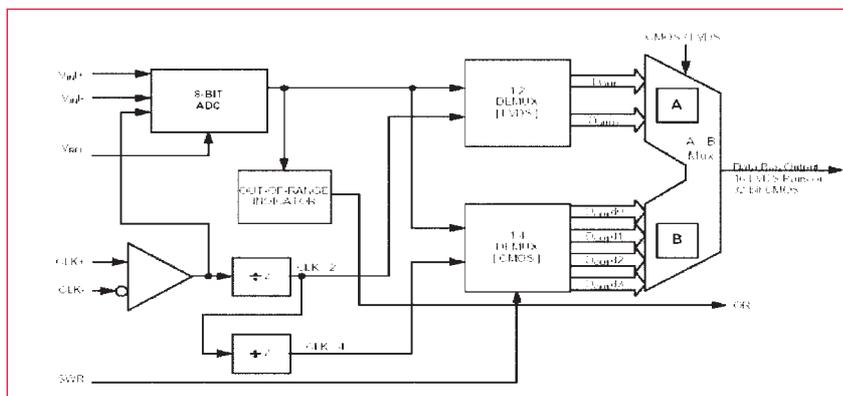


Fig. 1 - Schema a blocchi del convertitore ADC081000 di National Semiconductor

### Alcuni suggerimenti utili

Un circuito integrato a elevate prestazioni e ad alta velocità come ADC 081000 richiede un segnale di clock estremamente “pulito” in modo da garantire che la sorgente di clock esterna non contribuisca ad aggiungere rumore indesiderato alle prestazioni dinamiche dell'intero sistema. ADC081000 richiede un clock a basso rumore di fase (jitter ridotto) in grado di operare nel range del GHz. I tradizionali oscillatori al quarzo possono fornire un segnale di clock a basso jitter ma, solitamente, sono in grado di funzionare a frequenze di clock di poche centinaia di megahertz. Per ottenere i valori di fre-

quenza di oscillazione e di rumore di fase desiderati, l'approccio migliore consiste nell'impiegare un oscillatore controllato in tensione (Vco) ad alta frequenza, un anello ad aggancio di fase (PLL) e un oscillatore a quarzo, come riportato in figura 2.

Di recente National Semiconductor ha ampliato il proprio portafoglio prodotti per comunicazioni wireless con l'introduzione di alcuni dispositivi che integrano una combinazione di PLL e Vco.

La frequenza centrale dell'uscita RF dei dispositivi della linea LMX25XX è programmabile tra 800 MHz e 1,4 GHz.

Tali componenti sono caratterizzati da un rumore di fase estremamente basso, in

modo da garantire che il contributo dello jitter non abbia effetti negativi sul rapporto segnale/ rumore di ADC081000. I progettisti di sistemi che integrano convertitori A/D a elevata velocità sono ben consci del fatto che il jitter del clock contribuisce al degrado del rapporto segnale/rumore del convertitore.

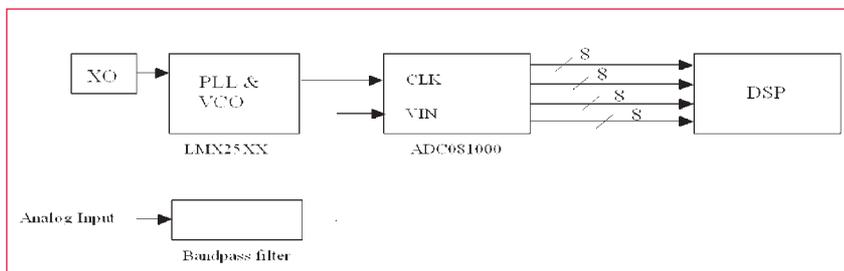
Per esempio, in presenza di un segnale di ingresso di 500 MHz, uno jitter di 3 ps (rms) contribuisce a ridurre il valore del rapporto segnale/rumore a 40,5 dB, secondo la formula sotto riportata:

$$SNR = -20 \log (2\pi \times f_{\text{analog}} \times f_{\text{jitter}} \text{RMS})$$

Lo jitter del clock di campionamento generato internamente da ADC081000 è quasi trascurabile. Per garantire le migliori prestazioni di ADC081000 è necessario effettuare con estrema attenzione la progettazione e l'implementazione del clock.

### Modalità di funzionamento

Per semplificare l'acquisizione dei dati di uscita, ADC081000 può operare in due modalità differenti: Lvsds mode e Cmos



**Fig. 2 - Circuito utilizzato per la temporizzazione di ADC081000, formato da una combinazione di Vco, PLL e oscillatore al quarzo**

mode. Per selezionare la modalità desiderata è sufficiente connettere un segnale logico alto oppure basso al pin 1. In modalità Lvs, il demultiplexer 1:2 interno alimenta due bus di uscita e riduce la velocità di trasferimento dati in uscita a un valore pari alla metà della velocità di campionamento. In modalità Cmos, il demultiplexer 1:4 interno alimenta 4 bus e riduce la velocità di trasferimento dati in uscita a un valore pari a 1/4 della velocità di campionamento. I dati su questi bus sono intercalati a livello temporale in modo da fornire una velocità di trasferimento dati in uscita pari rispettivamente a 500 e 250 Msps in modo da dar luogo a una velocità di uscita combinata pari a 1 Gbps.

Per entrambe le modalità è previsto un clock di uscita (o più di uno) sincronizzato con la trasmissione dei dati d'uscita al fine di semplificare le operazioni stesse di acquisizione dei dati.

### Alcuni esempi pratici

Si riportano di seguito alcuni esempi di applicazione del nuovo convertitore A/D di National Semiconductor:

#### - Oscilloscopi digitali

Strumenti di questo tipo, ampiamente utilizzati dai progettisti e dai tecnici di collaudo in numerosi settori applicativi, quali quelli delle comunicazioni, dei semiconduttori e dei sistemi di elaborazione, richiedono la presenza di convertitori A/D caratterizzati da elevata frequenza di campionamento ed elevata ampiezza di banda in ingresso. Infatti, la velocità di campionamento e l'ampiezza di banda d'ingresso dell'oscilloscopio sono determinate unicamente dal convertitore presente nel front end dello strumento. Ad esempio, un oscilloscopio da 1 Gbps con un'ampiezza di banda d'ingresso di 1,5 GHz richiede un convertitore A/D capace di soddisfare a queste specifiche. D'altro canto, i due parametri appena citati – velocità di campionamento e ampiezza di banda – sono molto importanti per gli oscilloscopi. Per poter misurare con precisione un segnale, lo strumento deve essere in grado di avere un'ampiezza di banda sufficiente. Quando si procede alla misura di un segnale, l'ampiezza di banda analogica dello strumento deve essere maggiore della più elevata componente in

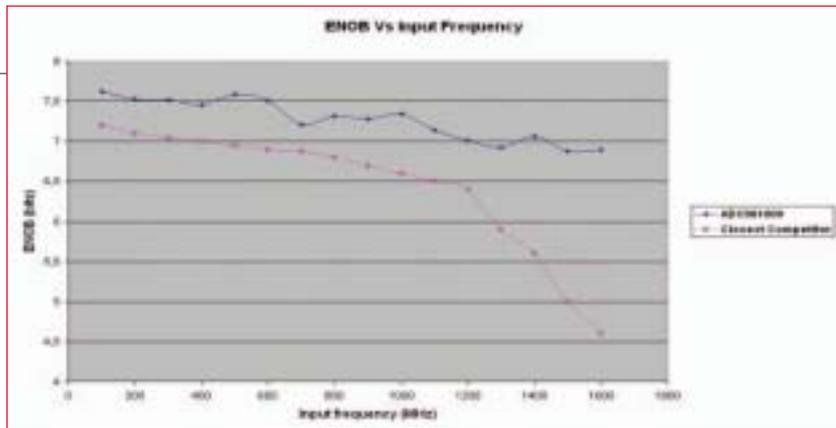


Fig. 3 - Confronto delle prestazioni del convertitore ADC081000 rispetto a un analogo componente della concorrenza

frequenza del segnale. Per misurare un'onda quadra a 100 MHz è necessario disporre di uno strumento con un'ampiezza di banda d'ingresso molto superiore a 100 MHz poiché l'onda quadra contiene componenti che sono multipli della frequenza fondamentale. Il campionamento effettuato con un'ampiezza di banda insufficiente comporta la perdita dei componenti ad alta frequenza e dell'ampiezza del segnale originale. In altre parole l'onda quadra non appare tale sul display dell'oscilloscopio. La velocità di campionamento è la velocità alla quale il segnale viene digitalizzato dal convertitore A/D. Maggiore è la velocità di campionamento, più accurata sarà la ricostruzione dei segnali ad alta frequenza. Per esempio, un segnale a 100 MHz ricostruito che viene campionato a una velocità di 1 Gbps rappresenterà il segnale originale in modo più fedele rispetto a quello ottenibile con un campionamento effettuato a 500 MHz. Per le ragioni appena esposte, un convertitore come ADC081000, in virtù dell'elevata velocità di campionamento, dell'estesa ampiezza di banda di ingresso e del basso BER (Bit Error Rate) è il componente ideale per la digitalizzazione di segnali ad alta frequenza in tutte le apparecchiature che servono per espletare compiti di progettazione e di test (Fig. 3).

#### - Ricevitore digitale

Un ricevitore digitale è, in linea di principio, molto simile al ricevitore a supereterodina inventato nel 1917 da Edwin H. Armstrong. Gli sviluppi nel campo dei convertitori A/D consentono l'implementazione della maggior parte dei ricevitori mediante blocchi circuitali digitali.

I vantaggi derivati dallo spostamento della sezione digitale del ricevitore in prossimità dell'antenna sono numerosi. Ponendo un convertitore A/D all'uscita

della sezione RF ed effettuando il campionamento RF diretto può sembrare un'alternativa interessante, anche se prima della conversione è necessario implementare funzioni di filtraggio e di controllo automatico del guadagno per la reiezione fuori banda e per ridurre alcuni dei requisiti, in termini del range dinamico, del convertitore A/D. Un compromesso ragionevole utilizzato in parecchi ricevitori digitali è convertire il segnale in formato digitale all'uscita del primo o del secondo stadio IF. Ciò consente il filtraggio dei segnali fuori banda prima che possano raggiungere il convertitore, oltre al controllo del guadagno automatico nella sezione analogica, utile per ridurre la possibilità che segnali all'interno della banda possano sovrappilare il convertitore stesso. Inoltre, il campionamento IF e l'implementazione digitale del ricevitore consentono di ridurre i costi, grazie all'eliminazione di ulteriori stadi IF (mixer, filtri e amplificatori), e garantire un maggior livello di flessibilità, in quanto risulta possibile sostituire filtri analogici con analoghi componenti digitali programmabili. Dato che l'ampiezza di banda a 3 dB di ADC081000 è pari a 1,8 GHz, esso si propone come il componente ideale per espletare compiti di campionamento IF o RF diretto. Senza dimenticare che il basso valore di distorsione armonica totale (THD) a frequenze di ingresso molto superiori a quella di Nyquist consente l'uso del nuovo convertitore di National Semiconductor in tutte quelle applicazioni dove è richiesta la possibilità di effettuare operazioni di sottocampionamento, come ad esempio nei sistemi di ricezione via satellite.  $\square$

National Semiconductor  
readerservice.it n.10