

Nuove strategie per la realizzazione di dispositivi in logica programmabile

La migrazione verso piattaforme da 90nm non assicura vantaggi a breve termine, come è avvenuto in precedenza: per ottimizzare prestazioni, costi e consumi occorre quindi ripensare l'architettura dei dispositivi in logica programmabile

Angela Rossoni

I dispositivi in logica programmabile indirizzano mercati finali molto eterogenei, in ambito consumer digitale, industriale, informatico e delle comunicazioni, caratterizzati da esigenze di prestazioni e di integrazione molto diverse. La crescente attenzione verso l'ottimizzazione delle risorse per un progetto da parte delle aziende sta spingendo i progettisti a ricorrere sempre più spesso a queste soluzioni. In particolare esse consentono di fronteggiare tre problematiche: l'aumento della complessità dei progetti, la necessità di una maggiore produttività e della riduzione del tempo di verifica. Soluzioni in logica programmabile di prossima generazione devono assicurare l'ottimizzazione del time-to-market e dei costi di sviluppo e per funzione, e al contempo una flessibilità, una capacità di gestione dei rischi, un'integrazione a livello di sistema migliori e un accesso conveniente alle tecnologie di punta. Gli FPGA in particolare richiedono la costante migrazione verso processi tecnologici di ultima generazione per aumentare le prestazioni e massimizzare la densità. Il miglioramento di velocità e densità e la riduzione dei consumi tradizionalmente ottenuti con il ricorso a geometrie più ridotte non sono tuttavia più possibili con piattaforme da 90nm, dal momento che occorre tenere in considerazione una serie di compromessi.

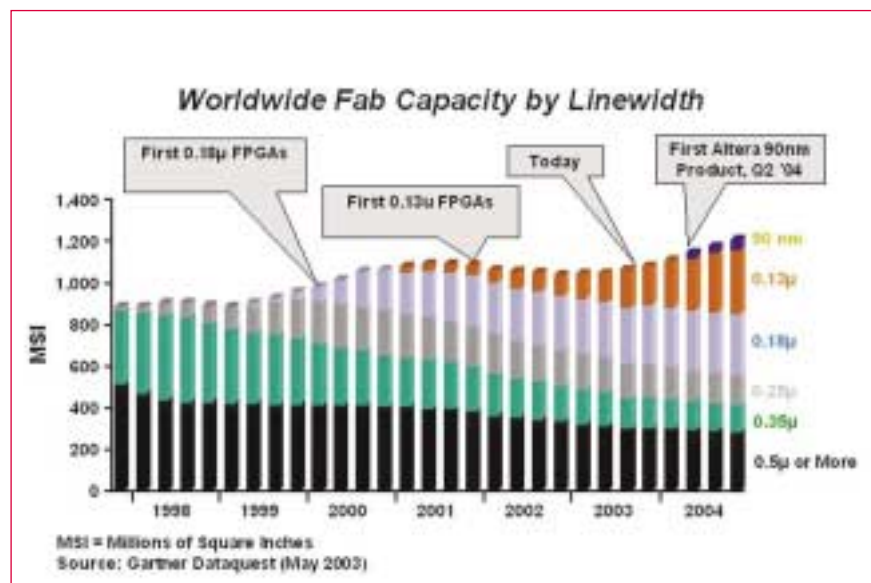
Verso i 90nm, ma con giudizio

Senza dubbio il processo da 90nm assicura consistenti vantaggi in termini di

integrazione della logica, di velocità e di risparmi sui costi di produzione sul lungo termine, stimati attorno al 50% rispetto alla generazione precedente. È quindi potenzialmente ideale per applicazioni che richiedono densità e prestazioni molto spinte e al contempo presentano un time-to-volume piuttosto lungo.

Il processo tuttavia pone grosse problematiche per la gestione dei consu-

spinte e un ridotto time-to-volume. Per dispositivi in logica programmabile considerati "maturi" come i CPLD la tecnologia da 90m non apporterebbe significativi benefici, anche a causa della già ridotta dimensione del die. Come mostrato in figura 1, fra i processi tecnologici attualmente in uso, quello da 90nm è in fase di prototipazione in linee pilota; la produzione in misura significativa dei primi dispositi-



mi ed è caratterizzato da rischi elevati, richiedendo investimenti iniziali proibitivi; per la realizzazione di una fab per la produzione di wafer da 90nm occorrono miliardi di dollari, il che ha tra l'altro spinto diverse aziende a stringere alleanze strategiche. La migrazione verso la generazione da 90 nm non è quindi indicata per prodotti caratterizzati da bassi costi unitari con prestazioni e densità moderatamente

Fig. 1 - Processi tecnologici in uso per la produzione dal 1998 al 2004 (proiezione), in base alla capacità delle fab a livello mondiale espressa in milioni di pollici quadri (fonte: Gartner Dataquest)

vi commerciali è prevista a partire dal secondo trimestre del 2004.

Alcune generazioni di processi tecnologici stanno inoltre assistendo a una fase di stabilizzazione. Ad esempio la produzione di dispositivi analogici e di potenza in generazione da $0.5\mu\text{m}$ e in geometrie superiori si è mantenuta pressoché costante negli anni. I processi da $0.18\mu\text{m}$ e da $0.13\mu\text{m}$ sono quelli più comunemente utilizzati, e hanno via via sostituito la tecnologia da $0.25\mu\text{m}$, che non ha preso piede in maniera consistente. Il secondo è attualmente in fase di produzione in volumi, ma ha richiesto un tempo di gran lunga superiore per l'implementazione rispetto a quanto previsto, a causa della sua complessità.

Il processo da 90nm presenta difficoltà realizzative ancora maggiori, in particolare per quanto riguarda la necessità di trovare un giusto compromesso fra prestazioni, occupazione di area e potenza. La diminuzione della soglia dei dispositivi e dello spessore dell'ossido provocano un aumento della corrente di leakage. Inoltre l'aumento di velocità reso possibile dalla nuova tecnologia potrebbe creare percorsi critici, e problemi nella distribuzione del segnale di clock. Per implementare soluzioni in tecnologia da 90nm in modo efficiente è quindi indispensabile ripensarne l'architettura. Altera sta lavorando su questo dal maggio 2001 e in cooperazione con TSMC ha già portato a termine la realizzazione di test chip progettati per sfruttare appieno i vantaggi della piattaforma da 90nm.

Una nuova generazione di soluzioni in logica programmabile

Nel corso del 2004 Altera introdurrà i dispositivi della famiglia Stratix di prossima generazione (Stratix II) realizzati in base a una nuova architettura ottimizzata per il processo da 90

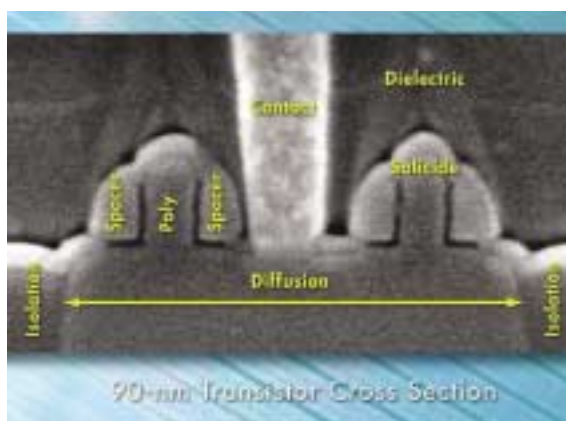


Fig. 2 - Sezione trasversale di un transistor in processo CMOS da 90nm

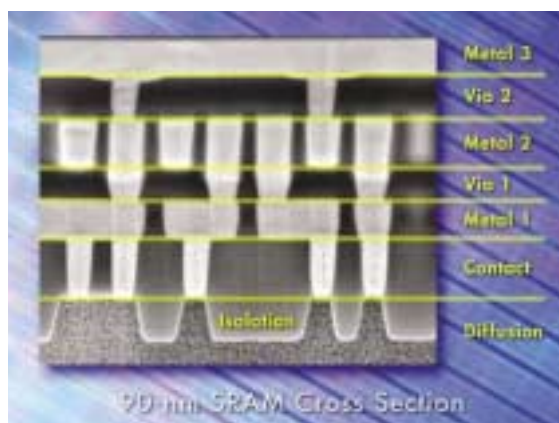


Fig. 3 - Sezione dei livelli di connessione in una SRAM in tecnologia da 90nm

μm , che garantirà una densità superiore del 70% rispetto agli FPGA Stratix attualmente in commercio e garantiranno un aumento delle prestazioni del 50% (legato in parte al nuovo approccio, in parte al processo tecnologico), lasciando un ampio margine per eventuali miglioramenti. Al contempo verrà assicurata la piena compatibilità con i dispositivi delle generazioni precedenti.

La nuova architettura è organizzata in matrici logiche che presentano una distribuzione ottimale delle risorse, funzionalità aritmetiche e una flessibilità degli input migliorate. Tutto ciò consente di eseguire le operazioni richieste con risorse e un numero di livelli di logica nettamente inferiori. I nuovi FPGA Stratix II, che saranno

commercializzati nel 2004, combineranno 140000 elementi logici e 10Mbit di memoria. Essi integreranno blocchi di memoria TriMatrix, composti da tre unità di diverse dimensioni di RAM embedded a larga banda, unità DSP (Digital Signal Processing) e di gestione del clock, interfacce per memorie esterne, ingressi LVDS da 1Gbps e I/O sincroni in grado di assicurare la trasmissione dati a 840 Mbps. Incorporeranno inoltre la tecnologia Terminator, che prevede l'uso di un resistore interno di terminazione in grado di adattare le impedenze dei driver

che gestiscono segnali seriali, paralleli e differenziali. Gli FPGA Stratix II Hardcopy, che saranno disponibili dalla metà del 2005, consentiranno un miglioramento medio nelle prestazioni del 60% con consumi dimezzati e una riduzione dei costi del 50-70% rispetto ai dispositivi Stratix II. La disponibilità di alcune funzioni predefinite che caratterizza gli ASIC

strutturati infatti consente di ridurre i costi NRE (Non Recurrent Engineering), particolarmente critici per prodotti commercializzati in bassi volumi e per la prototipazione. Gli Stratix II GX, disponibili anch'essi dalla metà del 2005, incorporeranno transceiver con prestazioni da 6Gbit/sec. Nel 2004 verrà inoltre commercializzata la nuova generazione di dispositivi Cyclone II, realizzati in un processo da $0,13\mu\text{m}$ con interconnessioni in rame messo a disposizione da TSMC, e basati anch'essi su una nuova architettura, pensata per ottimizzare flessibilità e costi. Gli FPGA della famiglia Cyclone di Altera sono caratterizzati da un grado di complessità inferiore rispetto ai dispositivi Stratix. Grazie alla combinazione di elevate densità, prestazioni e costi contenuti, essi consentono l'adozione delle piattaforme FPGA in applicazioni "atipiche" e una più capillare diffusione nei tradizionali mercati delle comunicazioni, industria-



Fig. 4 - Nuovi dispositivi della famiglia Cyclone

le, dei sistemi di elaborazione e automotive, caratterizzati da grossi volumi e da una sensibile pressione sul time-to-market e sui prezzi.

Gli FPGA Cyclone sono in grado di operare a frequenze superiori a 320 MHz e di supportare gli standard di I/O LVDS, che assicurano la trasmissione di segnali a velocità fino a 640 Mbps per canale e di segnali RSDS (Reduced Swing Differential Signal), di solito impiegati negli schermi piatti, che prevede velocità massime di trasferimento di 311 Mbps per canale. Ugualmente prevista per il 2004 è l'introduzione di una nuova generazione di Soft Core Nios, che saranno caratterizzati da un aumento di un fattore 2-3 nelle prestazioni del processore (fino a 200 Dhrytone MIPS), una riduzione nell'area del 20-30% e un miglioramento del 75% nel rapporto prestazioni/prezzo.

La nuova versione di core Nios sarà disponibile in diverse versioni ottimizzate per l'occupazione di spazio e la velocità e sarà corredata da un pacchetto completo di tool di sviluppo software facili all'uso, che comprenderà compilatori, assembler, ambienti di sviluppo integrato (IDE), debugger JTAG, sistemi operativi in tempo reale e un supporto per la personalizzazione del progetto su scheda basato su SOPC Builder.

Come rinnovare un prodotto maturo


I CPLD presentano vantaggi indiscussi quali la non volatilità, la facilità all'uso, i costi estremamente bassi e i ridotti consumi.

Essi trovano applicazione nei più svariati settori: da quello consumer, a quello industriale, automobilistico, delle comunicazioni, nei sistemi di

elaborazione e di memorizzazione. Ne sono un esempio le interfacce per la conversione e la memorizzazione dei dati e per la traslazione dei protocolli, gli I/O di espansione, le unità di controllo della distribuzione dei segnali e di decodifica degli indirizzi, i sistemi di gestione della configurazione e della sequenza di power-up dei dispositivi su scheda. Il mercato relativo a questi dispositivi, che in base a una stima della società Semico Research ammonta a 800 milioni di dollari a

livello globale, è caratterizzato da una buona solidità e da un elevato grado di maturità.

Il settore tuttavia può essere rivitalizzato rinnovando l'architettura dei dispositivi, in modo da enfatizzare la facilità all'uso e i bassi costi, con l'obiettivo di raggiungere il centesimo per macrocella. La famiglia di CPLD MAX II, che sarà introdotta da Altera entro il primo semestre del 2004, sarà composta da dispositivi con densità comprese tra 128 e più di 1.000 macrocelle.

Grazie alla nuova architettura, i dispositivi saranno in grado di assicurare un raddoppio della densità e al contempo sensibili riduzioni in termini di consumi e di costi di produzione e per pin, in misura pari rispettivamente al 50 e al 90% rispetto alla generazione precedente, a fronte di un incremento del 50% delle prestazioni. 

Altera
readerservice.it n.07