

Il debugging di un bus PCI con un oscilloscopio per segnali misti

L'oscilloscopio per segnali misti si è rivelato uno strumento efficace per esaminare i problemi di integrità del segnale sul bus PCI

Vivian Patlin, Agilent Technologies

L'individuazione dell'integrità dei segnali che transitano su un bus di connessione per componenti periferici di tipo PCI (Peripheral Component Interconnect) può risultare problematica, nonostante questo tipo di bus parallelo sia molto diffuso. I problemi in questo senso sono ben noti. Le linee e i segnali del bus da esaminare contemporaneamente sono moltissimi e può risultare difficile rilevare le anomalie di tipo analogico sovrapposte al segnale digitale. Non esistendo uno strumento di test che da solo fosse in grado di eseguire un debugging completo, in passato è stato spesso necessario utilizzare più apparecchiature.

Inconvenienti degli strumenti più diffusi per il debugging

In genere, i progettisti utilizzano uno o più strumenti di collaudo per la verifica di un bus PCI. Un analizzatore logico, per esempio, è in grado di analizzare tutte le linee del bus simultaneamente, ma essendo sostanzialmente uno strumento per segnali digitali, non riesce a mostrare nel dettaglio caratteristiche dei segnali quali ringing (oscillazione), tempi di salita e bounce (rimbalzo). È anche possibile usare uno stimolatore e analizzatore di PCI, uno strumento che permette di collegarsi a tutte le linee del bus PCI e di eseguire controlli sulla temporizzazione degli eventi di bus. Pur essendo in grado di rilevare e isolare facilmente le violazioni di temporizzazione, questo strumento non consente di visualizzare e analizzare un errore nel dettaglio. Per visualizzare e analizzare i problemi di integrità del segnale, lo strumento più adeguato è l'oscilloscopio DSO (Digital Storage Oscilloscope), un dispositivo progettato specificatamente per esaminare nel



Fig. 1 - Le linee di indirizzamento sono monitorate tramite le 8 tracce digitali inferiori

dettaglio le caratteristiche dei segnali. Tuttavia, poiché presenta un numero di canali generalmente limitato, talvolta risulta difficile effettuare il trigger su eventi di un bus PCI. Per analizzare l'integrità del segnale, qualora vi siano problemi di triggering complessi su varie linee, è necessario effettuare il trigger incrociato utilizzando l'oscilloscopio DSO insieme a uno stimolatore/analizzatore oppure un analizzatore logico, anche se tale operazione può risultare complessa. Con un oscilloscopio MSO (Mixed Signal Oscilloscope) è possibile risolvere i problemi legati all'uso dei dispositivi descritti. Questo strumento combina infatti le funzioni di analisi del segnale tipiche dell'oscilloscopio con le misure sulla temporizzazione di un analizzatore logico. Con un oscilloscopio MSO, il progettista è in grado di eseguire il trigger ed esaminare i problemi di integrità del segnale sul bus PCI.

Studio di un caso

L'autore ha fatto parte di gruppo di esperti che si è occupato del debugging di un bus parallelo PCI. All'inizio del progetto, i risultati erano positivi e furono realizzati i primi prototipi che sembravano funzionare in modo corretto. Il firmware era

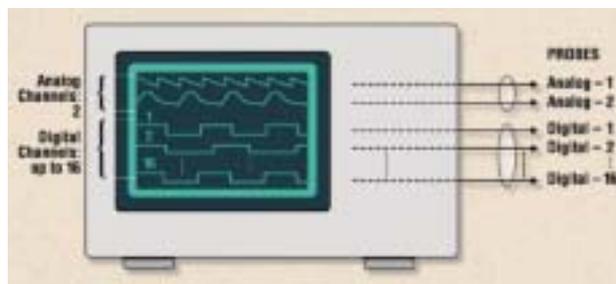


Fig. 2 - Le anomalie sono visualizzate chiaramente sul canale analogico

già stato programmato e il progetto era in fase di completamento. I problemi iniziarono con il verificarsi di anomalie sporadiche in alcune schede nuove. Tutto sembrava funzionare in modo corretto e poi, improvvisamente, il sistema andava in crash rendendo necessari la chiusura e il riavvio. Ciò creava seri problemi. La linea di produzione non poteva sottoporre i nuovi sistemi a tutte le prove parametriche necessarie, né i tecnici potevano eseguire i test ambientali. Il firmware doveva essere riavviato più volte al giorno, con conseguenti ritardi nella procedura del controllo qualità. Dopo aver esaminato il problema, si giunse alla conclusione che il bus PCI si bloccava in modo discontinuo. Funzionava correttamente per un certo periodo e quindi si arrestava improvvisamente. Sembrava di essere arrivati a un punto morto in cui le varie soluzioni non portavano ad alcun risultato. Dato che il problema non si presentava con frequenza regolare, il primo passo fu quello di trovare un modo per renderlo più ripetibile. Grazie alla collaborazione tra i gruppi che lavoravano sul software e sull'hardware, fu possibile trovare un modo per far sì che il problema si verificasse più frequentemente. Uno studio più approfondito permise quindi di scoprire che l'anomalia si verificava più spesso quando certi percorsi software venivano maggiormente sollecitati. In particolare, eseguendo un ciclo di test del software, si riscontrò che il bus PCI e i dispositivi collegati ad esso causavano problemi.

L'hardware

L'hardware comprendeva una scheda a circuito stampato con un certo numero di componenti personalizzati e di ASIC. Tuttavia, l'area di interesse fu limitata al bus PCI da 32 bit e 33 MHz con 5-7 dispositivi collegati. Un'ampia base firmware controllava la scheda. Un bus PCI a 32 bit richiede da 47 a



49 pin, a seconda che si tratti di un dispositivo target o master. In questo caso, i componenti contenevano tutti 49 linee, dal momento che ogni dispositivo poteva funzionare anche come master. Delle 49 linee, 32 erano linee dati e indirizzi multiplexate, 2 erano utilizzate per i report degli errori e una era un bit di parità per le linee dati/indirizzi. Le altre erano linee di controllo per coordinare l'utilizzo del bus da parte dei vari dispositivi. Poiché si trattava di un problema di blocco, lo studio fu limitato all'interazione delle linee di controllo. Per eseguire il debugging si utilizzò un oscilloscopio per segnali misti con profondità di memoria da 600MHz (MSO) 54832D con 16 canali digitali di temporizzazione e 4 canali analogici. Durante l'esecuzione dei test di base di scrittura e lettura, fu osservato che le linee di indirizzamento di uno dei dispositivi ricevevano saltuariamente l'indirizzo sbagliato. La sequenza restituita non era sempre quella inviata. Per esempio, una sequenza di indirizzi ABCDEF inviata al dispositivo a volte veniva letta come ABCFEF. Ciò suggerì un esame della fase di indirizzamento della transazione del bus PCI. A tale scopo si utilizzò il trigger di stato dell'MSO. Alcune linee di controllo provenienti dal bus (FRAME#, IRDY#, TRDY#, DEVSEL#, GNT0 e CLK) furono collegate all'MSO e l'oscilloscopio fu impostato per il trigger in modalità avanzata stato/pattern AND. Il segnale di CLK fornisce la temporizzazione di base per il bus PCI. Tutte le altre linee collegate furono campionate sul fronte di salita del CLK. Quando si verifica una transazione, il segnale di FRAME# viene asserito. Doveva essere asserito (basso) nel caso studiato in quanto le fasi di non transazione non erano di interesse. I segnali IRDY# e TRDY# risultano asseriti quando sia l'iniziatore o master sia il target sono pronti per il trasferimento di dati. Poiché le fasi di dati della transazione non erano incluse nello studio, IRDY# e TRDY# furono disasseriti (alto). Il segnale di DEVSEL# indica se il dispositivo ha decodificato il proprio indirizzo. Poiché era necessario esaminare la fase di indirizzamento, tale segnale fu impostato come disasserito (alto) al fine di impedire il triggering durante una fase di dati nella quale né il dispositivo master né quello target non fossero pronti. GNT0 è una linea di arbitraggio usata per garantire ai dispositivi il diritto di controllare il bus.

HARDWARE

PCI BUS

L'impostazione di tale linea fu modificata da asserita (basso) a disasserita (alto) per poter controllare se la funzione di trigger dell'MSO veniva attivata o meno quando il dispositivo 1 controllava il bus. La fase di indirizzamento di un bus PCI inizia sul fronte di CLK successivo al segnale di FRAME# che viene asserito (basso). All'esame sembrava che il segnale di CLK avesse problemi di integrità. A questo punto, fu abilitata la persistenza infinita sull'oscilloscopio per poter osservare eventuali anomalie del segnale di CLK. Le fasi di indirizzamento di tutti i dispositivi diversi dal dispositivo 1 corrispondono alle 8 tracce visualizzate nella parte bassa della figura 1, in pratica la GNT0 nel trigger di stato era disasserita (alto) e l'integrità di CLK veniva esaminata quando il dispositivo 1 era passivo. I marcatori sono impostati sui livelli Vin e Vout del CLK. Con questa configurazione, tutto sembrava funzionare correttamente. Il triggering sulla fase di indirizzamento del dispositivo 1 rivelava tuttavia un problema con l'impulso di clock che precede il clock della fase di indirizzamento. Questo è il clock che campiona il segnale di FRAME# quando questo viene asserito per la prima volta. Nella figura 2, è possibile vedere chiaramente l'anomalia nella traccia analogica superiore in quanto scende al di sotto del livello di trigger e del marcatore Vout. A questo punto, intuiva ormai la causa del problema, furono aggiunti circuiti per aumentare l'accoppiamento sulle schede che funzionavano correttamente allo scopo di verificare se si presentavano delle anomalie, che effettivamente si verificarono. I test di lettura e scrittura degli indirizzi presentavano a volte delle anomalie a causa di violazioni dei tempi di setup e di hold. Ciò era dovuto a un doppio segnale di clock anomalo che determinava la lettura dell'indirizzo prima del previsto. In pratica, l'indirizzo veniva sincronizzato quando il dip anomalo nel CLK si trovava su un livello logico alto anziché su un fronte normale. Cambiando i circuiti per ridurre l'accoppiamento tra l'attività sul dispositivo 1 e il CLK, i problemi di blocco vennero eliminati.

Conclusione

L'oscilloscopio per segnali misti si è rivelato uno strumento efficace per esaminare i problemi di integrità del segnale sul bus PCI. Lo studio dello stesso problema con un oscilloscopio convenzionale avrebbe richiesto dei circuiti esterni o un analizzatore logico per realizzare il cross-triggering. Entrambe le soluzioni avrebbero comportato difficoltà di esame del triggering e dell'integrità dei segnali e richiesto tempi di impostazione di gran lunga superiori. L'uso di un oscilloscopio MSO ha ridotto i tempi necessari per studiare e risolvere il problema, permettendo così di rispettare le scadenze di progetto.

Agilent

Readerservice.it n° 10