

La nuova tecnologia X2, sviluppata da M-Systems in collaborazione con Toshiba, combina un'architettura hardware e algoritmi software avanzati che consentono di implementare memorie con densità doppia rispetto a una NAND a singolo livello senza sacrificare affidabilità e prestazioni

Raddoppiare la densità senza compromessi

Angela Rossoni

Dispositivi connessi quali telefoni cellulari e Set-Top Box offrono sempre più funzionalità e opzioni di personalizzazione, e di conseguenza richiedono capacità di memorizzazione sempre più spinte. I terminali 2.5G ad esempio incorporano dai 16 ai 32Mbyte di memoria flash, contro i 2 - 4 Mbyte richiesti dai dispositivi 2G.

L'esigenza crescente di capacità di memorizzazione nasce anche dalla domanda da parte del mercato di dispositivi dal funzionamento il più possibile simile a quello dei PC e in grado di gestire grandi quantità di dati di tipo audio, video e testuale come il download di file MP3 o la gestione sicura di informazioni quali il codice dei sistemi operativi e i file di registro.

Questo si scontra con la necessità di ridurre le dimensioni dei package, soprattutto per i dispositivi portatili. I produttori di memorie Flash stanno quindi cercando di aumentarne la densità, migrando verso geometrie più spinte o sviluppando tecnologie per immagazzinare più informazioni per cella. La

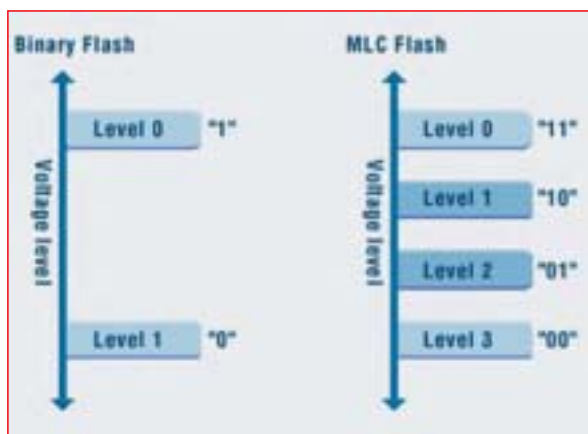


Fig. 1 - Definizione delle soglie nelle memorie binarie e multilivello

più matura fra queste tecnologie è la MLC (Multi-Level Cell).

Nelle versioni a due livelli, attualmente in commercio, i bit memorizzati in una cella corrispondono a quattro livelli di tensione anziché due (si veda la figura 1): la densità delle memorie MLC è quindi idealmente doppia rispetto a quella dei dispositivi a singolo livello.

Vantaggi e limitazioni della tecnologia MLC

La tecnologia MLC (Multi Level Cell) riduce considerevolmente le dimensioni del die di una memoria Flash, al fine di ottimizzarne i costi. Le prime Flash MLC prodotte in volumi sono state le

NOR StrataFlash, sviluppate da Intel e commercializzate a partire dal 1999.

Le prime memorie NAND di tipo MLC sul mercato sono state sviluppate da Toshiba, e sono state commercializzate a partire dalla fine del 2001. L'architettura NAND è ideale per applicazioni storage, per via della densità e della velocità di programmazione e di cancellazione. Tuttavia, è soggetta a un elevato tasso di difetti distribuiti casualmente, e richiede algoritmi di correzione dinamica degli errori, che rallentano ulteriormente il sistema. Può essere programmata solo in sequenza, mentre le memorie NOR a singolo livello possono essere programmate in ordine casuale all'interno di un blocco di erase. Fa inoltre uso di un'interfaccia I/O non standard, che ne rende difficile l'integrazione. Questi aspetti risultano accentuati nelle memorie NAND multilivello. Queste ultime sono praticamente inutilizzabili per l'immagazzinamento di dati locali e di codice, per via delle più modeste prestazioni e proprietà di ritenzione. Non sono inoltre compatibili con i dispositivi a singolo livello e richiedono uno stretto controllo delle soglie.

In una memoria MLC a 2 livelli vengono distinti 4 valori distinti di soglie nello stesso intervallo di tensioni utilizzato per una memoria binaria. La lettura e la programmazione devono perciò essere

Tabella 1 - Prestazioni di diverse tecnologie di memorie NAND a confronto

	NAND a singolo livello	NAND MLC	NAND MLC in tecnologia X2
Dimensioni	100%	~50% rispetto alle memorie a singolo livello	~53% rispetto alle memorie a singolo livello
Prestazioni in scrittura	~800KB/sec	~350KB/sec	~700KB/sec

molto più accurate e complesse. Ciò comporta una probabilità d'errore superiore di ben due ordini di grandezza e un rallentamento della velocità di accesso e di programmazione/cancellazione. Anche la ritenzione dei dati, legata alla stabilità nel tempo delle soglie, è sensibilmente peggiore, per via della maggiore sensibilità alle alterazioni prodotte da programmazione e da lettura delle celle (program/read disturb).

Gli ingredienti della tecnologia X2

La tecnologia X2, sviluppata da M-Systems in collaborazione con Toshiba, combina un'architettura hardware avanzata e algoritmi software ottimizzati per porta-

re l'affidabilità e le prestazioni dei dispositivi MLC a livelli confrontabili con quelli delle memorie a singolo livello. Rende possibile la realizzazione di memorie Flash NAND multilivello standard ad elevate prestazioni e costi contenuti, con una densità rispettivamente quadrupla e doppia di quella delle flash NOR e NAND binarie, per indirizzare la richiesta di risorse sempre più consistenti di memorizzazione. È ideale per applicazioni consumer mobili, embedded e connesse, quali smart phone, PDA, set-top box, Thin Client, gateway domestici, TV digitali, SBC (Single Board Computer) e sistemi telematici.

La nuova tecnologia è una combinazione di algoritmi, e di miglioramenti nell'architettura e nelle funzionalità di gestione che consente di superare le limitazioni cui sono affette le tradizionali memorie NAND multilivello. Comprende uno strato SAFTL per la gestione robusta della memoria, alcuni miglioramenti agli algoritmi EDC e ECC, una gestione più efficiente dei blocchi difettosi, la funzionalità MultiBurst, un migliore supporto al DMA e modalità efficienti di accesso multiplo. Lo strato SAFTL (Sequential Access Flash Translation Layer) con-

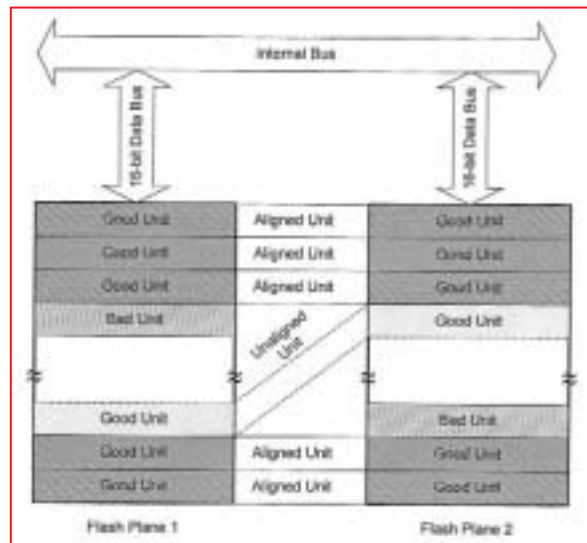


Fig. 2 - Accesso non sequenziale ai blocchi difettosi previsto dalla tecnologia X2

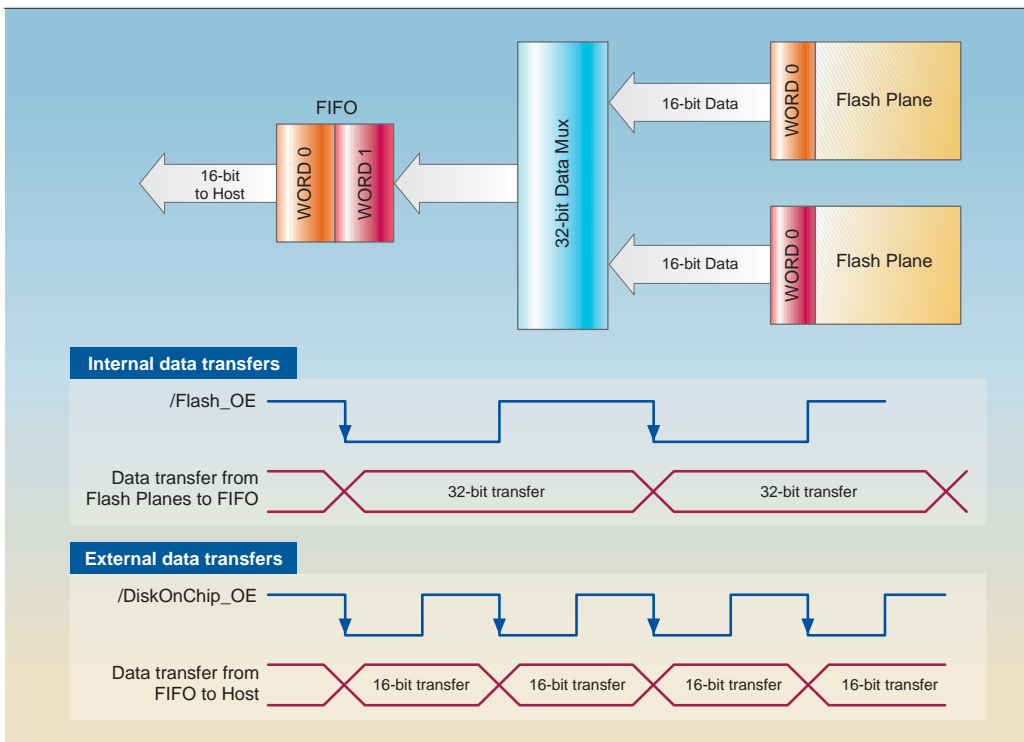


Fig. 3 - Raffigurazione schematica dell'operazione MultiBurst



Fig. 4 - La tecnologia X2 è stata integrata con successo nelle famiglie DiskOnChip (a sinistra) e DiskOnKey (a destra), messe a disposizione da M-Systems

sente di superare le limitazioni legate all'accesso sequenziale nelle memorie NAND mappando ogni unità virtuale in una catena di unità fisiche, analogamente a quanto avviene negli strati FTL delle memorie a singolo livello. A differenza di questi tuttavia, lo strato SAFTL può stabilire le corrispondenze fra settori virtuali e fisici in qualsiasi ordine. Ogni settore programmato quindi contiene, oltre ai dati, l'informazione sull'offset rispetto al settore virtuale corrispondente. Le unità fisiche vengono quindi programmate in sequenza indipendentemente dalla disposizione dei settori virtuali.

Due pagine in due diversi banchi possono essere lette o scritte contemporaneamente, anche se sono disallineati nei rispettivi banchi.

L'accesso non sequenziale alla memoria migliora la gestione dei blocchi difettosi. I blocchi difettosi vengono mappati separatamente in ogni banco, come mostrato in figura 3.

I settori "buoni" possono essere utilizzati anche se non sono allineati, minimizzando quindi l'impatto dei difetti sulla memoria.

Senza questa funzionalità un difetto in un banco renderebbe inutilizzabile un intero blocco.

Gli algoritmi EDC (Error Detection Code) ed ECC (Error Correction Code) comprendono sia un controllore hardware per la correzione dinamica degli

errori, sia un software embedded per l'ottimizzazione degli algoritmi in funzione dell'occupazione di spazio e dei costi. Questa soluzione è in grado di correggere almeno 2 errori per pagina senza intaccare le prestazioni del dispositivo. È possibile migliorarne ulteriormente l'efficienza adottando i codici Hamming esteso e BCH (Bose Chaudhuri Hocquenghem). L'intero controllore occupa meno del 5% delle dimensioni di un die da 64Mbyte, e di questo solo il 15% è utilizzato per la circuiteria EDC.

Per migliorare le prestazioni in lettura la tecnologia X2 integra la funzionalità MultiBurst, che rende possibile la lettura a 16 bit parallela di due banchi, con una velocità determinata dal clock del sistema host anziché dal tempo intrinseco di accesso della Flash, che influisce solo sulla prima parola della pagina. È possibile leggere fino a due pagine (1024byte) contemporaneamente con un tempo d'accesso di appena 25ns. L'approccio X2 consente l'integrazione di un blocco DMA in una memoria di tipo NAND, riducendo sensibilmente l'overhead della CPU del sistema. Questo facilita il trasferimento di file di grandi dimensioni, necessario nei sistemi operativi in tempo reale (RTOS). Riduce inoltre il tempo di boot della memoria di circa un fattore 4, facilita l'integrazione e minimizza il numero di componenti esterni necessari per il controllo DMA.

Applicazioni

La tecnologia X2 è pienamente compatibile con il collaudato algoritmo Tru FFS, brevettato da M-Systems per emulare le funzionalità di un hard-disk in una memoria Flash, che è stato incorporato nei principali sistemi operativi, quali Microsoft, Wind River e QNX. La nuova tecnologia è stata integrata con successo nelle famiglie di dispositivi DiskOnChip e DiskOnKey. I prodotti DiskOnChip, introdotti per la prima volta sul mercato nel 1993, sono stati progettati per sistemi portatili, che richiedono quindi un'occupazione di spazio e livelli di consumi ridotti. Sono disponibili in tagli fino a 1Gbyte e integrano funzionalità avanzate di gestione dell'alimentazione quali il Deep Power Down Mode, che richiede appena 10 μ A. I rivoluzionari DiskOnKey sono dispositivi di memorizzazione universali delle dimensioni di una penna stilografica, che si connettono direttamente a qualsiasi PC attraverso una porta USB. M-Systems, fondata nel 1989, è specializzata in soluzioni storage basate su tecnologia Flash. Conta circa 300 dipendenti e uffici negli Stati Uniti, in Europa, in Giappone, Cina, Taiwan e Israele. È partner strategico di colossi quali Toshiba, AMD, Microsoft, Symbian, ARM e Texas Instruments, e possiede partecipazioni nell'innovativa startup Saifun, che ha sviluppato l'innovativa tecnologia NROM.

↳

Lasi

Reader Service n° 47