

Fpga con transceiver a 3,125 Gbps per applicazioni ad alta velocità

Nelle attuali applicazioni ad alta velocità è necessaria la presenza di una tecnologia di trasferimento dati affidabile che assicuri la trasmissione delle informazioni dalla fonte a destinazione nell'arco di pochi ns. La risposta di Altera sono i dispositivi della famiglia Stratix GX

Filippo Fossati

Gli ingredienti sono semplici: si prende l'architettura Fpga più veloce attualmente reperibile sul mercato - Stratix - e transceiver operanti a 3,125 Gbps e si fondono in modo equilibrato. Da qui nasce la famiglia di dispositivi Stratix GX di Altera, capace di alloggiare un massimo di 20 canali di

si propone come una soluzione completa di progetto che include nuclei Gigabit Ethernet Xaui o Sonet, modelli per la validazione di sistemi e linee guida per la realizzazione di schede a circuito stampato. Si tratta di elementi critici di cui i progettisti hanno bisogno per sviluppare un sistema basato su transceiver per applicazioni di backplane o di comunicazione chip to chip.

Funzioni personalizzabili

Così come è accaduto per le famiglie di Fpga Stratix e Cyclone, anche i dispositivi Stratix GX integrano numerose funzionalità che rappresentano un valido ausilio in fase di progettazione:

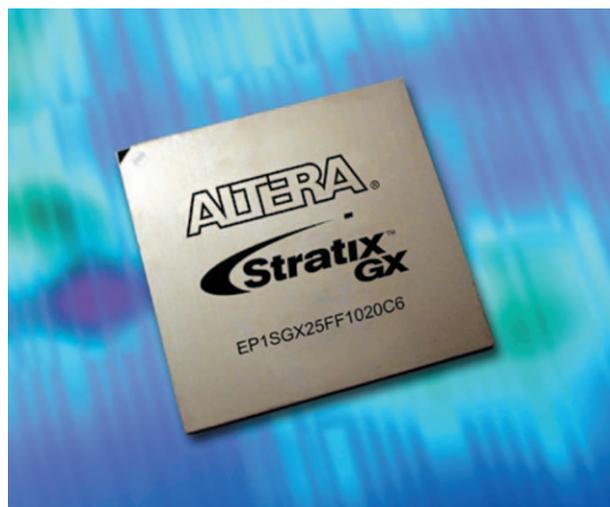
transceiver full duplex e quindi particolarmente adatta alla gestione di datapath ad alta velocità. Tra questi vi sono i backplane ad alta velocità o i sistemi per la comunicazione chip to chip che si stanno sempre più diffondendo in applicazioni a elevata velocità e che gestiscono masse sempre più considerevoli di dati. La combinazione dei dispositivi Stratix GX, del software di progettazione Quartus II e dei blocchi IP già disponibili e ottimizzati per applicazioni con i transceiver, permette ai progettisti di realizzare in tempi minimi sistemi operanti a elevata velocità. Stratix GX non vuol dire solamente integrazione di un transceiver in un'architettura Fpga: questa famiglia

- backplane-oriented: gli Fpga Stratix GX includono le funzioni necessarie per applicazioni di backplane: essi sono in grado di pilotare lunghezze da 40" su schede FR4 e dispongono di funzioni per l'equalizzazione del ricevitore. I dispositivi montati a bordo possono essere inseriti/disinseriti dal sistema anche in presenza di alimentazione senza subire danno alcuno;

- bassi consumi del transceiver: con una dissipazione di 75 mW per canale e 450 mW per blocco di transceiver Gigabit, i transceiver della linea Stratix GX consumano meno della metà rispetto a soluzioni Fpga concorrenti. I dispositivi Stratix GX garantiscono la

possibilità di bloccare l'alimentazione del canale di trasmissione o di ricezione in maniera indipendente;

- supporto di protocolli ad alta velocità: Stratix GX è l'unica soluzione Fpga multi gigabit al momento disponibile che prevede circuiti dedicati per applicazioni di backplane sia in sistemi Xaui sia in sistemi Sonet/Sdh. Le funzioni specifiche per lo standard Xaui prevedono inoltre circuiti dedicati per il rate-matching, per l'allineamento delle parole e per la gestione del clock. I dispositivi inoltre comprendono funzioni hardware specifiche per la rilevazione dei pattern Sonet/Sdh e la trasmissione degli stessi e per il supporto di data bus da 8 e 16 bit senza la necessità di un codificatore/ decodificatore 8B/16B;
- circuito Pda per pilotare piedini di I/O sincroni: si tratta dell'unica implementazione embedded su silicio di un circuito Dpa (Dynamic Phase Alignment -allineamento dinamico di fase) che garantisce un funzionamento ad alta velocità adeguato all'ampiezza di banda del transceiver. La tecnologia Dpa risulta particolarmente utile in quanto semplifica la progettazione e il layout di schede ad alta velocità eliminando problemi di disallineamento (skew). L'implementazione hardware della tecnologia Dpa assicura una migliore immunità alle variazioni di temperatura o di tensione, altro a garantire una minore dissipazione;
- densità adeguata per realizzare un elevato numero di canali di transceiver: con l'architettura Stratix GX è possibile ottimizzare il rapporto tra canali e logica.



La famiglia Stratix GX è la seconda generazione di transceiver embedded di Altera, realizzata sfruttando un processo da 0,13 micron con tensione di alimentazione di 1,5 V per la struttura interna. Questi Fpga integrano fino a 20 transceiver embedded operanti a 3,125 Gbps e un massimo di 45 I/O differenziali con funzioni Dpa in grado di supportare trasferimenti di dati sincroni con la sorgente a una velocità massima di 1 Gbps. I dispositivi integrano fino a 41.250 elementi logici, 3,26 Mbit di memoria Trimax, 14 blocchi Dsp, 12 Pll (anelli ad aggancio di fase), la tecnologia Terminator per l'accoppiamento di impedenza e l'integrità del segnale, buffer sofisticati di I/O in grado di interfacciarsi con dispositivi di memoria a elevata velocità come Ddr Sdram, Qdr Sram, Qdr Il Sram, Zbt Sram, Ddc Fcram e Sdr Sram. Le caratteristiche essenziali vengono riassunte nella tabella.

Stratix GX: informazioni di base

Caratteristiche principali della famiglia di Fpga Stratix GX

Dispositivo	Elementi Logici	Canali transceiver Full duplex	Canali sincroni con la sorgente con Dpa	Bit di memoria totali	Blocchi DSP
EP1SGX10C	10.570	4	22	920.448	6
EP1SGX10D	10.570	8	22	920.448	6
EP1SGX25C	25.660	4	39	1.994.576	10
EP1SGX25D	25.660	8	39	1.994.576	10
EP1SGX25F	25.660	16	39	1.994.576	10
EP1SGX40C	41.250	8	45	3.423.744	14
EP1SGX40G	41.250	20	45	3.423.744	14

Un ampio supporto software

Per quanto riguarda l'aspetto software, è già disponibile un kit di progettazione ideato espressamente per la linea Stratix GX, che può essere richiesto a complemento della versione 2.1 del software Quartus II. Quest'ultima garantisce il supporto alla progettazione a livello di sistema, con funzioni sofisticate come LogicLock, Sopc Builder, Dsp Builder, strumenti per l'analisi e la temporizzazione a livello di scheda e strumenti per l'analisi dell'integrità del segnale. Quartus II supporta i più diffusi sistemi operativi come Windows Nt, Windows 98, Windows 2000, Sun Solaris, HP-UX e Linux. 

Altera
Reader Service n° 6