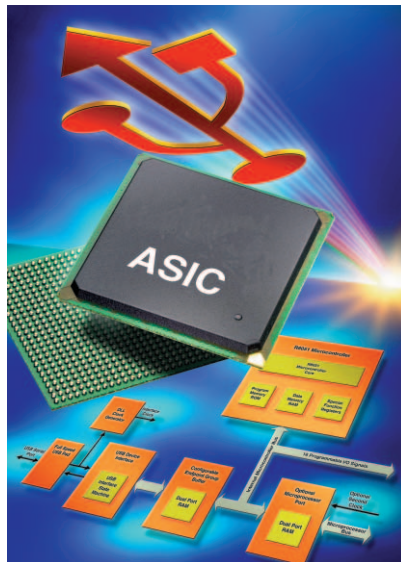


Un dispositivo può fregiarsi del nome SoC (System on Chip)[1], prendendo la definizione coniata da Dataquest nel '95, se contiene almeno "un motore di calcolo (un microprocessore o un DSP o un motore grafico) della memoria e della logica". La logica deve essere tale da poter rendere il componente adatto a soddisfare un'applicazione specifica. Questo porta alla suddivisione del mercato in due aree: Asic ed Assp (Application Specific Standard Product).

La distinzione di base tra le due tipologie risiede nel fatto



re di progetto o una modifica nelle specifiche può portare ad una costosa operazione di rifacimento (nuove maschere e nuovo lotto di produzione). Un set di maschere a 0,18-micron si piazza facilmente intorno ai 300.000 dollari, da aggiungere al tempo necessario per ottenere la nuova versione: un ritardo che può costare di più per la perdita di guadagni dalla mancata vendita del prodotto.

IL CUORE DEGLI SOC: IL MICROPROCESSORE

È fuor di dubbio che la parte fondamentale di un SoC sia il motore di calcolo e di controllo: il microprocessore. Sempre da un'indagine Dataquest si evidenzia che nel 1999 più del 40% dei progetti richiedeva l'uso di un micro ma tale percentuale ha superato il 61% nel 2001. Tra i diversi core disponibili, ARM domina la scena seguita da Mips Technology e da PowerPC di Motorola. Tutti core di fascia alta - 32/64 bit - per le necessità di alte prestazioni tipiche del segmento a cui si rivolge la tecnologia. L'avvento di soluzioni alternative farà sicuramente crescere tutta l'area di 8 o 32 bit alternativi.

ARM ha avuto, soprattutto con la famiglia ARM7, un successo significativo tanto da raggiungere nel 2001 una quota del 76% del mercato dei Risc embedded. In particolare la versione ARM7TDMI (thumb), che può indifferentemente gestire istruzioni a 16 e 32 bit, è stata adottata anche in molte delle famiglie di SoC configurabili. La potenza del dispositivo, fino a 120 Mips (Dhrystone 2.1) portato a 0,13-micron, la dimensione estremamente compatta, 0,26 mmq sempre a 0,13, la conseguente bassa dissipazione, ne hanno fatto un'architettura vincente.

NASCONO GLI SOC PROGRAMMABILI

La prossima ondata di prodotti ad adottare processori embedded è la famiglia dei dispositivi programmabili: PLD ed Fpga. Se l'inizio di questa nuova famiglia di prodotti può approssimativamente allocarsi alla fine degli anni novanta, quando Triscend lancia la sua famiglia E5, l'entrata dei grossi calibri è molto recente. In effetti il 2002 ha visto le prime spedizioni di PLD ed Fpga con core di micro a bordo da parte dei due leader: Xilinx ha annunciato una famiglia di Fpga - Virtex 2 Pro - con incluso il core del PowerPC mentre la rivale Altera ha già lanciato la famiglia Excalibur che include un core ARM[2].

L'adozione di core di micro nei PLD non ricalcherà la stessa evoluzione avuta negli Asic a causa della diversa struttura dei costi tra le due categorie di prodotto. Gli Asic hanno una licenza iniziale ed una royalty per ogni dispositivo da pagare ai fornitori di IP per l'uso del core mentre i fornitori di PLD ammortizzano il costo della licenza su tutti i dispositivi e caricano quindi un certo ammontare su ogni dispositivo.

La maggior parte dei grossi utilizzatori hanno licenze globali per l'uso delle IP e non saranno certo disponibili a pagare il prezzo delle soluzioni in PLD ma le useranno sostanzialmente per le prototipizzazioni. I clienti medi e medio-piccoli saranno i veri beneficiari di queste tecnologie. Non essendo in grado di affrontare i costi per accedere alle licenze dei core, saranno

System on Chip... alla portata di tutti

che l'Assp può essere venduto a più di un cliente mentre l'Asic è proprietà esclusiva di un unico cliente, che acquisisce pagando i costi di engineering per la sua produzione (NRE). Se la soluzione Assp può essere a tutti gli effetti un prodotto sviluppato ad hoc, la soluzione Asic può essere implementata sia in forma di Gate Array sia Standard Cell o PLD oppure un mix di queste tecnologie.

I dati su questo mercato, da un'indagine Dataquest, confermano l'importanza acquisita dal settore: il 2002 è previsto chiudere con un totale di poco superiore ai 23 miliardi di dollari, con una quota del 15% sul mercato totale dei semiconduttori e con una previsione di crescita del 20% medio annuo dal 2000 al 2006; il mercato totale si dovrebbe attestare per allora intorno ai 52 miliardi di

dollari. Questi dati ne fanno uno dei settori oggi più promettenti nel panorama dei semiconduttori.

La ragione più comune che giustifica la realizzazione di SoC è la possibilità di combinare più funzioni, se non tutto il sistema, con alte prestazioni e con un'area minima di silicio; cosa che si traduce in un costo ottimale del componente risultante. L'ostacolo più consistente sono invece gli alti costi di sviluppo (NRE), l'alta complessità di progettazione e tempi di sviluppo particolarmente lunghi. La combinazione di queste caratteristiche rende tale soluzione tecnologica appetibile per progetti complessi che si esprimono in alti volumi di produzione ma la esclude dalla portata di progetti a medi volumi. Un'altra barriera all'uso di soluzioni SoC è il costo di rifacimento. Un erro-

[1] La definizione System Level Integration (SLI) è normalmente considerata equivalente a quella di SoC.

[2] Non viene fatto riferimento al core Nios - proprietario Altera - essendo una macro software.

disponibili ad accedere a questi attraverso le licenze acquisite dai fornitori di PLD. Dataquest prevede che la diffusione di queste soluzioni di SoC configurabili diventerà una porzione significativa del mercato dei dispositivi programmabili, tanto da proiettarli ad una quota almeno del 25% nel 2010.

L'OFFERTA DI CSOC SI AMPLIA

La paternità del primo CSoc va probabilmente riconosciuta a Triscend che nel '98 presenta la famiglia E5 basata su un core 8051 migliorato, che a 40MHz raggiunge i 10 Mips. L'E5, disponibile in quattro versioni, offre fino a 40 Kbytes di Sram, alcune periferiche fondamentali ed ha a bordo un set di logica configurabile - Configurable System Logic - che nella versione massima contiene 2048 celle equivalenti a circa 25K gate logici collegati da un bus proprietario. Il numero di piedini di I/O può arrivare a 252 che è un bel numero.

Triscend ha poi introdotto la famiglia A7 dove il core diventa un ARM7TDMI. Questa CPU raggiunge i 54 Mips (Dhrystone 2.1) con un clock a 60MHz. 8KB di cache completano la CPU ed ulteriori 16KB di Sram sono disponibili sul bus. L'architettura di base rimane quella vista in figura ma le prestazioni si moltiplicano. La parte di logica configurabile è composta da 2048 celle equivalenti approssimativamente a 25K gates. Da non trascurare l'interfaccia verso la memoria esterna in grado di gestire SDRAM, fino a due bank e Flash senza altra logica.

Altera fa riferimento alla sua famiglia Excalibur come System on Programmable Chip (Sopc). La piattaforma di base è la tecnologia Apex a 0,18-

micron e un core ARM922T è diffuso in un'area dedicata insieme alla cache ad alcune periferiche ed alla logica di debug. Questa porzione pre-diffusa è poi collegata ad una porzione di Fpga della famiglia Apex 20KE. La famiglia offre tre diversi tagli che vanno da 15K a circa 150K gate equivalenti Asic e da 48KB a circa 380KB di Sram divisi tra singola e doppia porta.

Il core ARM9, in grado di operare a 200MHz, equipaggiato con 8+8KB di cache dati e istruzione e una unità di gestione della memoria (MMU) consente 210 Mips (Dhrystone 2.1) e si collega alla matrice dell'Fpga con il bus Amba AHB (Advanced High performance Bus). Questo è uno standard aperto in grado di supportare la gestione del bus da parte di più unità (multi-master) e il trasferimento a pacchetti, che si sta diffondendo per queste caratteristiche.

Come accennato, Xilinx ha da poco annunciato la famiglia Virtex 2 Pro, che con la sua tecnologia a 0,15-micron è la base di un ambizioso programma di sviluppo per una piattaforma definita "embedded-system". La piattaforma prevede l'integrazione di microprocessori fino a 4 PowerPC 405, operanti a 300-MHz e capaci di 420 Dhrystone Mips, I/O seriali ad altissima velocità grazie alla tecnologia Rocket/I/O in grado di supportare gli standard più diffusi per la connessione con altri sistemi tra i quali PCI-X133 e RapidIO. Non si possono dimenticare il numero di moltiplicatori 18 x 18 che vanno dai 28 della versione più piccola a un solo processore ai 556 del dispositivo jumbo; questi moltiplicatori sono la base per l'implementazione di DSP distribuiti nell'area programmabi-

le; infine, da 500K- a 10M-bit di Sram.

Per i bus interni Xilinx ha utilizzato l'architettura CoreConnect di IBM disponibile in 32-64- e 128-bit ed in grado di operare fino a 133MHz.

Alla fine del '99 Atmel ha introdotto la sua famiglia AT94K di Fpslic (Field Programmable System Level IC). La scelta di Atmel è stata per un Risc proprietario ad 8-bit denominato AVR in grado di superare i 30 Mips a 33-MHz. Insieme alla CPU, 32Kbyte di Sram e diverse periferiche la famiglia offre fino a 40K gate di Fpga configurabile a mezzo di Sram. Nella successiva famiglia AT94S la Eeprom di configurazione viene integrata sul dispositivo aumentando così la protezione del codice di configurazione e di programma.

Cypress Microsystem, uno spin-off di Cypress Semiconductor, ha poi lanciato la piattaforma Psoc (Programmable SoC). Intorno ad un core proprietario ad 8-bit da 4 Mips a 24MHz, una serie di periferiche digitali standard e 8 o 16 Kbyte di Flash ma anche una porzione di funzionalità analogiche anch'esse configurabili. Questo ha consentito a Cypress di vincere il premio EDN 2001 per l'innovazione. La soluzione proposta consente infatti l'integrazione di una serie di funzionalità analogiche quali convertitori A/D e D/A, amplificatori, filtri e altro, in modo particolarmente efficiente e ben assistito dal software di sviluppo. I prezzi dichiarati, da 2 a 3 dollari per poche migliaia di pezzi, lo rendono un dispositivo interessante per una vastissima serie di applicazioni di fascia media e bassa.

Non è mancata QuickLogic con la serie QuickMips da poco annunciata dove, come si evince dal nome, è stato

inserito il core Mips 4Kc con 16+16Kbyte di cache. Insieme ad alcune periferiche standard quali contatori e timer, sono inserite due Ethernet MAC 10/100 e l'estensione verso il mondo esterno passa attraverso un bus PCI a 33 o 66 MHz. Il bus AHB collega la CPU ai 75K gates equivalenti Asic della logica programmabile.

I PROGETTI CON CSOC NON SONO CHIAVI-IN-MANO

Tutti i fornitori di CSoc promettono tempi di sviluppo, ordini di grandezza più piccoli delle corrispondenti soluzioni Asic e una flessibilità senza limiti che sono sicuramente aspetti attraenti.

Lo sforzo di tutti i produttori è stato parimenti focalizzato sugli strumenti di supporto sia hardware sia software, spesso con l'aiuto di terze parti. Spesso, nel tentativo di rendere la progettazione "assistita al massimo", gli strumenti sono diventati complessi e di non facile uso. Da qui la necessità di apprendere strumenti di sviluppo totalmente nuovi.

Non ultima, per i dispositivi più complessi, la necessità di verificare contemporaneamente hardware e software - co-design - con le relative problematiche non ancora risolte. Da non dimenticare infine che, sempre per la complessità raggiunta, la testabilità del componente deve essere definita al momento del progetto tenendo ancora una volta in considerazione il connubio tra hardware e software.

Nuove metodologie di progettazione devono quindi essere opportunamente definite per ottenere il massimo dalle potenzialità offerte da questa nuova categoria di prodotti. ■