

NUOVE TECNOLOGIE PER LA "NANOELETRONICA"

Paolo De Vittor

Nei laboratori di ricerca delle società di semiconduttori sono state messe a punto alcune tecniche innovative che permetteranno di ottenere il meglio dai nuovi circuiti integrati con geometrie al di sotto dei 100 nanometri

È già da alcuni anni che il settore della ricerca sta sperimentando le tecniche produttive per i futuri prodotti in tecnologia submicrometrica, passando dagli attuali circuiti a 130 nm ai 90 e poi ai 60 nm.

Visti gli enormi sforzi in termini di risorse e investimenti necessari per l'utilizzo di queste nuove tecnologie, alcune fra le maggiori società produttrici di semiconduttori hanno stretto accordi di collaborazione per la messa a punto di processi produttivi in grado di permettere la migrazione dai 90nm ai 65nm, come è avvenuto ad esempio per l'accordo fra Ibm, Infineon, Samsung e Chartered, esteso nel corso del 2005 ai 45nm secondo l'accordo fra Ibm e Chartered Semiconductor Manufacturing.

Si tenga conto che nel primo trimestre 2006 partirà la produzione nelle linee pilota utilizzando le nuove tecnologie da 65nm su wafer multi-progetto da 300 millimetri, per le quali sono già disponibili i modelli Spice. Le sperimentazioni sinora condotte hanno riguardato dispositivi logici, mixed-signal e prodotti con

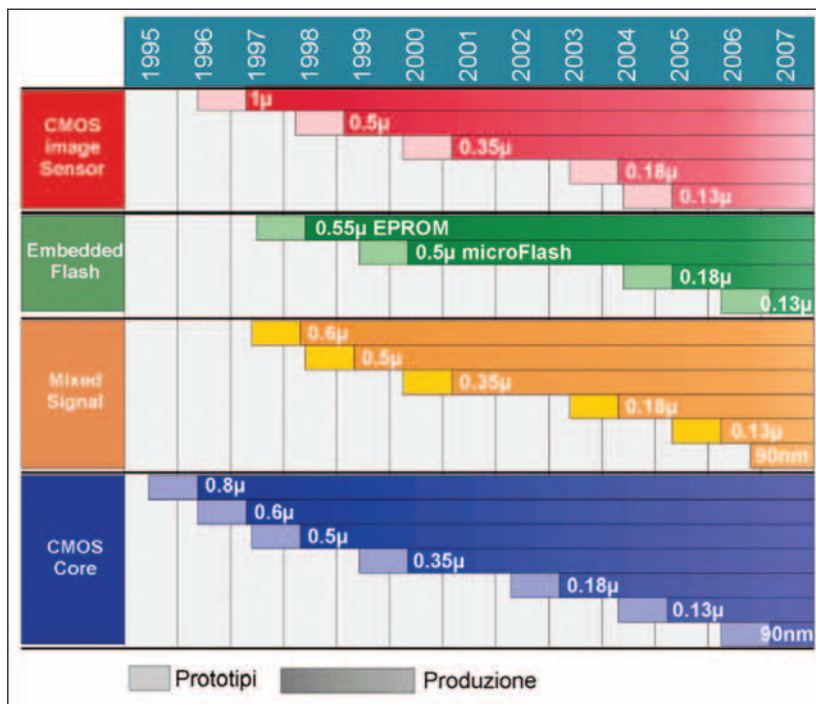


Fig. 1 - Una tipica progressione della roadmap di progressiva riduzione delle geometrie integrate, seguita da Tower Semiconductor

I/O multitenzione. Fra le opzioni disponibili vi è l'ossido triple-gate con fino a nove livelli di interconnessione in rame più il livello di redistribuzione, nonché l'uso di dielettrico a bassa costante K fra i vari livelli di metallizzazione. Se confrontato con gli attuali processi a 90nm, il nuovo da 65nm permette di ottenere

una riduzione del 28% nelle regole di layout con il dimezzamento dell'area del chip, ciò che permette il raddoppio del numero di porte logiche integrabili. I nuovi processi comprendono la possibilità di integrare transistor standard, a bassa potenza o ad elevate prestazioni, con varie opzioni di tensioni di soglia di

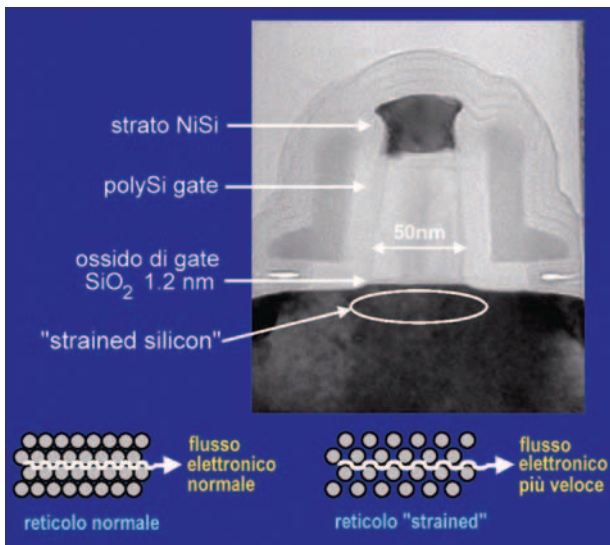
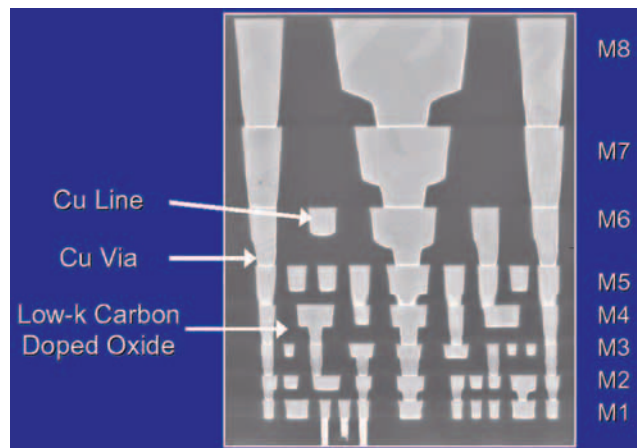


Fig. 2 - In un mosfet convenzionale lo stretto impaccamento degli atomi di silicio limita la loro velocità di transito; con le strutture "strained silicon" la maggior distanza fra i filari atomici permette invece una maggior mobilità elettronica

Fig. 3 - Nel nuovo processo da 65 nm che entrerà in produzione nel corso del 2006 verranno utilizzati ben 8 livelli di metallizzazione con dielettrico a basso K



gate, così come anche registri basati su celle di Ram statica standard o ad alta densità. I dettagli su queste nuove tecnologie sono stati presentati al recente simposio IEDM (International Electron Devices Meeting).

Verso tecnologie più sofisticate

Per avere idea del trend evolutivo delle nuove tecnologie in campo microelettronico è utile altresì osservare la progressione relativa alla riduzione delle geometrie integrate, chiaramente visibile in figura 1 per una società quale ad esempio Tower Semiconductor. Come si può vedere, l'adozione di ogni successivo step di miniaturizzazione non è andato di pari passo per ogni tipo di prodotto. Infatti, le introduzioni più precoci hanno riguardato i prodotti di punta, per i quali risulta essenziale la riduzione dell'area occupata ed il conseguimento delle maggiori prestazioni, quali ad esempio i processori (Cmos Core), mentre per dispositivi quali i mixed-signal gli interventi di shrinking vengono applicati successivamente.

È ovvio che gli ingenti investimenti necessari per questi miglioramenti tecnologici debbono altresì coinvolgere accordi con società in grado di fornire tutti i tool di tipo software in grado di permettere le necessarie fasi di Cad,

modellizzazione e simulazione dei componenti nonché dei circuiti, per cui la collaborazione in questi settori riguarda in realtà un numero elevato di protagonisti, come ad esempio Cadence Design Systems, Magma Design Automation, Mentor Graphics e Synopsys per il Cad e i tools di simulazione, Artisan Components e Virage Logic per le librerie, e altri ancora. Anche per un consorzio quale IMEC (Interuniversity Microelectronic Center di Leuven, in Belgio), d'altronde, sta lavorando per la messa a punto delle nuove tecnologie da 45nm, per le quali sta mettendo a punto i necessari tool per la fotolitografia nonché le varie fasi di caratterizzazione dei processi di deposizione e monitoraggio del resist, di rilevamento delle immagini, di messa a punto degli apparati ottici, di ottimizzazione dei reticoli e di metrologia inline. Anche per IMEC i punti-chiave delle nuove tecnologie riguardano ad esempio l'uso di interconnessioni con nuovi materiali, strutture source-drain di tipo innovativo con strati di silicio ad alta mobilità, giunzioni di tipo superficiale con estensioni laterali, dispositivi

Cmos in Germanio nonché gate in metallo (anziché polisilicio) con l'uso di isolante ad elevata costante dielettrica, il tutto con accurati studi sugli stress di tipo elettrico a cui sono sottoposte le nuove strutture che debbono sopportare campi elettrici più elevati che in passato a causa delle ridotte lunghezze di gate.

La tecnologia "strained-silicon"

Anche in casa di un colosso quale Intel per oltre dieci anni è stata seguita di fatto la legge di Moore, adottando un processo di nuova generazione ogni circa due anni. Oggi la casa produttrice del primo microprocessore utilizza da più di un anno un processo da 90 nm per il nucleo dei propri processori.

Al fine di ottimizzare il nuovo processo la società ha deciso di utilizzare in fase produttiva la tecnologia detta "strained silicon", capace di migliorare significati-

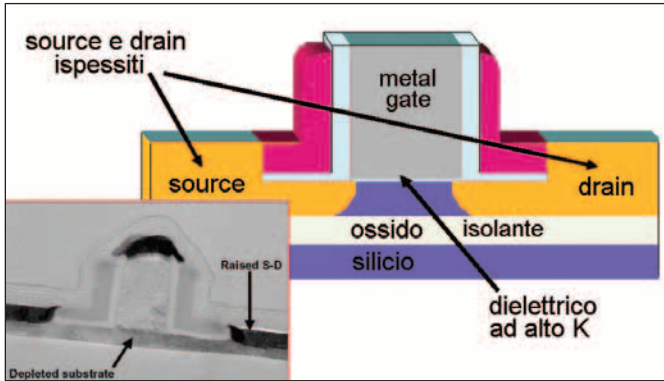


Fig. 4 - Sezione del "TeraHertz transistor" come è stata presentata da Intel

Fig. 5 - Roadmap dei processi tecnologici in casa Intel con l'indicazione dei principali parametri

vamente le prestazioni dei transistor integrati, che utilizzano ossidi di gate con uno spessore di 1.2 nm, gate in silicio di nichelio per ridurre la resistenza-serie, metallizzazioni in rame ad alta velocità e strati isolanti a bassa costante dielettrica per ridurre le capacità parassite. La nuova tecnica denominata "strained silicon" permette di migliorare i tempi di commutazione dei transistor integrati riducendo il tempo di transito degli elettroni. In un mosfet convenzionale, infatti, gli elettroni debbono effettuare un percorso source-drain attraversando strati di silicio nei quali lo stretto impaccamento degli strati atomici crea un percorso non lineare, riducendo la velocità degli elettroni. Con la nuova tecnica, invece, si riesce ad ottenere una struttura in cui la distanza interatomica risulta maggiorata (Fig. 2), in modo tale da permettere valori di mobilità elettronica sensibilmente superiori, a tutto vantaggio dei tempi di propagazione delle cariche elettriche sia di tipo P che di tipo N, ricorrendo ad un'apposita tecnica di trattamento superficiale che incide solo sul 2% del costo totale del chip, ma con significativi incrementi nella frequenza massima di lavoro, al punto che si è deciso di introdurla anche per la prossima generazione di chip da 65 nm. Un'altra tecnica capace di garantire un aumento della mobilità elettronica è quella di depositare sulla superficie del wafer uno strato di lega germanio-silicio, espediente utilizzato da molti costruttori. Intel ha invece preferito

processo	P856	P858	Px60	P1262	P1264	P1266	P1268	P1270
1 ^a produzione	1997	1999	2001	2003	2005	2007	2009	2011
generazione del processo	0.25µm	0.18µm	0.13µm	90 nm	65 nm	45 nm	32 nm	22 nm
diámetro del wafer (mm)	200	200	200/300	300	300	300	300	300
materiale delle interconnessioni	Al	Al	Cu	Cu	Cu	Cu	Cu	?
materiale del canale	Si	Si	Si	strained Si	strained Si	strained Si	strained Si	strained Si
dielettrico di gate	SiO ₂	SiO ₂	SiO ₂	SiO ₂	SiO ₂	High-K	High-K	High-K
elettrodo di gate	Si-Poly	Si-Poly	Si-Poly	Si-Poly	Si-Poly	Metal	Metal	Metal

ricorrere allo strained-silicon in quanto la tecnologia Si-Ge presenta alcuni inconvenienti, come ad esempio il fatto di avvantaggiare solo i transistor a canale N e non quelli a canale P, altrettanto indispensabili nelle circuitazioni Cmos. Inoltre, lo strato così depositato presenta un'elevata concentrazione di difetti. Un altro miglioramento introdotto da Intel nella tecnologia da 90 nm attualmente in produzione è stato il ricorso a strati isolanti a basso K (costante dielettrica) fra i livelli di metallizzazione in rame, tesi a contenere al massimo le capacità parassite fra le linee di interconnessione, visto che nel nuovo processo da 65 nm che entrerà in produzione nel corso del 2006 verranno utilizzati ben otto livelli di metallizzazione (Fig. 3). La riduzione delle capacità parassite relative alle interconnessioni permetterà di aumentare la frequenza operativa e di ridurre la dissipazione del chip. La riduzione della costante dielettrica viene ottenuta con un particolare tipo di ossido di silicio drogato con carbonio.

Un transistor per i Tera hertz

Fra le varie direzioni della ricerca nel settore delle strutture microelettroniche, una decisamente importante riguarda l'ottimizzazione della struttura dei transistor integrati. Già nella conferenza IEDM del 2004 i ricercatori Intel avevano presentato una soluzione che una volta entrata in produzione avrebbe permesso di realizzare chip con un numero di transistor per chip 25 volte superiore a quello attuale e dieci volte più veloci senza aumentare il consumo di energia.

L'ottimizzazione riguarda parametri quali la potenza assorbita, la corrente di fuga e l'innalzamento termico, tutte migliorabili ricorrendo ad una nuova struttura denominata "depleted substrate transistor" ed al ricorso ad un gate realizzato in materiale ad alta costante dielettrica.

Fra le sperimentazioni, la realizzazione di un transistor da soli 15 nanometri, che permetterebbe l'integrazione di ben

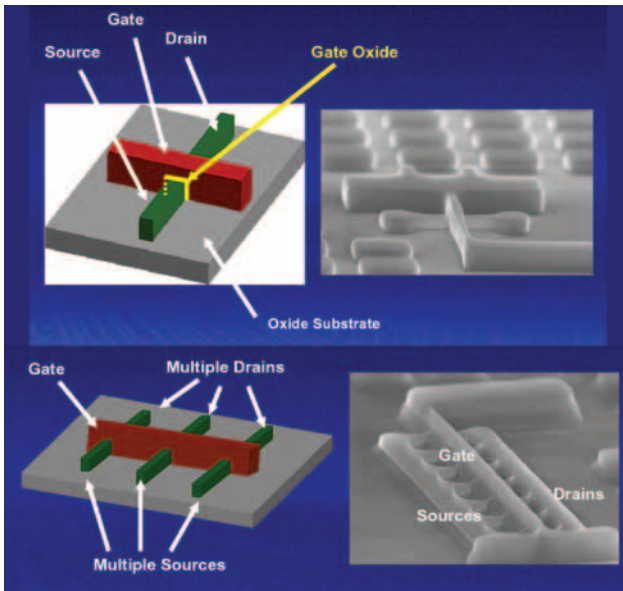


Fig. 6 - Foto T.E.M. delle nuove strutture Tri-gate del tipo singolo e multicanale

un miliardo di transistor in un singolo chip nella seconda metà di questa decade. Con questi livelli di densità fattori quali l'assorbimento di potenza nonché le correnti di fuga divengono un fattore assolutamente determinante, e vanno contenuti al massimo.

La soluzione proposta da Intel si chiama "TeraHertz transistor", ed un elemento di questa nuova struttura è proprio il "depleted substrate", ovvero un dispositivo Cmos in cui i transistor vengono realizzati all'interno di uno strato ultrasottile di silicio al di sopra di un livello "embedded" di isolante (in Fig. 4 se ne può vedere la sezione). Questo strato di silicio - che è differente dai classici dispositivi SOI (silicon-on-insulator) - viene completamente "impoverito" durante il funzionamento del transistor, in modo da semplificare la fase di turn-on e da richiedere la minima corrente possibile in fase di conduzione, cosicché risulta estremamente veloce nel commutare. Si noti in figura 4 che, sebbene lo strato di silicio al di sotto della zona di gate sia piuttosto ridotto (e ciò al fine di contenere la corrente in off-state), a lato della struttura di gate le zone di drain e di source vengono inspessite al fine di ridurre la resistenza in on-state (è così

possibile operare a minor tensione) senza peraltro influire negativamente sulle capacità parassite di giunzione all'interno del substrato.

Tutto ciò, abbinato allo strato isolante, permette di ottenere una corrente di fuga 100 volte inferiore alle tradizionali soluzioni di tipo SOI. Queste prestazioni sono state ottenute utilizzando fra l'altro un ossido di gate con uno spessore di soli 0.8 nanometri, ovvero pari a 3 strati molecolari! Poiché però uno dei maggiori problemi è creato proprio dall'entità della corrente di dispersione attraverso questi pochi strati atomici, si è pensato di sostituire l'ossido di silicio fra il gate e il canale del transistor con un dielettrico di maggior spessore (3.0 nm) a costante K più elevata quali ad esempio gli ossidi di Hafnio, di Zirconio o di Tantalio. Poiché inoltre il nuovo materiale a K elevato non risulta compatibile con gli attuali tipi di gate, si è reso necessario sostituire l'attuale gate in silicio policristallino con uno in metallo, sebbene vi sia purtroppo la necessità di utilizzare due metalli diversi per i transistor a canale P e quelli a canale N.

La nuova struttura di gate permette di contenere la corrente di fuga riducendola di ben 100 volte, sebbene imponga

la messa a punto di processi produttivi con passaggi ulteriori rispetto a quelli attuali. La società sostiene di aver trovato la giusta combinazione di tipo di dielettrico e di metallo per i due tipi di transistor, tale da garantire una corrente di fuga di soli 40 nA/μm ed una corrente di saturazione di 0.5 mA/μm a 0.8 V di Vgs, il tutto con un ritardo di gate di ben 2.63 THz a 0.8 V. I transistor con questi nuovi materiali verranno integrati nei futuri processori Intel a partire dal 2007 (Fig. 5) utilizzando un processo da 45 nm. Sono altresì stati proposti da Intel ulteriori evoluzioni al fine di compensare alcuni effetti indesiderati che si presentano al progredire della miniaturizzazione; infatti, con il diminuire della lunghezza di gate, da un lato tende ad aumentare l'intensità della corrente di fuga drain-source mentre dall'altro è necessario ridurre parallelamente la profondità dello strato "depleted" al fine di interdirlo completamente anche con bassi valori di Vgs. Ciò può essere ottenuto migliorando la geometria di gate, ad esempio ricorrendo a strutture del tipo dual-gate, FinFET o addirittura Tri-gate anche di tipo multicanale (Fig. 6), che permettono di controllare più uniformemente il canale conduttivo. Come si vede dalla tabella di figura 5, tutti questi nuovi processi vengono realizzati su wafer da 300 millimetri anziché i precedenti da 200 mm: ciò porta a parecchi vantaggi, fra i quali una riduzione dei costi ed un aumento della resa produttiva, quantificabile nel raddoppio dei chip-per-wafer ottenibili. Inoltre, l'impiego di acqua ultra pura e di reagenti chimici viene significativamente ridotto.

IMEC
www.imec.be

Intel
www.intel.com

Tower Semiconductor
www.towersemi.com